

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年5月20日(20.05.2021)



(10) 国際公開番号

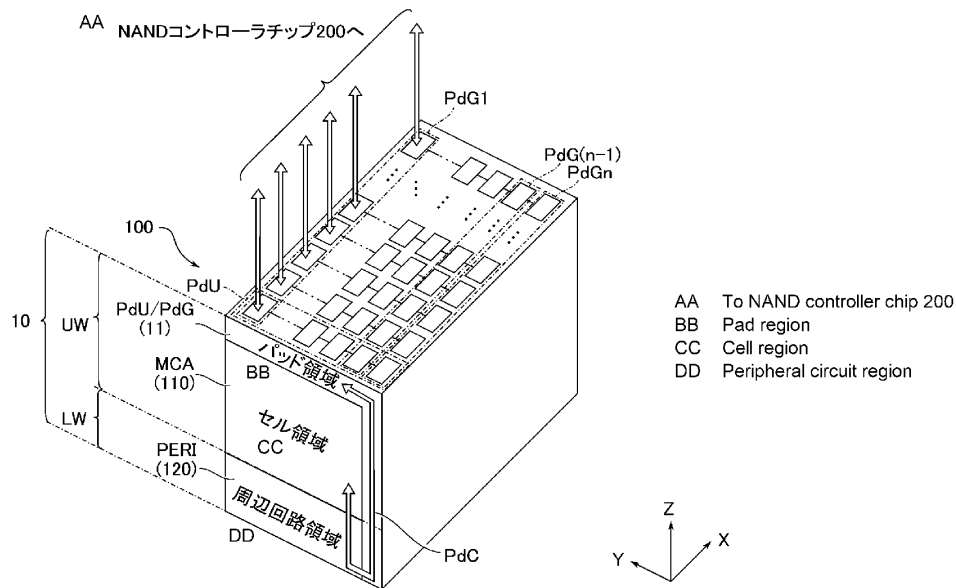
WO 2021/095469 A1

(51) 国際特許分類:
G06F 12/00 (2006.01) *H01L 21/66* (2006.01)
G01R 31/28 (2006.01)
(21) 国際出願番号: PCT/JP2020/039590
(22) 国際出願日: 2020年10月21日(21.10.2020)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
PCT/JP2019/044870 2019年11月15日(15.11.2019) JP
(71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番21号 Tokyo (JP).

(72) 発明者: 吉水 康人 (YOSHIMIZU, Yasuhito); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 福島 崇 (FUKUSHIMA, Takashi); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 人見 達郎 (HITOMI, Tatsuro); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 井上新 (INOUE, Arata); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 三浦 正幸 (MIURA, Masayuki); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社内 Tokyo (JP). 菅野 伸一 (KANNO, Shinichi); 〒1080023 東京都港区芝浦三丁目1番21号 キオクシア株式会社

(54) Title: STORAGE SYSTEM AND WAFER

(54) 発明の名称: ストレージシステム及びウェハ



(57) Abstract: The present invention curbs degradation in communication reliability between a probe electrode and a pad electrode. A storage system of one embodiment is provided with: a wafer comprising a memory chip unit that includes a pad electrode having a first portion and a second portion that are electrically connected to one another, and comprising a memory cell array electrically connected to the pad electrode; and a probe that is capable of holding the wafer and that reads/writes to/from the memory cell array. The probe comprises: a probe card having a probe electrode allowing for

[続葉有]

WO 2021/095469 A1

添付公開書類：

一 国際調査報告（条約第21条(3)）

内 Tokyo (JP). 藤澤 俊雄(FUJISAWA, Toshio);
〒1080023 東京都港区芝浦三丁目 1 番 2 1 号
キオクシア株式会社内 Tokyo (JP). 中塚 圭祐
(NAKATSUKA, Keisuke); 〒1080023 東京都港
区芝浦三丁目 1 番 2 1 号 キオクシア株式会
社内 Tokyo (JP). 佐貫 朋也(SANUKI, Tomoya);
〒1080023 東京都港区芝浦三丁目 1 番 2 1 号
キオクシア株式会社内 Tokyo (JP).

(74) 代理人：蔵田 昌俊，外(KURATA, Masatoshi et al.); 〒1050014 東京都港区芝三丁目 2 3 番 1 号 セレスティン芝三井ビルディング 1 1 階 鈴榮特許総合事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

contact with the pad electrode, and having a memory controller capable of writing/reading to/from the memory cell array via the probe electrode; and a movement mechanism for causing the probe card or the held wafer to move, in order to bring the pad electrode of the held wafer and the probe electrode into contact. The movement mechanism is capable of executing: a first operation for bringing the probe electrode into contact with the first portion of the pad electrode without coming into contact with the second portion; and a second operation for bringing the probe electrode into contact with the second portion of the pad electrode without coming into contact with the first portion.

(57) 要約：プローブ電極及びパッド電極間の通信信頼性の劣化を抑制する。一実施形態のストレージシステムは、互いに電氣的に接続された第1部分及び第2部分を含むパッド電極と、パッド電極に電氣的に接続されたメモリセルアレイと、を含むメモリチップユニットを含むウェハと、ウェハを保持可能であり、メモリセルアレイに読み書きを行うプローバと、を備える。プローバは、パッド電極に接触可能なプローブ電極と、プローブ電極を介してメモリセルアレイに読み書き可能なメモリコントローラと、を含むプローブカードと、保持したウェハのパッド電極とプローブ電極とを接触させるために、プローブカード又は保持したウェハを移動させる移動機構と、を含む。移動機構は、プローブ電極をパッド電極の第1部分と接触させ第2部分と接触させない第1動作と、プローブ電極をパッド電極の第1部分と接触させず第2部分と接触させる第2動作と、を実行可能である。