

用于 IP 核的拓扑结构和 IP 核

5 相关申请的交叉引用

本申请要求于 2022 年 7 月 29 日提交的，申请号为 202210904304.5、发明名称为“用于 IP 核的拓扑结构和 IP 核”的中国专利申请的优先权，该申请的全文通过引用结合在本申请中。

10 技术领域

本公开涉及集成电路技术领域，尤其涉及一种用于 IP 核的拓扑结构和 IP 核。

背景技术

15 随着集成电路规模越来越大，设计越来越复杂，为了更快的设计和制造实现各种功能的集成电路，可以将具有确切功能的集成电路模块设计成可重复使用的 IP 核。在集成电路 (Integrated Circuit) 设计中，IP 核是指已经过验证的、可以重复使用的具有某种确切功能的集成电路设计模块。

20 具有高速数据读写功能的存储集成电路模块，可以将驱动芯片和双倍速率同步随机存储器 (Double Data Rate Synchronous Dynamic Random Access Memory, 简称 DDR)，做成 IP 核，以便在不同集成电路中重复使用。

25 发明内容

提供该公开内容部分以便以简要的形式介绍构思，这些构思将在后面的具体实施方式部分被详细描述。该公开内容部分并不旨在标识要求保护的技术方案的关键特征或必要特征，也不旨在用于限制所要求的保护的技术方案的范围。

30 本公开实施例提供了一种用于 IP 核的拓扑结构和 IP 核。

第一方面，本公开实施例提供了一种用于 IP 核的拓扑结构，该拓扑结构包括：第一拓扑结构和第二拓扑结构，所述第一拓扑结构包括驱动芯片、多级第一信号线和至少两个第一负载，一条前一级第一信号线的信号输出端与并联的后一级两条第一信号线的信号输入端连接，
5 第一级第一信号线的信号输入端与所述驱动信号的信号输出端连接；最后一级各第一信号线的输出端与一个第一负载连接；所述第二拓扑结构包括多个分支结构，每一个分支结构包括至少一个第二负载，每一个分支结构的信号输入端与第一拓扑结构的最后一级的一条第一信号线的信号输出端连接。

10 第二方面，本公开实施例提供了一种 IP 核，包括基板以及设置在基板上的驱动芯片、多个负载以及所述多个负载与驱动芯片之间的连接结构；所述多个负载与所述驱动芯片之间连接的拓扑结构包括第一拓扑结构和第二拓扑结构；所述第一拓扑结构包括驱动芯片、多级第一信号线和至少两个第一负载，一条前一级第一信号线的信号输出端
15 与并联的后一级两条第一信号线的信号输入端连接，第一级第一信号线的信号输入端与所述驱动信号的信号输出端连接；最后一级各第一信号线的输出端与一个第一负载连接；所述第二拓扑结构包括多个分支结构，每一个分支结构包括至少一个第二负载，每一个分支结构的信号输入端与第一拓扑结构的最后一级的一条第一信号线的信号输出
20 端连接。

本公开实施例提供的用于 IP 核的拓扑结构和 IP 核，通过在拓扑结构中设置第一拓扑结构和第二拓扑结构，所述第一拓扑结构包括驱动芯片、多级第一信号线和至少两个第一负载，一条前一级第一信号线的信号输出端与并联的后一级两条第一信号线的信号输入端连接，
25 第一级第一信号线的信号输入端与所述驱动信号的信号输出端连接；最后一级各第一信号线的输出端与一个第一负载连接；所述第二拓扑结构包括多个分支结构，每一个分支结构包括至少一个第二负载，每一个分支结构的信号输入端与第一拓扑结构的最后一级的一条第一信号线的信号输出端连接，实现了将第一拓扑结构与第二拓扑结构进行
30 组合来形成用于 IP 核的拓扑结构，为 IP 核提供了一种新的拓扑结构，

以实现多样化的 IP 核拓扑结构以适应不同的需求。

附图说明

结合附图并参考以下具体实施方式，本公开各实施例的上述和其
5 他特征、优点及方面将变得更加明显。贯穿附图中，相同或相似的附图
图标表示相同或相似的元素。应当理解附图是示意性的，原件和元
素不一定按照比例绘制。

图 1 为根据本公开的用于 IP 核的拓扑结构的一种示意性结构图；

图 2 为根据本公开的用于 IP 核的拓扑结构的另外一种示意性结构
10 图；

图 3 为根据本公开提供的 IP 核的一种眼图示意图。

具体实施方式

下面将参照附图更详细地描述本公开的实施例。虽然附图中显示
15 了本公开的某些实施例，然而应当理解的是，本公开可以通过各种形
式来实现，而且不应该被解释为限于这里阐述的实施例，相反提供这
些实施例是为了更加透彻和完整地理解本公开。应当理解的是，本公
开的附图及实施例仅用于示例性作用，并非用于限制本公开的保护范
围。

20 应当理解，本公开的方法实施方式中记载的各个步骤可以按照不
同的顺序执行，和/或并行执行。此外，方法实施方式可以包括附加的
步骤和/或省略执行示出的步骤。本公开的范围在此方面不受限制。

本文使用的术语“包括”及其变形是开放性包括，即“包括但不限于”。
术语“基于”是“至少部分地基于”。术语“一个实施例”
25 表示“至少一个实施例”；术语“另一实施例”表示“至少一个另
外的实施例”；术语“一些实施例”表示“至少一些实施例”。其他术
语的相关定义将在下文描述中给出。

需要注意，本公开中提及的“第一”、“第二”等概念仅用于对
不同的装置、模块或单元进行区分，并非用于限定这些装置、模块或
30 单元所执行的功能的顺序或者相互依存关系。

需要注意，本公开中提及的“一个”、“多个”的修饰是示意性而非限制性的，本领域技术人员应当理解，除非在上下文另有明确指出，否则应该理解为“一个或多个”。

本公开实施方式中的多个装置之间所交互的消息或者信息的名称仅用于说明性的目的，而并不是用于对这些消息或信息的范围进行限制。

需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互组合。

请参考图 1，其示出了本公开的用于 IP 核的拓扑结构的示意图。
如图 1 所示，用于 IP 核的拓扑结构包括第一拓扑结构 11 和第二拓扑结构 12。第一拓扑结构 11 包括驱动芯片 D、多级第一信号线 S11、S2、…、S1M 和至少两个第一负载 B1。这里的驱动芯片 D 可以包括各种用于产生工作信号的芯片，包括但不限于现场可编程门阵列（Field-Programmable Gate Array, FPGA）、单片系统（System on chip, SoC）等。驱动芯片 D 可以发出时钟信号。这里的时钟信号可以为对负载进行控制的控制信号。这里的控制信号例如可以是控制地址信号（controller and address, CA）。

在第一拓扑结构中，多级第一信号线 S11、S2、…、S1M 的级数可以根据具体的应用场景进行设置。其中，一条前一级第一信号线的输出端与并联的后一级两条第一信号线的信号输入端连接。第一级第一信号线的输入端与所述驱动芯片的输出端连接。最后一级各第一信号线的输出端与一个第一负载 B1 连接。

也就是说，后一级的两条第一信号线的信号输入端并联后与其前一级的一条第一信号线的信号输出端连接。

第一级第一信号线包括一条第一信号线。第一级第一信号线的信号输入端与驱动芯片 D 的信号输出端连接。

最后一级的第一信号线 S1M 的输出端与第一负载连接。

若多级第一信号线有两级，则第二级第一信号线包括两条第一信号线；第一级第一信号线包括一条第一信号线。若多级第一信号线有三级，则该三级第一信号线中的第一级第一信号线包括一条第一信号

线，第二级第一信号线包括两条第一信号线，第三级第一信号线包括四条第一信号线。若多级第一信号线有四级，则该四级第一信号线中的第一级第一信号线包括一条第一信号线；第二级第一信号线包括两条第一信号线，第三级第一信号线包括四条第一信号线，第四级第一信号线包括八条第一信号线，依次类推。

最后一级第一信号线的输出端连接第一负载 B1。

在第一拓扑结构中，第一负载的数量 B1 可以小于等于最后一级第一信号线的数量。驱动芯片 D 发出的控制信号可以通过各级第一信号线传输至最后一级第一信号线的输出端，进而传输至第一负载，以控制第一负载 B1 的工作。

上述第一拓扑结构可以为 T 形拓扑结构。

第二拓扑结构 12 包括多个分支结构 121，每一个分支结构 121 包括至少一个第二负载 B2。每一个分支结构 121 的信号输入端与第一拓扑结构 11 的最后一级的一条第一信号线的输出端连接。

对于每一个分支结构 121，该分支结构 121 中的至少一个第二负载 B2 可以是串联连接。一分支结构 121 中的各第二负载 B2 之间可以通过第二信号线 S22 连接。

由于每一个分支结构 121 的信号输入端与第一拓扑结构 11 的最后一级的一条第一信号线是 S1M 的输出端连接，因此，驱动芯片 D 发出的控制信号可以通过各级第一信号线、第二信号线 S22 传输至第二负载 B2。

第二拓扑结构 12 中的分支结构 121 的数量可以小于等于第一拓扑结构中的最后一级第一信号线的数量。

第一拓扑结构 11 的最后一级第一信号线的输出端与分支结构 121 中的一条第二信号线的输入端连接。该条第二信号线的输出端与一第二负载 B2 连接。在一些应用场景中，一分支结构包括两个第二负载。该分支结构可以包括多条第二信号线。该分支结构中的第一条第二信号线的输入端与第一拓扑结构的最后一级第一信号线中的一条第一信号线的输出端连接。第一条第二信号线的输出端与一个第二负载连接。此外第一条第二信号线 S22 的输出端还与第二条第二信号线 S22 的输

入端连接。第二条第二信号线 S22 的输出端与一个第二负载连接。

第二拓扑结构 12 可以为 fly_by 结构。

第二拓扑结构 12 中的分支结构中的第二负载的数量可以根据驱动芯片的驱动能力来确定。

- 5 第一负载 B1 和第二负载 B2 可以为完成相同功能的电子部件，例如可以为完成数据存储功能的电子部件。具体地第一负载和第二负载可以为双倍速率同步动态随机存储器 (Double Data Rate Synchronous Dynamic Random Access Memory, DDR)、低功耗双倍速率同步动态随机存储器 (Low Power Double Data Rate Synchronous Dynamic Random
10 Access Memory, LPDDR) 等。

本实施例提供的用于 IP 核的拓扑结构, 通过将第一拓扑结构与第二拓扑结构进行组合来形成用于 IP 核的拓扑结构, 为 IP 核提供了一种新的拓扑结构, 以实现多样化的 IP 核拓扑结构以适应不同的需求。

- 15 在一些应用场景中, 第一拓扑结构 11 中, 后一级并联的两条第一信号线形成的等效阻抗与其连接的一条前一级第一信号线的阻抗相等。

后一级并联的两条第一信号线各自的阻抗可以相等。

例如第二级第一信号线中, 两个并联的第二级第一信号线形成的等效阻抗的大小等于与该两条并联的第二级第一信号线连接的第一级第一信号线的阻抗。

- 20 例如第一级第一信号线的阻抗为 10 欧姆, 则与该第一级第一信号线连接的每一个第二级第一信号线的阻抗可以为 20 欧姆。该第二级第一信号线并联后的等效阻抗可以 10 欧姆, 与第一级第一信号线的阻抗相等。

- 25 在这些应用场景中, 由于设置后一级并联的两条第一信号线形成的等效阻抗与其连接的一条前一级第一信号线的阻抗相等, 后一级并联的两条第一信号线的阻抗相等, 从而可以保证各级第一信号线的阻抗有较好的连续性。

- 30 在一些可选的实现方式中, 第二拓扑结构 12 的分支结构包括与第二负载连接的至少一条第二信号线。这里的第二信号线可以包括与第一拓扑结构中最后一级第一信号线连接的第二信号线 S22, 以及各第

二负载 B2 之间的第二信号线 S22。

在这些可选的实现方式中，通过将第二拓扑结构 12 的分支结构 121 中的各段第二信号线的阻抗也设置成与该分支结构连接的第一信号线的阻抗相等，从而使得整体拓扑结构中信号线的阻抗连续性较好。

5 在一些可选的实现方式中，上述第一拓扑结构 11 中包括两级第一信号线，两个第一负载。

也就是说，第一拓扑结构 11 中包括一条第一级第一信号线和两条第二级第一信号线。两条第二级第一信号线并联后与第一级第一信号线的输出端连接。两条第二级第一信号线的输出端分别于第一负载连接。
10 接。

在一些可选的实现方式中，第二拓扑结构 12 中可以包括两个分支结构。每个分支结构 121 包括一个第二负载。

这样第二拓扑结构 12 中共可以包括两个第二负载 B2。

在一些应用场景中，请参考图 2，其示出了本公开提供的用于 IP 核的拓扑结构的一种示意图。如图 2 所示，第一拓扑结构 11' 可以包
15 括两级第一信号线 S11、S12。

第二拓扑结构 12' 包括两个分支结构 121'，每一个分支结构的第二信号线 S22' 的输入端可以与第一拓扑结构 11' 的第二级第一信号线 S12 的输出端连接。该分支结构 121' 的第二信号线 S22' 的输出
20 端与一个第二负载 B2 连接。

在这些可选的实现方式中，通过在第一拓扑结构 11' 中设置两级第一信号线 S11、S12，以及在第一拓扑结构 11' 中设置两个第一负载 B1，在第二拓扑结构 12' 中设置两个分支结构 121'。每一个分支结构 121' 设置一个第二负载 B2。第一拓扑结构 11' 的输出端与第二拓扑
25 结构 12' 的一个分支结构 121' 的输入端连接，从而使得整个拓扑结构可以对应四个负载。该拓扑结构适用于驱动芯片需要带动四个负载时，单独使用第一拓扑结构或第二拓扑结构实现困难的情况下。

本公开实施例还提供了一种 IP 核。该 IP 核包括基板以及设置在
30 基板上的驱动芯片、多个负载以及所述多个负载与驱动芯片之间的连

接结构；所述多个负载与所述驱动芯片之间连接所形成的拓扑结构包括第一拓扑结构和第二拓扑结构；所述第一拓扑结构包括驱动芯片、多级第一信号线和至少两个第一负载，一条前一级第一信号线的信号输出端与并联的后一级两条第一信号线的信号输入端连接，第一级第一信号线的信号输入端与所述驱动信号的信号输出端连接；最后一级各第一信号线的输出端与一个第一负载连接；所述第二拓扑结构包括多个分支结构，每一个分支结构包括至少一个第二负载，每一个分支结构的信号输入端与第一拓扑结构的最后一级的一条第一信号线的信号输出端连接。

10 上述驱动芯片可以为各种可以发出时钟信号的芯片，例如现场可编程门阵列 (Field Programmable Gate Array, FPGA)、片上系统 (System on Chip, SoC)、微控制单元 (Microcontroller Unit; MCU) 等。上述负载可以为实现一种或多种功能的电子部件。在一些应用场景中，上述负载可以为实现数据存储功能的电子部件。例如上述负载可以是 DDR、
15 LPDDR 等。

驱动芯片、第一负载和第二负载可以通过焊接、胶接等方式与基板连接。

上述各级第一信号线可以通过基板材料来制作。

此外，分支结构可以包括第二信号线。各第一信号线和第二信号线可以通过基板中的导电材料制作。

第二拓扑结构的分支结构可以包括第二信号线，第二信号线可以包括连接在第一拓扑结构最后一级第一信号线的输出端与第二负载之间的第二信号线，还可以包括连接在不同第二负载之间的第二信号线。

在本实例中，上述基板可以为各种利用其作为驱动芯片、负载载体，并在其中为第一信号线制作第二拓扑结构中的信号线的基板。

作为一种实现方式，上述基板可以为印制电路板 (Printed Circuit Board, PCB) 又称印刷电路板。印制电路基板包括覆铜层和绝缘层，可以在覆铜层通过印刷、刻蚀等工艺制作连接导线和焊盘。

上述第一拓扑结构包括多级第一信号线，第二拓扑结构包括多个分支结构，各分支结构包括至少一条第二信号线。上述第一信号线和
30 分支结构，各分支结构包括至少一条第二信号线。上述第一信号线和

第二信号线形成在印刷电路板中。通过焊盘可以将驱动芯片的信号输出端与第一级第一信号线的输入端连接。也可以将第一拓扑结构的最后一级第一信号线的输出端与第一负载的输入端进行接。还可以将第二拓扑结构的一第二信号线的输出端与第二负载的信号输入端连接。

- 5 若 PCB 板为多层板，第一信号线和第二信号线中可以包括设置在至少一层覆铜层的水平面内的信号线，还可以包括通过过孔的方式跨越不同覆铜层的信号线。

在通过 PCB 板制作各级第一信号线时，可以控制各级第一信号线的阻抗，使得后一级两个并联的第一信号线的等效阻抗与和该并联的两条第一信号线连接的前一级第一信号线的阻抗相等，以保证各级第一信号线的阻抗连续性。

10

同样在通过 PCB 板制作各分支结构的第二信号线时，需要控制各分支结构的第二信号线的阻抗。对于每一条分支结构，可以控制该分支结构上的各条第二信号线的阻抗相等。此外，还要控制该分支结构

15 中的第二信号线的阻抗和与该分支结构连接第一信号线的阻抗相等。

需要说明的是，若通过过孔方式跨越不同覆铜层形成的信号线为第一信号线，则要根据该第一信号线的阻抗与其连接的前一级阻抗之间的关系来控制该第一信号线的阻抗。若通过过孔方式跨越不同覆铜层形成的信号线为第二信号线，则可以根据与该第二信号线所在的分支结构所连接的第一信号线的阻抗来控制该第二信号线的阻抗。具体地，可以通过对隔离焊盘（antipad）的值进行优化，来调整上述第一信号线的阻抗或第二信号线的阻抗，以使 IP 核各节点的阻抗具有较好的连续性。

20

可以在 PCB 板中设置各种信号线以连接驱动芯片和负载。PCB 板中印制线路板由绝缘底板、连接导线和装配焊接电子元件的焊盘组成，具有导电线路和绝缘底板的双重作用。它可以代替复杂的布线，实现电路中各元件之间的电气连接。

25

可以根据第一信号线的阻抗要求来选取对应 PCB 基板。例如选取可以实现最后一级第一信号线的阻抗的 PCB 基材来制作信号线。在负载对应高速传输速率时，PCB 板材 Dk 越低者，高速传输的讯号的质量

30

就越好，而且速率也会越快。Dk 是衡量材料存储电性能能力的指标，Dk 越低，信号在介质中传送速度越快、能力越强。

Dk 是介电常数 (Dielectric Constant)，PCB 线路板材料的介电常数 (Dk) 或相对介电常数。Dk 并不是恒定的常数，例如，材料的 Dk 会随频率的变化而变化。本公开中选取 Dk 值小于预设阈值的 PCB 基材来制作 IP 核。这里的预设阈值可以根据具体的应用场景进行设置，此处不做限制。

第一拓扑结构可以为 T 形拓扑结构，为了使得第一拓扑结构的阻抗具有较好的连续性，在 PCB 基板上设置第一拓扑结构的各级第一信号线时，后一级并联的两条第一信号线各自的等效阻抗等于与该两条第一信号线连接的前一级第一信号线的阻抗的两倍。这样，后一级并联的两条第一信号线并联后的等效阻抗等于与该两条第一信号线连接的前一级第一信号线的阻抗。

本实例提供的 IP 核，通过在基板上使用第一拓扑结构和第二拓扑结构结合的方式，实现了以较低的制造成本实现驱动芯片驱动多个负载的 IP 核。

在一些实施例中，第一负载和第二负载可以是具有高速数据读写功能存储部件。设置在所述基板中的第一拓扑结构包括两级第一信号线，两个第一负载；第二拓扑结构包括两个分支结构，每个分支结构包括一个第二负载。对应的，上述 IP 核可以包括一个驱动芯片和四个负载。驱动芯片可以焊接或者胶接在上述基板上。对应的，根据拓扑结构在上述基板中形成的第一信号线包括两级。第一级第一信号线的输入端与驱动芯片的输出端连接。第一级第一信号线包括一条第一信号线。第二级第二信号线包括并联的两条第一信号线。一条第二级第一信号线的阻抗可以是第一级第一信号线阻抗的两倍。设置在基板中的分支结构可以包括两个分支结构。每一个分支结构可以包括一个第二负载。分支结构可以包括一条第二信号线。每一分支结构中的第二信号线的阻抗可以与和该分支结构连接的一条第二级第一信号线的阻抗相等。

在这些可选的实现方式中，上述第一拓扑结构对应 T 形拓扑，第

二拓扑结构对应 fly_by 拓扑结构。上述基板可以是 PCB 基板。使用由第一拓扑结构和第二拓扑结构组成的拓扑结构制作 IP 核，可以使得 IP 核中的驱动芯片顺利驱动四个负载。

若负载为高速读写存储功能部件，例如 64bit 的 LPDDR5，驱动芯片为 SoC。在使用常规 T 形拓扑结构实现一个驱动芯片带动四个负载时，需要是双 T 形拓扑结构。由于比较单 T 形拓扑结构的情况多出了一次分支结构，且负载的数量增加了一倍，如果要想 IP 核有较好的眼图结果，驱动芯片需要更强的驱动能力，同时严格满足后一级中单个信号线是与其连接的前一级信号线的两次的比例关系。但是在实际工程中，在 PCB 上制作第一信号线时，T 形拓扑结构的第一信号线的级数越大，该级的第一信号线的阻抗越大。一方面由于 PCB 板上可实现的信号线的阻抗有上限限制，不可能无限大，有可能 T 形结构中设计的阻抗无法在 PCB 板上实现。因此，级数较多的 T 形拓扑结构的信号线较难实现。另一方面，由于制作工艺偏差，使得在 PCB 板上实际实现的阻抗值有较大的偏差。阻抗值的偏差与阻抗值的大小有关。T 形结构的级数越大，由于制作工艺的问题，偏差就越大，因此，会引起各级第一信号线阻抗连续性较差，从而引起眼图效果较差的现象。

在这些可选的实现方式中，采用第一拓扑结构和第二拓扑结构结合的方式，第一拓扑结构为 T 形拓扑结构，第二拓扑结构为 fly_by 拓扑结构。在 PCB 板上通过印刷、刻蚀等工艺制作第一拓扑结构中的两级第一信号线，以及制作第二拓扑结构中的第二信号线。

在 PCB 板上制作的两级第一信号线，第一级信号线的信号输入端可以与驱动芯片的信号输出端连接。第二级第一信号线的输出端与两个第一负载连接。在 PCB 板上制作的两个分支结构，每个分支结构对应一条第二信号线。每一条第二信号线的信号输入端可以与一条第二级第一信号线的输出端连接。第二信号线的输出端与一个第二负载连接。

这样，在上述第一拓扑结构对应的导线实现上，阻抗最大的信号线是第二级第一信号线，阻抗是第一级第一信号线阻抗的两倍。若第一级第一信号线的阻抗中心值为 30 欧姆，则第二级第一信号线的阻抗

中心值为 60 欧姆。60 欧姆导线阻抗是目前 PCB 板材及制作工艺可以实现的。第二拓扑结构对应的分支结构中的第二信号线的阻抗大小可以与第二级第一信号线的阻抗相等。因此，第二信号线的阻抗也是现有 PCB 板板材及制作工艺可以实现的。因此，对于驱动 4 个负载而言，
5 在 PCB 板上实现图 2 所示实施例的拓扑结构对应的各信号线，可以降低对 PCB 基板的要求，降低 IP 核的成本。

在这些可选的实现方式中，还可以设置驱动芯片的阻抗、第一负载和第二负载的阻抗与第一信号线及第二信号线的适配，以实现更好的眼图效果。

10 以第一级第一信号线的阻抗为 30 欧姆为例，可以选择驱动芯片的等效阻抗与第一级第一信号线的阻抗 30 欧姆相近，例如选择 35 欧姆作为驱动芯片的等效阻抗。第一负载的等效阻抗与一条第二级第一信号线的阻抗 60 欧姆相近，例如选择 55 欧姆作为第一负载的阻抗。第二负载的等效阻抗和与其连接的第二信号线的阻抗 60 欧姆相近，例
15 如选择 55 欧姆作为第二负载的阻抗，从而实现阻抗的连续性，以实现较好信号的完整性。

为了更好的实现信号的完整性，可以根据信号的完整性来设置第二信号线的长度。

20 在一些可选的实现方式中，第二信号线的长度根据负载对应的信号最大传输速率和由驱动芯片发出的控制信号的周期确定。请参考图 3，图 3 所示的眼图中， T_{01} 是控制信号的周期。图 3 所示的眼图由控制信号的波形图与负载对应的数据传输信号整合而成。

作为一种实现方式，第二信号线的长度与负载对应的数据传输信号最大传输速率的比值，等于上述控制信号周期一半的整数倍。也就是说，负载对应的信号在第二信号线上传输的时延为上述控制信号周期一半的整数倍。上述关系可以由如下公式 (1) 来表达。

$$L = v \times \frac{T_{01}}{2} \quad (1)$$

这里 L 是第二信号线的长度； v 是负载对应的信号最大数据传输速率。 K 是正整数， T_{01} 是控制信号的周期时长。

30 这样设置第二信号线的长度，可以将分支结构中的第二负载对第一拓扑结构对应的第一负载的反射的位置 E_d 刚好压在第一负载的眼

图的上升沿或下降沿的位置，从而不会影响眼图中的眼高，继而不会
影响采样判决。

此外，在调整控制信号与负载上的数据传输信号之间的同步的过程
中，需要低速区间。在上述调整控制信号与负载上的数据传输信号
5 之间同步过程中，使用负载的传输速率为负载最大传输速率的 $1/4$ ，
或者 $3/4$ ，以保证控制信号的眼高符合相应要求。

以上描述仅为本公开的较佳实施例以及对所运用技术原理的说明。
本领域技术人员应当理解，本公开中所涉及的公开范围，并不限于上
10 述技术特征的特定组合而成的技术方案，同时也应涵盖在不脱离上述
公开构思的情况下，由上述技术特征或其等同特征进行任意组合而形
成的其它技术方案。例如上述特征与本公开中公开的（但不限于）具
有类似功能的技术特征进行互相替换而形成的技术方案。

此外，虽然采用特定次序描绘了各操作，但是这不应理解为要
15 求这些操作以所示出的特定次序或以顺序次序执行来执行。在一定环
境下，多任务和并行处理可能是有利的。同样地，虽然在上面论述中
包含了若干具体实现细节，但是这些不应被解释为对本公开的范围
的限制。在单独的实施例的上下文中描述的某些特征还可以组合地实
现在单个实施例中。相反地，在单个实施例的上下文中描述的各种特
20 征也可以单独地或以任何合适的子组合的方式实现在多个实施例中。

尽管已经采用特定于结构特征和/或方法逻辑动作的语言描述了
本主题，但是应当理解所附权利要求书中所限定的主题未必局限于上
面描述的特定特征或动作。相反，上面所描述的特定特征和动作仅仅
是实现权利要求书的示例形式。

权 利 要 求 书

1、一种用于 IP 核的拓扑结构，包括：第一拓扑结构和第二拓扑结构，所述第一拓扑结构包括驱动芯片、多级第一信号线和至少两个第一负载，一条前一级第一信号线的信号输出端与并联的后一级两条
5 第一信号线的信号输入端连接，第一级第一信号线的信号输入端与所述驱动信号的信号输出端连接；最后一级各第一信号线的输出端与一个第一负载连接；

所述第二拓扑结构包括多个分支结构，每一个分支结构包括至少一个第二负载，每一个分支结构的信号输入端与第一拓扑结构的最后
10 一级的一条第一信号线的信号输出端连接。

2、根据权利要求 1 所述的拓扑结构，其中，所述第一拓扑结构中，后一级并联的两个信号线的等效阻抗与其连接的一条前一级信号线的阻抗相等。
15

3、根据权利要求 1 所述的拓扑结构，其中，所述分支结构包括与第二负载连接的至少一条第二信号线；所述第二信号线的阻抗与该分支结构连接的第一信号线的阻抗相等。

20 4、根据权利要求 1 所述的拓扑结构，其中，所述第一拓扑结构中包括两级第一信号线，两个第一负载。

5、根据权利要求 1 或 4 所述的拓扑结构，其中，所述第二拓扑结构包括两个分支结构，每个分支结构包括一个第二负载。
25

6、一种 IP 核，包括：基板以及设置在基板上的驱动芯片、多个负载以及所述多个负载与驱动芯片之间的连接结构；所述多个负载与所述驱动芯片之间连接的拓扑结构包括第一拓扑结构和第二拓扑结构；

所述第一拓扑结构包括驱动芯片、多级第一信号线和至少两个第一负载，一条前一级第一信号线的信号输出端与并联的后一级两条第
30 一负载，

一信号线的信号输入端连接，第一级第一信号线的信号输入端与所述驱动信号的信号输出端连接；最后一级各第一信号线的输出端与一个第一负载连接；

5 所述第二拓扑结构包括多个分支结构，每一个分支结构包括至少一个第二负载，每一个分支结构的信号输入端与第一拓扑结构的最后一级的一条第一信号线的信号输出端连接。

7、根据权利要求6所述的IP核，其中，所述第二拓扑结构，包括第二信号线；所述第一信号线和第二信号线布置在PCB板。

10

8、根据权利要求7所述的IP核，其中，所述IP核中，后一级并联的两个第一信号线的等效阻抗与其连接的一条前一级第一信号线的阻抗相等。

15

9、根据权利要求7所述的IP核，其中，所述IP核中，所述分支结构中所包括的与第二负载连接的至少一条第二信号线的阻抗，和与该分支结构连接的第一信号线的阻抗相等。

20 10、根据权利要求6所述的IP核，其中，设置在所述基板中的第一信号线有两级，两个第一负载；

有两个分支结构，每个分支结构包括一个第二负载。

25 11、根据权利要求6所述的IP核，其中，所述基板的Dk值小于预设阈值。

12、根据权利要求7所述的IP核，其中，所述第二信号线的长度根据负载对应的信号最大传输速率和由驱动芯片发出的控制信号的周期确定。

30