

半导体结构及半导体结构的制备方法

相关申请的交叉引用

5 本公开要求基于 2021 年 2 月 25 日提交的申请号为 202110212890.2 的中国申请“半
导体结构及半导体结构的制备方法”的优先权，通过援引将其全部内容并入本文中。

技术领域

10 本公开涉及半导体技术领域，尤其涉及一种半导体结构及半导体结构的制备方法。

背景技术

15 在现有芯片（memory thin die stack）的封装工艺中，芯片、胶层、与基板（Substrate）
上的焊接掩膜（solder mask，简称 SR，又名“绿膜”）直接接触。在本领域对基板（包
含焊接掩膜）和芯片的厚度设计越来越薄的趋势下，当芯片自身产生弯曲时，或者受外力
产生形变时，又或在例如高温可靠度（TC reliability）检测的检测过程中，芯片与基板连
20 接的边缘位置容易因应力集中而产生芯片断裂（die crack）或者基板断裂（Substrate crack）
不良。

发明内容

20 本公开实施例的一个方面，提供一种半导体结构，包含基板、芯片以及第一胶层；所
述基板表面设置有绝缘层；所述芯片通过所述第一胶层设置于所述绝缘层表面；其中，所
述绝缘层设置有孔槽，所述孔槽的位置对应于所述第一胶层的至少一部分边缘，所述孔槽
内设置有第二胶层，所述第二胶层的至少一部分表面连接于所述第一胶层；其中，所述第
二胶层的弹性模量小于所述第一胶层的弹性模量。

25 本公开实施例的另一个方面，提供一种半导体结构的制备方法；其中，包含以下步骤：
提供一基板，所述基板表面设置有绝缘层；在所述绝缘层上形成贯穿所述绝缘层的孔槽；
在所述孔槽内形成第二胶层；在所述绝缘层表面通过第一胶层设置芯片，所述孔槽的位置
对应于所述第一胶层的至少一部分边缘，所述第二胶层的至少一部分表面连接于所述第一
胶层，所述第二胶层的弹性模量小于所述第一胶层的弹性模量；在所述绝缘层表面形成封
30 装层，所述芯片和所述第一胶层封装于所述封装层内。

附图说明

图 1~4 是根据一示例性实施例示出的一种半导体结构的制备方法的多个步骤下的半导体结构的结构示意图；

图 5 是图 4 示出的步骤下的半导体结构的俯视图；

5 图 6~11 是根据一示例性实施例示出的一种半导体结构的制备方法的多个步骤下的半导体结构的结构示意图；

图 12 是根据另一示例性实施例示出的一种半导体结构的制备方法的一个步骤下的半导体结构的俯视图；

图 13 是根据另一示例性实施例示出的一种半导体结构的结构示意图；

10 图 14 是根据另一示例性实施例示出的一种半导体结构的结构示意图。

具体实施例

现在将参考附图更全面地描述示例实施例。然而，示例实施例能够以多种形式实施，且不应被理解为限于在此阐述的实施例；相反，提供这些实施例使得本公开将全面和完整，
15 并将示例实施例的构思全面地传达给本领域的技术人员。图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。

参阅图 11，其代表性地示出了本公开提出的半导体结构的结构示意图。在该示例性实施例中，本公开提出的半导体结构是以应用于内存芯片堆栈的封装结构为例进行说明的。本领域技术人员容易理解的是，为将本公开的相关设计应用于其他类型的半导体结构
20 中，而对下述的具体实施例做出多种改型、添加、替代、删除或其他变化，这些变化仍在本公开提出的半导体结构的原理的范围内。

如图 11 所示，在本实施例中，本公开提出的半导体结构主要包含基板 110、芯片 130 以及第一胶层 140。具体而言，该基板 110 的表面设置有绝缘层 120。该芯片 130 通过该第一胶层 140 设置于绝缘层 120 表面。其中，绝缘层 120 设置有孔槽 121，且
25 该孔槽 121 的位置对应于第一胶层 140 的边缘。并且，孔槽 121 内设置有第二胶层 122，该第二胶层 122 的一部分表面连接于第一胶层 140。在此基础上，第二胶层 122 的弹性模量小于第一胶层 140 的弹性模量。通过上述设计，本公开提出的半导体结构，能够优化芯片 130 与基板 110（包含设置于基板 110 表面的绝缘层 120）的连接边缘的应力分布，使得半导体结构弯曲或者形变时不易在芯片 130 与基板 110 的连接边缘产生断裂。
30

可选地，配合参阅图 11，在本实施例中，孔槽 121 可以贯穿绝缘层 120。在其他

实施例中，孔槽 121 亦可不贯穿绝缘层 120，例如仅开口于绝缘层 120 的上表面。

可选地，配合参阅图 5，图 5 中代表性地示出了半导体结构在孔槽 121 形成的步骤中的俯视图，在本实施例中，孔槽 121 可以大致呈环形闭合结构，使得孔槽 121 对应于第一胶层 140 的全部边缘。通过上述设计，本公开能够优化芯片 130 与基板 110 的连接边缘的全部位置的应力分布，使得芯片 130 与基板 110 的全部连接边缘均不易产生断裂。

进一步地，配合参阅图 5，基于孔槽 121 呈环形闭合结构的设计，在本实施例中，第一胶层 140 可以大致呈矩形，且第一胶层 140 的边缘具有四条侧边。在此基础上，孔槽 121 可以大致呈矩形环的布置形式。在其他实施例中，基于孔槽 121 对应于第一胶层 140 的全部边缘的设计，当第一胶层 140 呈圆形、三角形、梯形等其他形状时，孔槽 121 亦可呈对应的圆环、三角环、梯形环等布置形式，并不以本实施例为限。

可选地，如图 11 所示，在本实施例中，在基板 110 表面上，孔槽 121 的正投影图形的外侧边缘，可以位于第一胶层 140 的正投影图形的边缘的外侧。据此，孔槽 121 中设置的第二胶层 122 能够延伸至第一胶层 140 的边缘的外侧，使得本公开能够对基板 110 位于第一胶层 140 的边缘的外侧的一部分区域达成应力分布的优化，进一步避免相关区域的断裂不良。

可选地，配合参阅图 9，图 9 中代表性地示出了半导体结构在设置芯片 130 的步骤中的俯视图，在本实施例中，孔槽 121 的槽口宽度 d1 可以为第一胶层 140 的宽度 d2 的 5%~10%，例如 5%、6.5%、8%、10%。据此，本公开将孔槽 121 与第一胶层 140 的上述宽度比例选择为一个较为合理的范围，避免因孔槽 121 的槽口宽度 d1 过大而使芯片 130 的整体粘性不足，同时避免因槽口宽度 d1 过小而使半导体结构发生形变时无法实现较优的优化应力分布和避免断裂的效果。在其他实施例中，孔槽 121 的槽口宽度 d1 在第一胶层 140 的宽度 d2 中的占比亦可小于 5%，或可大于 10%，例如 4.5%、11%等，并不以本实施例为限。

可选地，在本实施例中，第二胶层 122 的弹性模量可以小于绝缘层 120 的弹性模量。据此，能够使得绝缘层 120 的相应位置（例如邻接孔槽 121 的位置，即对应于第一胶层 140 边缘的位置）不易产生断裂。在其他实施例中，在保证第二胶层 122 的弹性模量小于第一胶层 140 的弹性模量的基础上，第二胶层 122 的弹性模量亦可等于或者大于绝缘层 120 的弹性模量，并不以本实施例为限。

可选地，在本实施例中，第二胶层 122 的弹性模量可以小于芯片 130 的弹性模量。

据此，能够使得芯片 130 的相应位置（例如边缘位置）不易产生断裂。在其他实施例中，在保证第二胶层 122 的弹性模量小于第一胶层 140 的弹性模量的基础上，第二胶层 122 的弹性模量亦可等于或者大于芯片 130 的弹性模量，并不以本实施例为限。

5 可选地，在本实施例中，第二胶层 122 的热膨胀系数可以小于第一胶层 140 的热膨胀系数。据此，当半导体结构受热产生形变时，第二胶层 122 由于热膨胀系数相对第一胶层 140 较低，能够避免因与第一胶层 140 产生相同甚至更大的膨胀形变而造成的第一胶层 140 断裂不良。在其他实施例中，在保证本公开通过第二胶层 122 的设置实现对相关位置的应力分布优化的前提下，第二胶层 122 的热膨胀系数亦可大于或者等于第一胶层 140 的热膨胀系数，并不以本实施例为限。

10 进一步地，基于第二胶层 122 的热膨胀系数小于第一胶层 140 的热膨胀系数的设计，在本实施例中，第二胶层 122 的热膨胀系数亦可小于绝缘层 120 的热膨胀系数。据此，当半导体结构受热产生形变时，第二胶层 122 由于热膨胀系数相对绝缘层 120 较低，能够避免因与绝缘层 120 产生相同甚至更大的膨胀形变而造成的绝缘层 120 断裂不良。在其他实施例中，在第二胶层 122 的热膨胀系数小于第一胶层 140 的热膨胀系数的基础上，第二胶层 122 的热膨胀系数亦可大于或者等于绝缘层 120 的热膨胀系数，并不以本实施例为限。

20 进一步地，基于第二胶层 122 的热膨胀系数小于第一胶层 140 的热膨胀系数的设计，在本实施例中，第二胶层 122 的热膨胀系数亦可小于芯片 130 的热膨胀系数。据此，当半导体结构受热产生形变时，第二胶层 122 由于热膨胀系数相对芯片 130 较低，能够避免因与芯片 130 产生相同甚至更大的膨胀形变而造成的芯片 130 断裂不良。在其他实施例中，在第二胶层 122 的热膨胀系数小于第一胶层 140 的热膨胀系数的基础上，第二胶层 122 的热膨胀系数亦可大于或者等于芯片 130 的热膨胀系数，并不以本实施例为限。

25 可选地，在本实施例中，第一胶层 140 与第二胶层 122 之间的粘接强度，可以小于第一胶层 140 与芯片 130 之间的粘接强度。据此，当半导体结构产生形变时，利用上述粘接强度的设计，可以使得第二胶层 122 与第一胶层 140 的分离，早于第一胶层 140 与芯片 130 的分离，保证在形变较大而产生薄膜结构分离时，能够利用第二胶层 122 与第一胶层 140 的分离，避免或者减缓第一胶层 140 与芯片 130 的分离。在其他实施例中，在保证本公开通过第二胶层 122 的设置实现对相关位置的应力分布优化的前提下，第一胶层 140 与第二胶层 122 之间的粘接强度，亦可大于或者等于第一胶层

30

140 与芯片 130 之间的粘接强度，并不以本实施例为限。

可选地，在本实施例中，第一胶层 140 与第二胶层 122 之间的粘接强度，可以小于第一胶层 140 与绝缘层 120 之间的粘接强度。据此，当半导体结构产生形变时，利用上述粘接强度的设计，可以使得第二胶层 122 与第一胶层 140 的分离，早于第一胶层 140 与绝缘层 120 的分离，保证在形变较大而产生薄膜结构分离时，能够利用第二胶层 122 与第一胶层 140 的分离，避免或者减缓第一胶层 140 与绝缘层 120 的分离。在其他实施例中，在保证本公开通过第二胶层 122 的设置实现对相关位置的应力分布优化的前提下，第一胶层 140 与第二胶层 122 之间的粘接强度，亦可大于或者等于第一胶层 140 与绝缘层 120 之间的粘接强度，并不以本实施例为限。

10 可选地，在本实施例中，第二胶层 122 的材质可以包含硅胶、环氧树脂胶（例如有机硅环氧树脂胶，Silicon epoxy）等。

基于上述对本公开提出的半导体结构的第一实施例的详细说明，以下将结合图 12，对本公开提出的半导体结构的第二实施例进行说明。

参阅图 12，其代表性地示出了第二实施例中的半导体结构在孔槽 121 形成的步骤中的俯视图。在该第二实施例中，本公开提出的半导体结构与上述第一实施例采用了大致相同的设计，以下将对第二实施例中区别于第一实施例的设计进行说明。

如图 12 所示，在本实施例中，孔槽 121 的位置对应于第一胶层 140 的部分边缘。据此，本公开能够优化芯片 130 与基板 110 的连接边缘的部分位置的应力分布，使得芯片 130 与基板 110 的部分连接边缘不易产生断裂。换言之，在符合本公开提出的半导体结构的设计构思的各种可能的实施例中，孔槽 121 的位置可以对应于第一胶层 140 的至少一部分边缘，据此使得本公开能够优化芯片 130 与基板 110 的连接边缘的至少一部分位置的应力分布。

20 可选地，如图 12 所示，基于孔槽 121 的位置对应于第一胶层 140 的部分边缘的设计，在本实施例中，当第一胶层 140 大致呈矩形时，孔槽 121 对应于上述矩形的一条、两条或者三条侧边。当然，孔槽 121 亦可对应于任意侧边的部分，或者孔槽 121 亦可分别对应于矩形的四个角隅部，均不以本实施例为限。

基于上述对本公开提出的半导体结构的第一实施例的详细说明，以下将结合图 13，对本公开提出的半导体结构的第三实施例进行说明。

参阅图 13，其代表性地示出了第三实施例中的半导体结构的结构示意图。在该第三实施例中，本公开提出的半导体结构与上述第一实施例采用了大致相同的设计，以

下将对第三实施例中区别于第一实施例的设计进行说明。

如图 13 所示，在本实施例中，在基板 110 表面上，孔槽 121 的正投影图形全部被第一胶层 140 的正投影图形覆盖，以使第二胶层 122 的全部表面连接于第一胶层 140。换言之，在符合本公开提出的半导体结构的设计构思的各种可能的实施例中，

5 该第二胶层 122 的至少一部分表面连接于第一胶层 140。

进一步地，如图 13 所示，基于孔槽 121 的正投影图形全部被第一胶层 140 的正投影图形覆盖的设计，在基板 110 表面上，孔槽 121 的正投影图形的外侧边缘，可以与第一胶层 140 的正投影图形的边缘重合。

10 基于上述对本公开提出的半导体结构的第一实施例的详细说明，以下将结合图 14，对本公开提出的半导体结构的第四实施例进行说明。

参阅图 14，其代表性地示出了第四实施例中的半导体结构的结构示意图。在该第四实施例中，本公开提出的半导体结构与上述第一实施例采用了大致相同的设计，以下将对第四实施例中区别于第一实施例的设计进行说明。

15 如图 14 所示，在本实施例中，芯片 130 可以采用多层堆栈结构，即芯片包交替堆栈的多层裸片 131 (die) 和黏结薄膜 132 (Die attach film, 简称 DAF)。在此基础上，芯片 130 仍以整体结构设置在第一胶层 140 上，且具体是以位于最下层的裸片 131 设置于第一胶层 140。

例如，本公开提出的半导体结构可以包含封装层 160，该封装层 160 设置于基底表面，且将芯片 130 及第一胶层 140 封装于内部。

20 又如，芯片 130 的裸片 131 通过引线 150 (bonding wire) 与基板 110 键合。

基于上述对本公开提出的半导体结构的几个示例性实施例的详细说明，以下将结合图 1 至图 11，对本公开提出的半导体结构的制备方法的一示例性实施例进行说明。

25 参阅图 1 至图 11，图 1 至图 4 和图 6 至图 11 分别代表性地示出了本公开提出的半导体结构的制备方法的多个步骤下的半导体结构的结构示意图。在该示例性实施例中，本公开提出的半导体结构的制备方法是以应用于内存芯片堆栈的封装结构的制备方法为例进行说明的。本领域技术人员容易理解的是，为将本公开的相关设计应用于其他类型的半导体结构中，而对下述的具体实施例做出多种改型、添加、替代、删除或其他变化，这些变化仍在本公开提出的半导体结构的制备方法的原理的范围内。

30 如图 1 至图 11 所示，在本实施例中，本公开提出的半导体结构的制备方法主要包含以下步骤：

提供一基板 110，基板 110 表面设置有绝缘层 120；

在绝缘层 120 上形成贯穿绝缘层 120 的孔槽 121；

在孔槽 121 内形成第二胶层 122；

- 5 在绝缘层 120 表面通过第一胶层 140 设置芯片 130，孔槽 121 的位置对应于第一胶层 140 的至少一部分边缘，第二胶层 122 的至少一部分表面连接于第一胶层 140，第二胶层 122 的弹性模量小于第一胶层 140 的弹性模量；

在绝缘层 120 表面形成封装层 160，芯片 130 和第一胶层 140 封装于封装层 160 内。

- 10 通过上述设计，本公开提出的半导体结构的制备方法，能够优化芯片 130 与基板 110（包含设置于基板 110 表面的绝缘层 120）的连接边缘的应力分布，使得半导体结构弯曲或者形变时不易在芯片 130 与基板 110 的连接边缘产生断裂。

- 如图 1 所示，其代表性地示出了半导体结构在“提供一基板 110”的步骤下的结构示意图。在上述步骤下，半导体结构包含基板 110 以及绝缘层 120。其中，绝缘层 120 设置在基板 110 表面。容易理解的是，在本说明书的部分描述中，是将绝缘层 120 15 视为基板 110 的一部分进行整体描述，且在实际工艺中，可以直接制备具有绝缘层 120 的成品基板，均不违背本公开的相关设计构思，特此说明。

可选地，如图 2 至图 4 所示，在本实施例中，孔槽 121 的形成可以具体包含以下步骤：

- 20 在绝缘层 120 表面设置光刻胶 170；
图案化光刻胶 170；

利用图案化的光刻胶 170 曝光，去除绝缘层 120 的未被光刻胶 170 遮挡的部分，以此形成孔槽 121。

- 25 如图 2 所示，其代表性地示出了半导体结构在“设置光刻胶 170”的步骤下的结构示意图。在上述步骤下，半导体结构包含基板 110、绝缘层 120 以及光刻胶 170。其中，光刻胶 170 涂覆在绝缘层 120 表面。

如图 3 所示，其代表性地示出了半导体结构在“图案化光刻胶 170”的步骤下的结构示意图。在上述步骤下，半导体结构包含基板 110、绝缘层 120 以及图案化之后的光刻胶 170。其中，光刻胶 170 经由图案化制程后被去除的部分是与绝缘层 120 上需要设置孔槽 121 的位置相对应。

- 30 如图 4 所示，其代表性地示出了半导体结构在“利用光刻胶 170 曝光去除部分绝

缘层 120”的步骤下的结构示意图。在上述步骤下，半导体结构包含基板 110、以及部分去除后剩余的绝缘层 120。其中，绝缘层 120 的未被光刻胶 170 遮挡的部分被去除，从而形成贯穿绝缘层 120 的孔槽 121，至此，完成将光刻胶 170 图案转移至绝缘层 120 上的制程。

- 5 如图 5 所示，其代表性地示出了半导体结构在“利用光刻胶 170 曝光去除部分绝缘层 120”的步骤下的俯视图。其中，本实施例中是以孔槽 121 大致呈环形闭合结构，即孔槽 121 对应于芯片 130（第一胶层 140）的全部边缘为例进行说明，因此，为了使孔槽 121 形成图 5 示出的大致呈矩形的布置形式，光刻胶 170 经图案化后的开口亦可大致呈矩形。在其他实施例中，当需要形成其他布置形式的孔槽 121 时，例如图 12
- 10 示出的孔槽 121 的布置形式，光刻胶 170 的图案化的开口亦可相对应地进行调整，并不以本实施例为限。

可选地，如图 6 和图 7 所示，在本实施例中，第二胶层 122 的形成可以具体包含以下步骤：

- 在孔槽 121 内滴涂缓冲胶材；
- 15 加热烘烤，使缓冲胶材固化为第二胶层 122。
- 如图 6 所示，其代表性地示出了半导体结构在“在孔槽 121 内滴涂缓冲胶材”的步骤下的结构示意图。在上述步骤下，半导体结构包含基板 110、绝缘层 120 以及正在被滴涂到绝缘层 120 的孔槽 121 中的缓冲胶材。其中，缓冲胶材可以通过涂胶装置 300 以滴涂的方式填充于孔槽 121 内，能够保证对孔槽 121 的充分填充，同时能够优
- 20 化后续制程形成的第二胶层 122 的材料均匀度和致密度，进一步优化对应力分布的优化效果。在其他实施例中，缓冲胶材亦可通过其他涂覆方式填充于孔槽 121 中，并不以本实施例为限。

- 如图 7 所示，其代表性地示出了半导体结构在“加热烘烤，使缓冲胶材固化为第二胶层 122”的步骤下的结构示意图。在上述步骤下，半导体结构包含基板 110、绝缘层 120 以及固化后的第二胶层 122。其中，第二胶层 122 的是由填充在孔槽 121 内的缓冲胶材，通过加热装置 400 的加热而固化形成。该加热装置 400 可以例如为烘箱等。
- 25

可选地，如图 8 和图 9 所示，在本实施例中，芯片 130 的设置可以具体包含以下步骤：

- 30 将第一胶层 140 和芯片 130 压叠在基板 110 上；

加热烘烤，使第一胶层 140 胶固于芯片 130 与基板 110 之间。

如图 8 所示，其代表性地示出了半导体结构在“将第一胶层 140 和芯片 130 压叠在基板 110 上”的步骤下的结构示意图。在上述步骤下，半导体结构包含基板 110、绝缘层 120、第二胶层 122、第一胶层 140 以及芯片 130。其中，第一胶层 140 位于绝缘层 120 表面，芯片 130 位于第一胶层 140 表面，第一胶层 140 和芯片 130 可以通过压固装置 200 压叠在基板 110（实际为绝缘层 120）表面。

如图 9 所示，其代表性地示出了半导体结构在“加热烘烤，使第一胶层 140 胶固于芯片 130 与基板 110 之间”的步骤下的结构示意图。在上述步骤下，半导体结构包含基板 110、绝缘层 120、第二胶层 122、第一胶层 140 以及芯片 130。其中，通过加热装置 500 的加热，第一胶层 140 可以将芯片 130 胶固在基板 110 上。

进一步地，在本实施例中，对于“加热烘烤，使缓冲胶材固化为第二胶层 122”和“加热烘烤，使第一胶层 140 胶固于芯片 130 与基板 110 之间”的步骤而言，上述两个步骤中的加热装置 400 和加热装置 500 可以采用同一个加热装置。在此基础上，区分于为了固化第一胶层 140 而设置芯片 130 的加热步骤，上述为固化形成第二胶层 122 而进行的加热烘烤亦可理解为“预烘烤”。据此，经过“预烘烤”，除了能够固化形成第二胶层 122，还能够实现对半导体结构的加载装置的预加热。

如图 10 所示，其代表性地示出了半导体结构在“将芯片 130 与基板 110 键合”的步骤下的结构示意图。在上述步骤下，半导体结构包含基板 110、绝缘层 120、第二胶层 122、第一胶层 140、芯片 130 以及引线 150。其中，引线 150 连接在芯片 130 与基板 110 之间，从而实现芯片 130 与基板 110 的键合。

如图 11 所示，其代表性地示出了半导体结构在“在绝缘层 120 表面形成封装层 160”的步骤下的结构示意图。在上述步骤下，半导体结构包含基板 110、绝缘层 120、第二胶层 122、第一胶层 140、芯片 130、引线 150 以及封装层 160。封装层 160 形成于基板 110 表面，封装层 160 将基板 110 上的各结构，例如第一胶层 140、第二胶层 122、芯片 130、引线 150 等封装于其中。

综上所述，本公开提出的半导体结构及半导体结构的制备方法，通过在绝缘层设置与第一胶层的至少一部分边缘的位置相对应的孔槽，并在孔槽内设置弹性模量小于第一胶层的第二胶层的设计，能够优化芯片与基板的连接边缘的应力分布，使得半导体结构弯曲或者形变时不易在芯片与基板的连接边缘产生断裂。

虽然已参照几个典型实施例描述了本公开，但应当理解，所用的术语是说明和示例性、

而非限制性的术语。由于本公开能够以多种形式具体实施而不脱离公开的精神或实质，所以应当理解，上述实施例不限于任何前述的细节，而应在随附权利要求所限定的精神和范围内广泛地解释，因此落入权利要求或其等效范围内的全部变化和改型都应作为随附权利要求所涵盖。

权 利 要 求

1.一种半导体结构，包含基板、芯片以及第一胶层；所述基板表面设置有绝缘层；所述芯片通过所述第一胶层设置于所述绝缘层表面；其中：

- 5 所述绝缘层设置有孔槽，所述孔槽的位置对应于所述第一胶层的至少一部分边缘，所述孔槽内设置有第二胶层，所述第二胶层的至少一部分表面连接于所述第一胶层；

其中，所述第二胶层的弹性模量小于所述第一胶层的弹性模量。

- 10 2.根据权利要求 1 所述的半导体结构，所述孔槽贯穿所述绝缘层。

3.根据权利要求 1 所述的半导体结构，所述孔槽呈环形闭合结构，以使所述孔槽对应于所述第一胶层的全部边缘。

- 15 4.根据权利要求 3 所述的半导体结构，所述第一胶层呈矩形，所述第一胶层的边缘具有四条侧边；其中，所述孔槽呈矩形环布置形式。

5.根据权利要求 1 所述的半导体结构，在所述基板表面上，所述孔槽的正投影图形的外侧边缘，位于所述第一胶层的正投影图形的边缘的外侧。

- 20 6.根据权利要求 1 所述的半导体结构，在所述基板表面上，所述孔槽的正投影图形全部被所述第一胶层的正投影图形覆盖，以使所述第二胶层的全部表面连接于所述第一胶层。

- 25 7.根据权利要求 6 所述的半导体结构，在所述基板表面上，所述孔槽的正投影图形的外侧边缘，与所述第一胶层的正投影图形的边缘重合。

8.根据权利要求 1 所述的半导体结构，所述孔槽的槽口宽度为所述第一胶层的宽度的 5%~10%。

- 30

9.根据权利要求 1 所述的半导体结构，所述第二胶层的弹性模量小于所述绝缘层的弹性模量。

10.根据权利要求 1 所述的半导体结构，所述第二胶层的弹性模量小于所述芯片的弹性模量。

11.根据权利要求 1 所述的半导体结构，所述第二胶层的热膨胀系数小于所述第一胶层的热膨胀系数。

12.根据权利要求 11 所述的半导体结构，所述第二胶层的热膨胀系数小于所述绝缘层的热膨胀系数。

13 根据权利要求 11 所述的半导体结构，所述第二胶层的热膨胀系数小于所述芯片的热膨胀系数。

14.根据权利要求 1 所述的半导体结构，所述第一胶层与所述第二胶层之间的粘接强度，小于所述第一胶层与所述芯片之间的粘接强度。

15.根据权利要求 1 所述的半导体结构，所述第一胶层与所述第二胶层之间的粘接强度，小于所述第一胶层与所述绝缘层之间的粘接强度。

16.根据权利要求 1 所述的半导体结构，所述第二胶层的材质包含硅胶、环氧树脂胶。

17.一种半导体结构的制备方法，包含以下步骤：
提供一基板，所述基板表面设置有绝缘层；
在所述绝缘层上形成贯穿所述绝缘层的孔槽；
在所述孔槽内形成第二胶层；
在所述绝缘层表面通过第一胶层设置芯片，所述孔槽的位置对应于所述第一胶层的至少一部分边缘，所述第二胶层的至少一部分表面连接于所述第一胶层，所述第二

胶层的弹性模量小于所述第一胶层的弹性模量；

在所述绝缘层表面形成封装层，所述芯片和所述第一胶层封装于所述封装层内。

5 18.根据权利要求 17 所述的半导体结构的制备方法，所述孔槽的形成包含以下步骤：

在所述绝缘层表面设置光刻胶；

图案化所述光刻胶；

利用图案化的所述光刻胶曝光，去除所述绝缘层的未被所述光刻胶遮挡的部分，
以此形成所述孔槽。

10

19.根据权利要求 17 所述的半导体结构的制备方法，所述第二胶层的形成包含以下步骤：

在所述孔槽内滴涂缓冲胶材；

加热烘烤，使所述缓冲胶材固化为所述第二胶层。

15