

## (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局



(10) 国际公布号

WO 2021/031857 A1

(43) 国际公布日  
2021年2月25日 (25.02.2021)

(51) 国际专利分类号:  
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2020/107166

(22) 国际申请日: 2020年8月5日 (05.08.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:  
62/889,181 2019年8月20日 (20.08.2019) US  
62/901,837 2019年9月18日 (18.09.2019) US

(71) 申请人: 友达光电股份有限公司(AU OPTRONICS CORPORATION) [CN/CN]; 中国台湾省新竹科学工业园区新竹市力行二路1号, Taiwan 30078 (CN)。

(72) 发明人: 郑圣谚(CHENG, Shengyen); 中国台湾省新竹科学工业园区新竹市力行二路1号, Taiwan 30078 (CN)。 李珉泽(LEE, Mintse); 中国台湾省新竹科学工业园区新竹市力行二路1号, Taiwan 30078 (CN)。 廖鸿嘉(LIAO, Hungchia); 中国台湾省新竹科学工业园区新竹市力行二路1号, Taiwan 30078 (CN)。 翁嘉鸿(WANG, Jiahong); 中国台湾省新竹科学工业园区新竹市力行二路1号, Taiwan 30078 (CN)。 陈品玟(CHEN, Pingwen); 中国台湾省新竹科学工业园区新竹市力行二路1号, Taiwan 30078 (CN)。 钟岳宏(CHUNG, Yuehchung); 中国台湾省新竹科学工业园区新竹市力行二路1号, Taiwan 30078 (CN)。 徐雅玲(HSU, Yaling); 中国台湾省新竹科学工业园区新竹市力行二路1号, Taiwan 30078 (CN)。 廖絜

(54) Title: DISPLAY DEVICE

(54) 发明名称: 显示装置

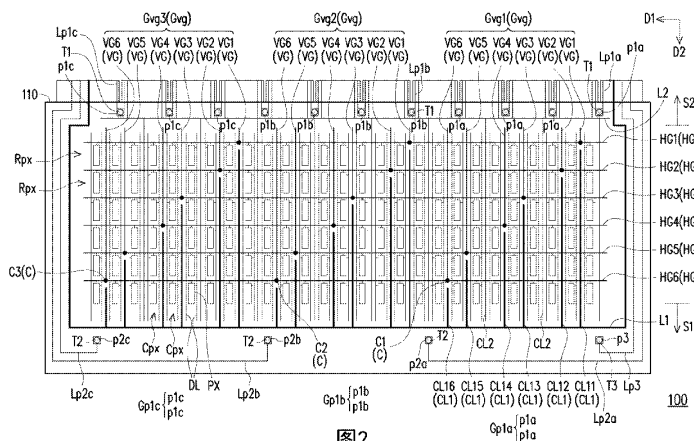


图2

(57) Abstract: A display device (10), comprising a plurality of data lines (DL), a plurality of first gate lines (HG, HG1-HG6), a plurality of pixel structures (PX), a plurality of second gate lines (VG, VG1-VG6), and a plurality of first common lines (CL1, CL11-CL16). The plurality of data lines (DL) are arranged in a first direction (D1). The plurality of first gate lines (HG, HG1-HG6) are arranged in a second direction (D2). The plurality of pixel structures (PX) are electrically connected to the plurality of data lines (DL) and the plurality of first gate lines (HG, HG1-HG6). The plurality of data lines (DL) and the plurality of second gate lines (VG, VG1-VG6) are arranged

[见续页]

WO 2021/031857 A1

贤(LIAO, Chenhsien); 中国台湾省新竹科学工业园区新竹市力行二路1号, Taiwan 30078 (CN)。

(74) 代理人: 隆天知识产权代理有限公司(LUNG TIN INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路5号远大中心B座18层, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

in the first direction (D1), and the plurality of second gate lines (VG, VG1-VG6) are electrically connected to the plurality of first gate lines (HG, HG1-HG6). The plurality of pixel structures (PX) are arranged into a plurality of pixel columns (Cpx), and the plurality of pixel columns (Cpx) are arranged in the first direction (D1). Each first common line (CL1, CL11-CL16) and a corresponding second gate line (VG, VG1-VG6) are provided between two adjacent pixel columns (Cpx). Each first common line (CL1, CL11-CL16) and the corresponding second gate line (VG, VG1-VG6) are respectively provided on two opposite sides of a first gate line (HG, HG1-HG6) electrically connected to the corresponding second gate line (VG, VG1-VG6), and each first common line (CL1, CL11-CL16) and the corresponding second gate line (VG, VG1-VG6) are structurally separated.

(57) 摘要: 一种显示装置(10), 包括多条数据线(DL)、多条第一栅极线(HG、HG1-HG6)、多个像素结构(PX)、多条第二栅极线(VG、VG1-VG6)及多条第一共用线(CL1、CL11-CL16)。多条数据线(DL)在第一方向(D1)上排列。多条第一栅极线(HG、HG1-HG6)在第二方向(D2)上排列。多个像素结构(PX)电性连接多条数据线(DL)及多条第一栅极线(HG、HG1-HG6)。多条数据线(DL)及多条第二栅极线(VG、VG1-VG6)在第一方向(D1)上排列, 且多条第二栅极线(VG、VG1-VG6)电性连接至多条第一栅极线(HG、HG1-HG6)。多个像素结构(PX)排成多个像素列(Cpx), 多个像素列(Cpx)在第一方向(D1)上排列。每一第一共用线(CL1、CL11-CL16)与对应的一第二栅极线(VG、VG1-VG6)设置于相邻两像素列(Cpx)之间。每一第一共用线(CL1、CL11-CL16)及对应的第二栅极线(VG、VG1-VG6)分别设置于与对应的第二栅极线(VG、VG1-VG6)电性连接的第一栅极线(HG、HG1-HG6)的相对两侧, 且每一第一共用线(CL1、CL11-CL16)与对应的第二栅极线(VG、VG1-VG6)于结构上分离。