明　細　書

発明の名称 ： 多層構造体の製造方法

技術分野

[0001] 本発明は、多層構造体の製造方法に関する。

本願は、２０２５年２月４日に日本に出願された特願２０２５－０１７０８０号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 純粋なジルコニア（Ｐｕｒｅ－ZrO_2）は、通常、単斜晶の結晶構造を有する。立方晶の結晶構造を得るためには、イットリア安定化ジルコニア（ＹＳＺ）を用いることが必要である。

[0003] 特許文献１には、ＹＳＺを用いて立方晶系の膜を成長させる技術が記載されている。特許文献１の開示においては、ＹＳＺ層の上でＰｔもしくは$SrRuO_3$を（１００）面に成長させるには、ZrO_2と上層との間にセリア（CeO_2）膜を入れて、４５°回転させ、Ｓｉ＜１１０＞方向と平行にエピタキシャル成長させている。

特許文献２には、ZrO_2を用いることで、CeO_2を用いなくても、Ｐｔを（１００）面に配向させて、Ｓｉ＜１００＞に平行にエピタキシャル成長することが記載される。

先行技術文献

特許文献

[0004] 特許文献1：日本国特開２００５－００５４５０号公報

特許文献2：米国特許第１１７８５８５４号明細書

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献１が開示する技術では、層数が増えるので、量産技術としては、好ましくない。

また、特許文献２が開示する技術では、通常ZrO_2が単斜晶の結晶構造を

有し、運動エネルギーが10^{-1}ｅＶ～10^{-2}ｅＶの蒸着法と比較して、スパッタ法における運動エネルギーが10^{2}ｅＶ～10^{3}ｅＶと高い。このため、膜に歪が生じやすく、Ｐｕｒｅ－ZrO_2で立方晶を得るのは、困難である。特許文献２が開示する技術では、蒸着を行うチャンバとスパッタを行うチャンバの２つの異なるチャンバが必要となるため好ましくない。

[0006] 本発明は、上記の事情に鑑みてなされたもので、以下の目的を達成しようとするものである。

１．全ての成膜をスパッタリングにより可能とし、ｉｎ－ｓｉｔｕでの一貫成膜によって製造可能とすること。

２．シリコン基板と同じ方向に配向する膜を製造可能とすること。

３．工程数を削減し、製造効率を向上すること。

課題を解決するための手段

[0007] チタン酸ジルコン酸鉛（Ｐｂ（Ｚｒ，Ｔｉ）O_3：ＰＺＴ）等の強誘電体を用いた圧電素子が知られている。このような圧電素子は、ＭＥＭＳ（ＭｉｃｒｏＥｌｅｃｔｒｏＭｅｃｈａｎｉｃａｌＳｙｓｔｅｍｓ）技術において、インクジェットヘッド、マイクロミラー、ジャイロセンサ、ＰＭＵＴ（Ｐｉｅｚｏｅｌｅｃｔｒｉｃ Ｍｉｃｒｏｍａｃｈｉｎｅｄ Ｕｌｔｒａｓｏｎｉｃ Ｔｒａｎｓｄｕｃｅｒ：圧電ＭＥＭＳ超音波トランスデューサ）、振動素子、弾性波素子、や加速度センサ等のデバイスに応用されている。中でも、ＰＺＴ膜は、注目されている。

[0008] ＰＺＴを用いる各デバイスにおいては、好ましい性能指数$(e_{31,f})^2/\varepsilon$［ＧＰａ］があることが知られている。性能指数の範囲は、デバイスごとに異なっている。性能指数$(e_{31,f})^2/\varepsilon$［ＧＰａ］は、圧電定数$e_{31,f}$［Ｃ／m^2］，比誘電率ε_r、により規定される。ここで、デバイスによっては、圧電定数を上げ、かつ、誘電率を下げたいという要求がある。この場合、２つの条件を両立させないと性能指数が向上しない。このためには、正方晶組成のｃ軸配向ＰＺＴ膜をエピタキシャル成長させることが好ましい。

[0009] ここで、Ｓｉ基板上で正方晶ＰＺＴ系薄膜をエピタキシャル成長によりｃ

軸配向させることは、通常困難である。その理由は、ＳｉとＰＺＴとの熱膨張率の大小が原因であると言われており、ａ軸に優先的に配向することが知られている。

特許文献１が開示する技術では、ＰＺＴ膜の結晶方位が回転し、Ｓｉと同じ方向に成長させることができない。

また、積層数を削減して、正方晶ＰＺＴ系薄膜をエピタキシャル成長可能としたいという要求があった。同時に、ｉｎ－ｓｉｔｕでの一貫成膜処理を可能とし、スループットを向上したいという要求があった。

[0010] 本発明者らは、鋭意研究により、CeO_2を用いることなく、Ｐｔを（１００）に配向させ、かつ、Ｓｉ＜１００＞に平行にエピタキシャル成長する方法を、スパッタリング法において、初めて見出した。

さらに、センサ等のデバイスに適したＰＺＴエピタキシャル膜作成において、全ての工程をスパッタリングにより一貫処理できるプロセスを提供可能とした。

[0011] 本発明の一態様に係る多層構造体の製造方法は、以下の工程によって、上記課題を解決した。

本発明の一態様に係る多層構造体の製造方法は、シリコン基板の（１００）面に、（１００）面に配向した第１層をスパッタリングにより形成する第１エピタキシャル成膜工程と、前記第１層上に、（１００）面に配向したＰｔの第２層をスパッタリングにより形成する第２エピタキシャル成膜工程と、前記第２層上に、（１００）面に配向した第３層をスパッタリングにより形成する第３エピタキシャル成膜工程とを有する。

前記第１エピタキシャル成膜工程は、

前記シリコン基板の表面をエッチングする工程と、ＹＳＺを前記第１層として、７００℃以上で２００ｎｍ～５００ｎｍの膜厚に成膜する工程とを有するか、

前記シリコン基板の表面の酸化シリコンを除去せずに、ＹＳＺを前記第１層として、６５０℃以上で２００ｎｍ～５００ｎｍの膜厚に成膜する工程を

有するか、

前記シリコン基板の表面の酸化シリコンを除去せずに、Ｚｒのシード層を４００℃以上で１．５ｎｍ～３．５ｎｍの膜厚に成膜する工程と、前記シード層上にＹＳＺを前記第１層として、６５０℃以上で２００ｎｍ～５００ｎｍの膜厚に成膜する工程とを有するか、

前記シリコン基板の表面の酸化シリコンを除去せずに、Ｚｒのシード層を４００℃以上で１．５ｎｍ～３．５ｎｍの膜厚に成膜する工程と、前記シード層上にＹＳＺを前記第１層として、６５０℃以上で１８ｎｍ～６７ｎｍの膜厚に成膜する工程とを有するか、

のいずれかである。

言い換えると、前記第１エピタキシャル成膜工程は、以下の第１工程から第４工程のうちのいずれかの工程を有する。

第１工程は、前記シリコン基板の表面をエッチングする工程と、ＹＳＺを前記第１層として、７００℃以上で２００ｎｍ～５００ｎｍの膜厚に成膜する工程とを有する。

第２工程は、前記シリコン基板の表面の酸化シリコンを除去せずに、ＹＳＺを前記第１層として、６５０℃以上で２００ｎｍ～５００ｎｍの膜厚に成膜する工程を有する。

第３工程は、前記シリコン基板の表面の酸化シリコンを除去せずに、Ｚｒのシード層を４００℃以上で１．５ｎｍ～３．５ｎｍの膜厚に成膜する工程と、前記シード層上にＹＳＺを前記第１層として、６５０℃以上で２００ｎｍ～５００ｎｍの膜厚に成膜する工程とを有する。

第４工程は、前記シリコン基板の表面の酸化シリコンを除去せずに、Ｚｒのシード層を４００℃以上で１．５ｎｍ～３．５ｎｍの膜厚に成膜する工程と、前記シード層上にＹＳＺを前記第１層として、６５０℃以上で１８ｎｍ～６７ｎｍの膜厚に成膜する工程とを有する。

本発明の一態様に係る多層構造体の製造方法は、シリコン基板の（１００）面に、（１００）面に配向した第１層をスパッタリングにより形成する第

１エピタキシャル成膜工程と、前記第１層上に、（１００）面に配向したＰｔの第２層をスパッタリングにより形成する第２エピタキシャル成膜工程と、前記第２層上に、（１００）面に配向した第３層をスパッタリングにより形成する第３エピタキシャル成膜工程とを有する。前記第１エピタキシャル成膜工程は、ＹＳＺを前記第１層として、２５ｎｍ～５０ｎｍの膜厚に成膜するとともに、前記第２エピタキシャル成膜工程は、Ｐｔを前記第２層として５００℃以上で成膜する工程を有する。

本発明の一態様に係る多層構造体の製造方法においては、第３エピタキシャル成膜工程において、前記第３層は、$SrRuO_3$、又は、$LaNiO_3$であってもよい。

本発明の一態様に係る多層構造体の製造方法は、前記第３エピタキシャル成膜工程の後、前記第３層上に、（１００）面に配向したＰＺＴ層をスパッタリングにより形成する第４エピタキシャル成膜工程を有してもよい。

本発明の一態様に係る多層構造体の製造方法においては、前記第４エピタキシャル成膜工程において、前記ＰＺＴ層には、ランタン及びニッケルがドープされてもよい。

[0012] 本発明の一態様に係る多層構造体の製造方法は、シリコン基板の（１００）面に、（１００）面に配向した第１層をスパッタリングにより形成する第１エピタキシャル成膜工程と、前記第１層上に、（１００）面に配向したＰｔの第２層をスパッタリングにより形成する第２エピタキシャル成膜工程と、前記第２層上に、（１００）面に配向した第３層をスパッタリングにより形成する第３エピタキシャル成膜工程と、を有する。

[0013] 上記の方法によれば、全ての層をｉｎ－ｓｉｔｕで一貫したスパッタリングにより製造し、かつ、全ての層を同じ面方位として積層成長することができる。これにより、従来は、できなかったエピタキシャル成長させてシリコンと同じ（１００）面に向いたＰｔ層を得ることが可能となる。したがって、Ｐｔ層の上にＰＺＴ層を形成することで、正方晶組成で所定の方向に配向したエピタキシャルＰＺＴ膜を製造することが可能となる。ＰＺＴ膜の膜特

性を向上するとともに、工程数を削減し、製造効率を向上することができる。

[0014] 本発明の一態様に係る多層構造体の製造方法においては、前記第１エピタキシャル成膜工程は、上述した第１工程から第４工程のうちのいずれかの工程を有する。

[0015] 上記の方法によれば、第１エピタキシャル成膜工程の条件として、第１工程から第４工程のうちのいずれかの工程を選択することによって、エピタキシャル成長による（１００）面に向いたＰｔ層を成膜可能な立方晶のＹＳＺ膜を得ることができる。特に、φスキャン、２θスキャンといったＸ線スキャンを行っても（１００）以外のサイドピークが出ない、すなわち、（１００）面に向いたＹＳＺ膜を得られる。

ここで、ＹＳＺは、Y_2O_3をドープしたZrO_2；Ｙ－ZrO_2である。特に、シード層を用いた場合には、メタルのジルコニウムをスパッタリング成膜したのちに、ＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）熱処理を行うことが好ましい。また、シード層は、多層構造体として第１層と一体化の有無、分離検出可能可動は、特に限定されない。

[0016] 本発明の一態様に係る多層構造体の製造方法においては、前記第１エピタキシャル成膜工程は、ＹＳＺを前記第１層として、２５ｎｍ～５０ｎｍの膜厚に成膜するとともに、前記第２エピタキシャル成膜工程は、Ｐｔを前記第２層として５００℃以上で成膜する工程を有する。

[0017] 上記の方法によれば、第１エピタキシャル成膜工程と第２エピタキシャル成膜工程における条件として上記の条件を選択することにより、成膜全面において、（１００）面に単一配向したＰｔ層を形成することが可能となる。このＰｔ層の上にＰＺＴ層を形成することで、正方晶組成で所定の方向に配向したエピタキシャルＰＺＴ膜を製造することが可能となる。ＰＺＴ膜の膜特性を向上するとともに、工程数を削減し、製造効率を向上することができる。

[0018] 本発明の一態様に係る多層構造体の製造方法においては、第３エピタキシ

ャル成膜工程において、前記第３層は、$SrRuO_3$、又は、$LaNiO_3$である。

[0019] 上記の方法によれば、（１００）配向したＰｔの上に、第３層（バッファ層）を形成する。このため、全ての層をｉｎ－ｓｉｔｕで一貫したスパッタリングにより成膜可能で、かつ、正方晶組成でｃ軸配向したエピタキシャルＰＺＴ膜を積層成長することができる。しかも、ＰＺＴ層において、圧電定数$e_{31,f}$［Ｃ／ｍ^2］を１０．０～１１．９にすることが可能であり、誘電損失を１．０％～１．８％にすることが可能であり、比誘電率を２００～３７５［無次元］にすることが可能となる。

ここで、$SrRuO_3$の膜厚は、１５ｎｍ～２５ｎｍであることが好ましい。

[0020] 本発明の一態様に係る多層構造体の製造方法は、前記第３エピタキシャル成膜工程の後、前記第３層上に、（１００）面に配向したＰＺＴ層をスパッタリングにより形成する第４エピタキシャル成膜工程を有する。

[0021] 上記の方法によれば、第４エピタキシャル成膜工程まで連続したｉｎ－ｓｉｔｕとすることで、（１００）面に配向したＰＺＴ層の成膜においては、圧電定数$e_{31,f}$［Ｃ／ｍ^2］を１０．０～１１．９にすることが可能であり、誘電損失を１．０％～１．８％にすることが可能であり、比誘電率を２００～３７５［無次元］にすることが可能である。

ここで、第４エピタキシャル成膜工程は、ＰＺＴ層の成膜が５７５℃～６５０℃であることが好ましい。

[0022] 本発明の一態様に係る多層構造体の製造方法においては、前記第４エピタキシャル成膜工程において、前記ＰＺＴ層には、ランタン及びニッケルがドープされている。

[0023] 上記の方法によれば、引張内部応力を著しく低減することが可能となる。これにより、ＰＺＴ層におけるクラックの発生を抑制して、実用にかなうＰＺＴ膜を提供することが可能となる。

ここで、ＰＺＴ層にドープされる不純物として、ランタン（Ｌａ）及びニ

ッケル（Ｎｉ）の少なくとも一方が０．１［ａｔ％］以上５［ａｔ％］以下の範囲で、ＰＺＴ層にドープされることが好ましい。

発明の効果

[0024] 本発明によれば、工程数を削減して製造効率を向上させることができ、全ての成膜をスパッタリングにより実現可能であり、かつ、ｉｎ－ｓｉｔｕでの一貫成膜可能なＰＺＴ膜を製造可能な、多層構造体の製造方法を提供することができる。さらに、膜特性が向上した多層構造体を提供することができる。

図面の簡単な説明

[0025] [図1]本発明の第１実施形態に係る多層構造体を示す模式断面図である。

[図2]本発明の第１実施形態に係る多層構造体の製造方法を示すフローチャートである。

[図3]本発明の第１実施形態に係る多層構造体の製造方法で用いる製造装置を示す模式平面図である。

[図4A]本発明の第１実施形態に係る多層構造体を構成する各層のＸ線回折ピークの形状を示す図である。

[図4B]本発明の第１実施形態に係る多層構造体を構成する各層のＸ線回折ピークの形状を示す図である。

[図4C]本発明の第１実施形態に係る多層構造体を構成する各層のＸ線回折ピークの形状を示す図である。

[図5A]本発明の第１実施形態に係る多層構造体を構成する各層のＸ線回折ピークの形状を示す図である。

[図5B]本発明の第１実施形態に係る多層構造体を構成する各層のＸ線回折ピークの形状を示す図である。

[図5C]本発明の第１実施形態に係る多層構造体を構成する各層のＸ線回折ピークの形状を示す図である。

[図6]本発明の第１実施形態に係る多層構造体におけるにおけるＹＳＺ層の膜厚と、Ｘ線回折における（１１１）サイドピークの有無を示す図である。

[図7]本発明の第１実施形態に係る多層構造体におけるにおけるＹＳＺ層の膜厚と、Ｘ線回折における（１１１）サイドピークの有無を示す図である。

[図8]本発明の第１実施形態に係る多層構造体におけるＹＳＺ層の膜厚及びＰｔ層の成膜温度と、Ｘ線回折におけるＰｔの配向方向を示す図である。

[図9]ＹＳＺ層のＸ線回折ピークを示す図である。

[図10]本発明の第１実施形態に係る多層構造体におけるＹＳＺ層のＸ線回折ピークを示す図である。

[図11]図１０が示すＹＳＺ層のＸ線回折ピークを示す図である。

[図12]図１０が示すＹＳＺ層を成膜したシリコン基板のＸ線回折ピークを示す図である。

[図13]本発明の第１実施形態に係る多層構造体におけるＰＺＴ層のＸ線回折ピークを示す図である。

[図14]本発明の第１実施形態に係る多層構造体におけるＰＺＴ層のＸ線回折ピークを示す図である。

[図15]図１４が示すＰＺＴ層のＸ線回折ピークを示す図である。

[図16]本発明の第１実施形態に係る多層構造体におけるＰＺＴ層の内部応力分布を示す図である。

[図17]図１６が示すＰＺＴ層の表面観察結果を示す図である。

[図18]ＰＺＴ層の内部応力分布を示す図である。

[図19]図１８が示すＰＺＴ層の表面観察結果を示す図である。

[図20]本発明の第１実施形態に係る多層構造体におけるＰＺＴ層の比誘電率を示す図である。

[図21]本発明の第１実施形態に係る多層構造体におけるＰＺＴ層の誘電損失を示す図である。

[図22]本発明の第１実施形態に係る多層構造体におけるＰＺＴ層の圧電定数$e_{31,f}$を示す図である。

[図23]本発明の第１実施形態に係る多層構造体におけるＰＺＴ層の性能指数を示す図である。

[図24]本発明の第２実施形態に係る多層構造体におけるＰＺＴ層のＸ線回折ピークを示す図である。

[図25]本発明の第２実施形態に係る多層構造体におけるＰＺＴ層のＸ線回折ピークを示す図である。

[図26]図２５が示すＰＺＴ層のＸ線回折ピークを示す図である。

[図27]本実施形態に係る多層構造体におけるＰＺＴ層の成膜温度の変化による変化をＸ線回折により分析した図である。

発明を実施するための形態

[0026] 以下、本発明の第１実施形態に係る多層構造体の製造方法及び多層構造体を、図面に基づいて説明する。

図１は、本実施形態における多層構造体を示す模式断面図である。図において、符号１００は、多層構造体である。

[0027] 本実施形態に係る多層構造体１００は、図１に示すように、シリコン基板１０上に、第１層１１と、第２層１２と、第３層１３と、第４層１４と、が積層された構造を有する。

[0028] シリコン基板１０は、シリコン単結晶基板である。シリコン基板１０の（１００）面は、積層面である。シリコン基板１０の（１００）面は、「シリコン基板の表面」に相当する。シリコンの格子定数は、５．４３１オングストロームである。

[0029] 第１層１１は、シリコン基板１０上に成膜される。第１層１１は、ジルコニウムを含む。第１層１１は、イットリア安定化ジルコニア（ＹＳＺ；Y_2O_3をドープしたZrO_2；Ｙ－ZrO_2）である。第１層１１の（１００）面は、Ｓｉ（１００）面に対して（１００）面で配向している。第１層１１は、シリコン基板１０に対して（１００）面の配列が同じである。ＹＳＺの格子定数は、５．１３９オングストロームである。

[0030] 第２層１２は、第１層１１上に成膜される。第２層１２は、プラチナ（Ｐｔ）層である。第２層１２は、第１層１１の（１００）面に対して（１００）面で配向している。第２層１２の（１００）面は、ＹＳＺ（１００）面に

配向している。第２層１２の（１００）面は、シリコン基板１０及び第１層１１に対して（１００）面の配列が同じである。Ｐｔの格子定数は、３．９２０オングストロームである。

[0031] 第３層１３は、第２層１２上に成膜される。第３層１３は、バッファ層である。第３層１３は、バッファ層である。第３層１３は、ルテニウム酸ストロンチウム（ＳＲＯ；ＳｒＲｕO_3）膜である。第３層１３は、第２層１２の（１００）面に対して（１００）面で配向している。第３層１３の（１００）面は、Ｐｔ（１００）面に配向している。第３層１３の（１００）面は、シリコン基板１０、第１層１１及び第２層１２に対して（１００）面の配列が同じである。ＳｒＲｕO_3の格子定数は、３．９３０オングストロームである。

[0032] 第４層１４は、第３層１３上に成膜される。第４層１４は、ＰＺＴ層である。第４層１４は、正方晶組成のｃ軸配向チタン酸ジルコン酸鉛（Ｐｂ（Ｚｒ，Ｔｉ）O_3：ＰＺＴ）膜である。第４層１４は、不純物としてランタン（Ｌａ）及び／又はニッケル（Ｎｉ）が０．１［ａｔ％］以上５［ａｔ％］以下の範囲でドープされたＰＺＴ膜である。第４層１４は、第３層１３の（１００）面に対して（１００）面で配向している。第４層１４の（１００）面は、シリコン基板１０、第１層１１、第２層１２及び第３層１３に対して（１００）面の配列が同じである。ＰＺＴの格子定数は、代表的な単純ペロブスカイト酸化物の格子定数と同じ約３．９オングストロームである。

[0033] 本実施形態に係る多層構造体１００においては、シリコン基板１０上に第１層１１と第２層１２と、第３層１３とが積層されている。第３層１３上に第４層１４が積層されることで、圧電定数$e_{31,f}$［Ｃ／ｍ^2］、誘電率ε［Ｆ／ｍ］が所定の範囲であるＰＺＴ層を得ることができる。

[0034] 図２は、本実施形態における多層構造体の製造方法を示すフローチャートである。図３は、本実施形態における多層構造体の製造方法で用いられる製造装置を示す模式平面図である。

本実施形態に係る多層構造体の製造方法は、図２に示すように、基板準備

工程Ｓ００と、第１層１１を成膜する第１エピタキシャル成膜工程Ｓ０１と、第２層１２を成膜する第２エピタキシャル成膜工程Ｓ０２と、第３層１３を成膜する第３エピタキシャル成膜工程Ｓ０３と、第４層１４を成膜する第４エピタキシャル成膜工程Ｓ０４と、を有する。

[0035] 基板準備工程Ｓ００は、単結晶シリコンのシリコン基板１０を準備する。ここでは、シリコン基板１０の（１００）面を積層面とする。後述するように、第１エピタキシャル成膜工程Ｓ０１における条件によって、異なるシリコン基板１０の表面処理を行う。つまり、シリコン基板１０の表面処理として、自然酸化膜を除去するエッチング処理を行うことができる。または、自然酸化膜を除去しない状態を維持することができる。なお、自然酸化膜を除去するか否かにかかわらず、表面洗浄処理を行うことができる。この場合、洗浄処理としては、エッチング処理等の処理を選択することができる。

[0036] 第１エピタキシャル成膜工程Ｓ０１は、シリコン基板１０の積層面に、第１層１１をエピタキシャル成膜する。第１エピタキシャル成膜工程Ｓ０１は、図３に示す製造装置１により成膜を行う。

製造装置１（スパッタ装置）は、図３に示すように、ロード・アンロード室２と、複数の成膜室４（チャンバ）と、成膜室４とロード・アンロード室２（チャンバ）との間に位置する搬送室３と、を備えている。図３に示す例では、４つの成膜室が示されている。４つの成膜室は、第１成膜室４Ａ、第２成膜室４Ｂ、第３成膜室４Ｃ、及び第４成膜室４Ｄである。これらの成膜室の説明に関し、複数の成膜室を区別する必要がない場合において、または、一つの成膜室を説明する場合において、単に成膜室４と称する場合がある。

[0037] 製造装置１は、真空処理装置である。製造装置１は、各成膜室４において、シリコン基板１０にスパッタリング成膜を行うことができる。製造装置１は、装置１は、ロード・アンロード室２及び複数の成膜室４を構成する複数のチャンバが搬送室３の周囲を取り囲むように配置される。製造装置１においては、複数のチャンバの各々と搬送室３との間に仕切りバルブが形成され

ている。製造装置１は、ロード・アンロード室２と、複数の成膜室４と、搬送室３との間で、真空減圧密封状態を維持したまま、シリコン基板１０を移動可能である。

[0038] ロード・アンロード室２は、製造装置１の外部から内部に向けてシリコン基板１０を搬入するロード室である。ロード・アンロード室２は、は、製造装置１の内部から外部にシリコン基板１０を搬出するアンロード室である。ロード・アンロード室２は、シリコン基板１０の搬入搬出のいずれの動作も行えるように兼用可能な構成である。なお、製造装置１においては、複数のロード・アンロード室２が配置されてもよい。この場合、複数のロード・アンロード室２の各々は、シリコン基板１０の搬入搬出の動作を独立的に行う。

[0039] ロード・アンロード室２には、製造装置１の外部から搬入されたシリコン基板１０の載置位置を設定してアライメント可能な位置決め部材が配置されていてもよい。

ロード・アンロード室２には、内部を粗真空引きするロータリーポンプ等の粗引き排気装置（粗引き排気装置、低真空排気装置）が設けられる。

搬送室３には、内部を粗真空引きするロータリーポンプ等の粗引き排気装置（粗引き排気装置、低真空排気装置）が設けられる。搬送室３の内部には、搬送装置３ａ（搬送ロボット）が配置されている。

[0040] 搬送装置３ａは、回転軸と、この回転軸に取り付けられたロボットアームと、ロボットアームの一端に形成されたロボットハンドと、ロボットハンドを上下動させる上下動装置とを有している。ロボットアームは、互いに屈曲可能な第一の能動アームと、第二の能動アームと、第一の従動アームと、第二の従動アームとから構成されている。搬送装置３ａは、被搬送物であるシリコン基板１０を、複数のチャンバ（ロード・アンロード室２及び複数の成膜室４）の各々と搬送室３との間で移動させることができる。

[0041] 複数の成膜室４の各々は、スパッタリング成膜を行うことが可能な構成を有する。複数の成膜室４の各々は、いずれも同じ構成を有してもよい。ただ

し、複数の成膜室４の各々は、互いに異なる複数の成膜工程に対応して別々に処理する構成を有する。以下、製造装置１の複数の成膜室４の各々が第１エピタキシャル成膜工程Ｓ０１から第４エピタキシャル成膜工程Ｓ０４に対応した構成を有する場合を説明するが、製造装置１の構成は、以下に説明する構成に限定されない。

[0042] なお、複数の成膜室４によって行われる成膜工程は、互いに異なってもよい。後述するようにターゲットを交換する等により、同一チャンバにおいて異なる成膜工程を処理が可能であってもよい。

なお、複数の成膜室４のうちいずれかの成膜室は、スパッタリング成膜以外の処理、例えば、エッチング処理、熱処理工程、所定のガス雰囲気による基板処理等を可能な構成を有してもよい。

[0043] １つの成膜室４は、基板保持機構４１と、成膜機構４２と、ガス雰囲気調整機構４３と、を有する。なお、図３において、基板保持機構４１と、成膜機構４２等は、模式的に示しており、特に図によって限定されない。

基板保持機構４１は、搬送装置３ａによって搬送されてきたシリコン基板１０を受け取る。基板保持機構４１は、成膜室４の内部でシリコン基板１０を保持する。基板保持機構４１は、成膜室４の内部でシリコン基板１０を搬送可能である。基板保持機構４１は、シリコン基板１０を搬送装置３ａに受け渡す。

[0044] 基板保持機構４１は、成膜中に成膜機構４２のターゲット４２ａと対向するようにシリコン基板１０を保持する。基板保持機構４１は、成膜中に、シリコン基板１０と成膜機構４２との距離を設定可能である。基板保持機構４１は、成膜中に、シリコン基板１０にバイアス電力を印加可能である。基板保持機構４１は、成膜中に、シリコン基板１０の温度を設定可能な温度制御部を有する。

温度制御部は、温度制御部に内蔵された発熱部材と加熱用電源とを有している。発熱部材としては、例えば、ＳｉＣが用いられる。発熱部材は、シリコン基板１０の下部に配置されてもよい。温度制御部は、冷却部を有しても

よい。たとえば、冷却部の内部に温度管理された冷却媒体を循環させるように構成することができる。

[0045] 成膜機構４２は、成膜室４の内部に配置される。成膜機構４２は、エピタキシャル成膜処理を行う。成膜機構４２は、エピタキシャル成膜処理における成膜材料を供給する。

成膜機構４２は、ターゲット４２ａと、カソード電極４２ｂ（バッキングプレート）と、電源４２ｃと、を有する。

[0046] ターゲット４２ａは、ターゲット４２ａを用いる成膜工程に対応する成膜材料を供給する。ターゲット４２ａは、シリコン基板１０の表面に成膜しようする膜の組成に応じて所定形状に作製される。ターゲット４２ａは、成膜室４の内部でシリコン基板１０に対向して配置されている。ターゲット４２ａは、カソード電極４２ｂに取り付けられる。

カソード電極４２ｂは、成膜室４の上部と絶縁部材を介して配置されている。カソード電極４２ｂと成膜室４の壁部とは、電気的に絶縁される。成膜室４の壁部は、接地電位とされている。カソード電極４２ｂの一面側は、局部的に成膜室４の内部に露出されている。ターゲット４２ａは、カソード電極４２ｂの一面側のうち露出された領域の中央部に密着して固定される。ターゲット４２ａとカソード電極４２ｂとは、電気的に接続されている。

[0047] 電源４２ｃ（スパッタ電源）は、カソード電極４２ｂに負電位のスパッタ電圧を印加する。電源４２ｃは、成膜室４の外部に配置されている。電源４２ｃは、カソード電極４２ｂと電気的に接続される、電源４２ｃは、カソード電極４２ｂを介してターゲット４２ａに交流電圧を印加することが可能である。

[0048] ガス雰囲気調整機構４３は、ガス導入機構と、高真空排気機構と、を有する。ガス導入機構は、ガス雰囲気調整機構４３を用いる成膜工程に対応するスパッタガス、成膜ガスを成膜室４の内部に導入する。高真空排気機構は、成膜室４の内部を排気する。高真空排気機構は、例えば、ターボ分子ポンプ等である。ガス雰囲気調整機構４３は、成膜時に、成膜室４の内部の圧力を

設定可能である。

成膜機構４２は、マグネトロン磁気回路を有してもよい。マグネトロン磁気回路は、ターゲット４２ａ上に所定の磁場を形成する。マグネトロン磁気回路は、カソード電極４２ｂのターゲット４２ａとは、反対側、すなわちカソード電極４２ｂの他面側に配置される。

[0049] 第１エピタキシャル成膜工程Ｓ０１は、例えば、図３において第１成膜室４Ａにおいて行われる。この場合、第１成膜室４Ａにおいては、エッチング等のプラズマ処理が可能である。また、第１成膜室４Ａにおいては、ターゲット４２ａが第１層１１をエピタキシャル成膜可能な組成である。ターゲット４２ａは、イットリア安定化ジルコニアからなる単一のターゲットであることができる。あるいは、ターゲット４２ａは、酸化ジルコニウム、又は、ジルコニアを含むターゲットと、イットリウム等を含むターゲットとを有する複数のターゲットであってもよい。

[0050] この場合、第１成膜室４Ａにおいては、ガス雰囲気調整機構４３が、必要な成膜条件であるガス雰囲気及び圧力範囲を設定する。同時に、成膜機構４２は、必要な成膜電力を設定する。また、基板保持機構４１は、必要な成膜温度、バイアル電力を設定する。

第１エピタキシャル成膜工程Ｓ０１では、第１成膜室４Ａの内部を、ガス雰囲気調整機構４３により減圧し、以後、真空排気を継続して、第１成膜室４Ａの内部の真空雰囲気を維持する。

[0051] そして、ガス雰囲気調整機構４３から第１成膜室４Ａの内部にスパッタガスとしてＡｒガスを導入する。同時に、電源４２ｃからカソード電極４２ｂに高周波（負の高周波電力）を印加して、カソード電極４２ｂ放電させる。これにより、成膜室４内に導入されたＡｒガスのプラズマを発生させ、Ａｒイオン等のプラスイオンを生成させ、プラズマ空間を形成する。形成されたプラズマ空間内のプラスイオンは、カソード電極４２ｂに保持されたターゲット４２ａをスパッタする。スパッタされたターゲット４２ａの構成元素は、ターゲット４２ａから放出され、中性あるいは、イオン化された状態で、

基板保持機構４１に保持されたシリコン基板１０の（１００）面にスパッタリング成膜する。

[0052] 具体的には、第１エピタキシャル成膜工程は、以下の第１工程から第４工程のうちのいずれかの工程を有する。

［第１工程］

第１工程は、シリコン基板１０表面をエッチングする工程と、ＹＳＺ（Y_2O_3をドープしたZrO_2；Ｙ－ZrO_2）を第１層１１として、７００℃以上で２００ｎｍ～５００ｎｍの膜厚にエピタキシャル成膜する工程と、を有する。

この場合、エッチング工程において、例えば、プラズマ等によるドライエッチング処理により、自然酸化膜１０ａを除去する。あるいは、ウエットエッチング処理により自然酸化膜１０ａを除去しておき、プラズマ等によるドライエッチング処理することもできる。この場合のＹＳＺ成膜条件は、供給ガスとしてＡｒガス１００％を用い、プラズマ生成電力として１５００Wを印加することができる。

[0053] ［第２工程］

第２工程は、シリコン基板１０表面の酸化シリコン１０ａ（自然酸化膜）を除去せずに、ＹＳＺを第１層１１として、６５０℃以上で２００ｎｍ～５００ｎｍの膜厚にエピタキシャル成膜する工程とを有する。

この場合、自然酸化膜１０ａが残った状態でＹＳＺを成膜する。この場合のＹＳＺ成膜条件は、供給ガスとしてＡｒガス１００％を用い、プラズマ生成電力として１５００W印加することができる。

この場合、ＹＳＺを成膜した後に、真空中で、処理温度６５０℃のＲＴＡ処理することができる。ＲＴＡ処理後には、自然酸化膜１０ａは、ＹＳＺを第１層１１と一体となる。あるいは、あらかじめ、シリコン基板１０表面に酸化シリコンを形成する処理を行うことも可能である。

[0054] ［第３工程］

第３工程は、シリコン基板１０表面の酸化シリコン１０ａを除去せずに、

Ｚｒのシード層１１ａを４００℃以上で１．５ｎｍ～３．５ｎｍの膜厚に成膜する工程と、シード層１１ａ上にＹＳＺを第１層１１として、６５０℃以上で２００ｎｍ～５００ｎｍの膜厚にエピタキシャル成膜する工程とを有する。

この場合、自然酸化膜１０ａが残った状態でシード層１１ａ及びＹＳＺを成膜する。この場合のシード層１１ａ成膜条件は、メタルのジルコニウムをターゲットとして用い、供給ガスとしてＡｒガス１００％を用い、プラズマ生成電力としてプラズマ生成条件０．３ｋＷとすることができる。

この場合のＹＳＺ成膜条件は、ＹＳＺセラミクスをターゲットとして、供給ガスとしてＡｒガス１００％を用い、プラズマ生成電力として１５００Ｗを印加することができる。この場合、ＹＳＺを成膜した後に、真空中で、処理温度６５０℃のＲＴＡ処理することができる。ＲＴＡ処理後には、自然酸化膜１０ａ及びシード層１１ａは、ＹＳＺを第１層１１と一体となる。

[0055] ［第４工程］

第４工程は、シリコン基板１０表面の酸化シリコン１０ａを除去せずに、Ｚｒのシード層１１ａを４００℃以上で１．５ｎｍ～３．５ｎｍの膜厚に成膜する工程と、シード層１１ａ上にＹＳＺを第１層として、６５０℃以上で１８ｎｍ～６７ｎｍの膜厚に成膜する工程とを有する。

この場合、自然酸化膜１０ａが残った状態でシード層１１ａ及びＹＳＺを成膜する。この場合のシード層１１ａ成膜条件は、メタルのジルコニウムをターゲットとして、供給ガスとしてＡｒガス１００％を用い、プラズマ生成電力としてプラズマ生成条件０．３ｋＷとすることができる。

[0056] この場合のＹＳＺ成膜条件は、ＹＳＺセラミクスをターゲットとして、供給ガスとしてＡｒガス１００％を用い、プラズマ生成電力として１５００Ｗを印加することができる。この場合、ＹＳＺを成膜した後に、ＲＴＡ処理することができる。ＲＴＡ処理後には、自然酸化膜１０ａ及びシード層１１ａは、ＹＳＺを第１層１１と一体となる。

[0057] 第１エピタキシャル成膜工程Ｓ０１での成膜が終了したら、電源４２ｃか

らカソード電極４２ｂへの電圧印加を停止し、ガス雰囲気調整機構４３から成膜室４内へのスパッタガスの導入を停止する。

第１エピタキシャル成膜工程Ｓ０１により、シリコン基板１０の（１１０）面に対して、立方晶構造のＹＳＺである第１層１１の（１００）面を＜１００＞方向に配向するように成膜することができる。

第１エピタキシャル成膜工程Ｓ０１による第１層１１の成膜終了後、シリコン基板１０を、搬送室３を経て、第２成膜室４Ｂへと移動する。

[0058] 第２エピタキシャル成膜工程Ｓ０２は、第１層１１の上に第２層１２をエピタキシャル成膜する。第２エピタキシャル成膜工程Ｓ０２は、例えば、図３において第２成膜室４Ｂにおいて同様に行われる。この場合、第２成膜室４Ｂにおいては、ターゲット４２ａが第２層１２をエピタキシャル成膜可能な組成である。この場合、ターゲット４２ａは、プラチナからなる単一のターゲットであることができる。また、この場合、第２成膜室４Ｂにおいては、ガス雰囲気調整機構４３が、必要な成膜条件であるガス雰囲気及び圧力範囲を設定する。同時に、成膜機構４２は、必要な成膜電力を設定する。また、基板保持機構４１は、必要な成膜温度、バイアル電力を設定する。この場合のＰｔ成膜条件は、Ｐｔをターゲットとして、供給ガスとしてＡｒガス１００％を用い、プラズマ生成電力として０．５ｋＷを印加することができる。

[0059] 第２エピタキシャル成膜工程Ｓ０２は、Ｐｔを前記第２層として５００℃以上で成膜する工程を有する。このとき、第１エピタキシャル成膜工程Ｓ０１において、第１層１１を２５ｎｍ～５０ｎｍの膜厚に成膜することができる。

[0060] 上記の方法によれば、第１エピタキシャル成膜工程と第２エピタキシャル成膜工程で上記の条件を選択することにより、成膜全面において、（１００）面に単一配向したＰｔ層を形成することが可能となる。このＰｔ層の上にＰＺＴ層を形成することで、正方晶組成で所定の方向に配向したエピタキシャルＰＺＴ膜を製造することが可能となる。ＰＺＴ膜の膜特性を向上すると

ともに、工程数を削減し、製造効率を向上することができる。

[0061] 第２エピタキシャル成膜工程Ｓ０２により、シリコン基板１０の（１１０）面及びＹＳＺである第１層１１の（１００）面に対して、立方晶構造のＰｔである第２層１２の（１００）面を＜１００＞方向に配向するように成膜することができる。第２層１２のＰｔ（１００）面は、ＹＳＺである第１層１１の（１００）面及びシリコン基板１０の（１１０）面に対して、面内回転していない。

第２エピタキシャル成膜工程Ｓ０２による第２層１２の成膜終了後、シリコン基板１０を、搬送室３を経て、第３成膜室４Ｃへと移動する。

[0062] 第３エピタキシャル成膜工程Ｓ０３は、第２層１２の上に第３層１３をエピタキシャル成膜する。第３エピタキシャル成膜工程Ｓ０３は、例えば、図３において第３成膜室４Ｃにおいて行われる。この場合、第３成膜室４Ｃにおいては、ターゲット４２ａが第３層１３をエピタキシャル成膜可能な組成である。この場合、ターゲット４２ａは、ルテニウム酸ストロンチウム（ＳＲＯ；ＳｒＲｕO_3）からなる単一のターゲットであることができる。あるいは、複数のターゲットを用いて、ルテニウム酸ストロンチウムを成膜可能としてもよい。

[0063] また、この場合、第３成膜室４Ｃにおいては、ガス雰囲気調整機構４３が、必要な成膜条件であるガス雰囲気及び圧力範囲を設定する。同時に、成膜機構４２は、必要な成膜電力を設定する。また、基板保持機構４１は、必要な成膜温度、バイアル電力を設定する。この場合のＰｔ成膜条件は、ＳｒＲｕO_3をターゲットとして、供給ガスとしてＡｒガス及びO_2ガスを用いプラズマ生成電力として１５００Ｗを印加することができる。

なお、第３層１３の膜厚は、２０ｎｍ程度、１５ｎｍ～２５ｎｍとすることが好ましい。

[0064] 第３エピタキシャル成膜工程Ｓ０３により、シリコン基板１０の（１１０）面、第１層１１のＹＳＺ（１００）面、第２層１２のＰｔ（１００）面に対して、立方晶構造のＳｒＲｕO_3である第３層１３の（１００）面を＜１０

０＞方向に配向するように成膜することができる。第３層１３の$SrRuO_3$（１００）面は、第２層１２の$SrRuO_3$（１００）面、第１層１１のＹＳＺ（１００）面及びシリコン基板１０の（１１０）面に対して、面内回転していない。

第３エピタキシャル成膜工程Ｓ０３による第３層１３の成膜終了後、シリコン基板１０を、搬送室３を経て、第４成膜室４Ｄへと移動する。

[0065] 第４エピタキシャル成膜工程Ｓ０４は、バッファ層である第３層１３の上にＰＺＴである第４層１４をエピタキシャル成膜する。

第４エピタキシャル成膜工程Ｓ０４は、例えば、図３において第４成膜室４Ｄにおいて行われる。この場合、第４成膜室４Ｄにおいては、ターゲット４２ａが第４層１４をエピタキシャル成膜可能な組成である。この場合、ターゲット４２ａとしては、不純物としてランタン（Ｌａ）及び／又はニッケル（Ｎｉ）がドープされたチタン酸ジルコン酸鉛［$Pb(Zr_xTi_{1-x})O_3$：ＰＺＴ］からなる単一のターゲットを用いることができる。あるいは、複数のターゲットを用いて、不純物としてランタン（Ｌａ）及び／又はニッケル（Ｎｉ）がドープされたチタン酸ジルコン酸鉛を成膜することが可能であってもよい。

[0066] また、この場合、第４成膜室４Ｄにおいては、ガス雰囲気調整機構４３が、必要な成膜条件であるガス雰囲気及び圧力範囲を設定する。同時に、成膜機構４２は、必要な成膜電力を設定する。また、基板保持機構４１は、必要な成膜温度、バイアル電力を設定する。この場合のＰＺＴ成膜条件は、Ｌａ／Ｎｉを含むＰＺＴをターゲットとして、Ａｒ／O_2ガスを供給ガスとして、５７５℃以上、プラズマ生成電力２．７５ｋＷとすることができる。

[0067] 第４エピタキシャル成膜工程Ｓ０４により、シリコン基板１０の（１１０）面、第１層１１のＹＳＺ（１００）面、第２層１２のＰｔ（１００）面、第３層１３の$SrRuO_3$（１００）面に対して、立方晶構造のＰＺＴである第４層１４の（１００）面を＜１００＞方向に配向するように成膜することができる。第４層１４のＰＺＴ（１００）面は、第３層１３の$SrRuO_3$（

１００）面、第２層１２のＳｒＲｕO_3（１００）面、第１層１１のＹＳＺ（１００）面及びシリコン基板１０の（１１０）面に対して、面内回転していない。

[0068] 本実施形態においては、第１エピタキシャル成膜工程Ｓ０１から第４エピタキシャル成膜工程Ｓ０４まで、製造装置１内において、ｉｎ－ｓｉｔｕでの一貫成膜を行う。これにより、第４層１４として、正方晶組成のｃ軸配向ＰＺＴ膜を得ることができる。第４層１４であるＰＺＴ膜においては、圧電定数$e_{31,f}$［Ｃ／ｍ^2］が１０．０～１１．９であり、誘電損失が１．０％～１．８％であり、比誘電率εが２００～３７５［無次元］であり、実用可能な性能指数（$e_{31,f}$）^{2}／ε［ＧＰａ］が３３．９程度である。第４層１４は、結晶化したＰＺＴ膜を成膜する際に、ランタン（Ｌａ）及び／又はニッケル（Ｎｉ）をＰＺＴ膜にドープするようにスパッタリングが行われ、ＰＺＴ膜が形成されている。このため、ＰＺＴ膜における内部応力が、ＰＺＴ膜の引張側ではなくＰＺＴ膜の圧縮側に生じ、クラックの発生を抑制することが可能である。

[0069] 本実施形態においては、スパッタリング法及び蒸着法という異なる成膜法を混在することなく、単一の製造装置１によって、製造コストを抑えて正方晶組成のｃ軸配向ＰＺＴ膜を得ることができる。

この多層構造体１００は、例えば、アルミニウム配線を有するＣＭＯＳ基板に、高い圧電性と耐圧性を有するＰＺＴ膜を形成した圧電素子や、ジャイロセンサ、ＰＭＵＴ等に好適に用いられる。

[0070] 以下、本実施形態における多層構造体１００の各層について検証する。

多層構造体１００の製造方法においては、シリコン基板上にＹＳＺ層を成膜し、ＹＳＺ層上にＰｔ層を成膜し、Ｐｔ層の上にＳｒＲｕO_3層を成膜し、ＳｒＲｕO_3層の上にＰＺＴ層を成膜する。このように多層構造体１００をシリコン基板上に積層する条件は、以下の通りである。

・ターゲットＹＳＺ組成；１２％Y_2O_3－８８％ＺｒO_2、成膜温度；７００℃、供給ガス；Ａｒ１００％、膜厚；３０ｎｍ

・ターゲットＰｔ、成膜温度；６００℃、供給ガス；Ａｒガス１００％、膜厚；１００ｎｍ

・ターゲット$SrRuO_3$組成；$SrRuO_3$、成膜温度；６００℃、供給ガス；O_2／（Ａｒ＋O_2）＝２０％、膜厚；２０ｎｍ

・ターゲットＰＺＴ組成、Ｌａ，Ｎｉ　ｄｏｐｅｄ　ＰＺＴ、成膜温度；６２５℃、供給ガス；O_2（Ａｒ＋O_2）＝２．５％、膜厚；２μｍ

このような条件で形成された多層構造体１００をＸ線回折により分析した。

[0071] 図４Ａ～図４Ｃは、本実施形態に係る多層構造体１００を構成する各層のＸ線回折ピークを示す図である。図４Ａは、シリコン基板１０に対するφスキャン測定により得られたＳｉ（１１０）の４本のピークを示している。図４Ｂは、第１層１１に対するφスキャン測定により得られたＹＳＺ（１１０）の４本のピークを示している。図４Ｃは、第２層１２に対するφスキャン測定により得られたＰｔ（１１０）の４本のピークを示している。

図５Ａ～図５Ｃは、本実施形態に係る多層構造体１００を構成する各層のＸ線回折ピークを示す図である。図５Ａは、第３層１３に対するφスキャン測定により得られた$SrRuO_3$（１１０）の４本のピークを示している。図５Ｂは、第４層１４に対するφスキャン測定により得られたＰＺＴ（１１０）の４本のピークを示している。図５Ｃは、第４層１４を構成するＰＺＴに対する２θ－ωスキャン測定により得られたピークを示している。

[0072] 本実施形態の多層構造体１００においては、図４Ａに示すシリコン基板１０の４本のピークと、図４Ｂに示す第１層１１の４本のピークと、図４Ｃに示す第２層１２の４本のピークと、図５Ａに示す第３層１３の４本のピークと、図５Ｂに示す第４層１４の４本のピークは、一致している。

[0073] また、第４層１４の２θ－ωスキャン測定の結果から明らかなように、第４層１４におけるＰＺＴは、図５Ｃに示すように、ｃ軸に配向した立方晶であることが分かる。

したがって、本実施形態に係る多層構造体１００は、第１層１１から第４

層１４までが、いずれも立方晶であり、かつ、同じ面方位に配向していることが分かる。

[0074] 図６は、本実施形態に係る多層構造体におけるＹＳＺ層の膜厚と、Ｘ線回折における（１１１）サイドピークの有無を示す図である。

図６は、ＹＳＺ層の膜厚が２００ｎｍ～５００ｎｍの場合の結果を示す。

シリコン基板上にＹＳＺ層を成膜するＹＳＺ層の成膜条件は、ターゲットＹＳＺ組成；１２％Y_2O_3－８８％ZrO_2、成膜温度；７００℃、供給ガス；Ａｒ１００％、膜厚２０ｎｍである。

この場合は、Ｅｔｃｈｉｎｇ、つまり、シリコン基板１０表面の自然酸化膜１０ａを除去し、成膜温度が６００℃であると、（１００）以外のサイドピークが大きく出てしまうことが分かる。また、自然酸化膜１０ａを除去し、成膜温度が６５０℃では、（１００）以外のサイドピークが多少出てしまうことが分かる。さらに、また、自然酸化膜１０ａを除去しても、成膜温度が７００℃では、（１００）以外のサイドピークが出ないことが分かる。

[0075] ＹＳＺ層の膜厚が２００ｎｍ～５００ｎｍの場合、Ｅｔｃｈｉｎｇを行わず、シリコン基板１０表面の自然酸化膜１０ａを残したまま、ＹＳＺ層を成膜すると、成膜温度が６００℃であると、（１００）以外のサイドピークが大きく出てしまうことが分かる。同様に、成膜温度が６５０℃及び７００℃では、（１００）以外のサイドピークが出ないことが分かる。

ＹＳＺ層の膜厚が２００ｎｍ～５００ｎｍの場合、Ｅｔｃｈｉｎｇを行わず、シリコン基板１０表面の自然酸化膜１０ａを残したまま、シード層１１ａとしてメタルのジルコニウムを成膜後にＹＳＺ層を成膜すると、成膜温度が６５０℃では、（１００）以外のサイドピークが出ないことが分かる。

[0076] 図７は、本実施形態に係る多層構造体におけるＹＳＺ層の膜厚と、Ｘ線回折における（１１１）サイドピークの有無を示す図である。

図７は、ＹＳＺ層の膜厚が６０ｎｍ以下の場合の結果を示す。

シリコン基板上にＹＳＺ層を成膜する成膜条件は、ターゲットＹＳＺ組成；１２％Y_2O_3－８８％ZrO_2、成膜温度；７００℃、供給ガス；Ａｒ１０

０％である。

この場合は、Ｅｔｃｈｉｎｇを行わず、シリコン基板１０表面の自然酸化膜１０ａを残したまま、ＹＳＺ層を成膜すると、成膜温度が６５０℃であると、（１００）以外のサイドピークが大きく出てしまうことが分かる。同様に、成膜温度が７００℃では、（１００）以外のサイドピークが多少出でしまうことが分かる。

ＹＳＺ層の膜厚が６０ｎｍ以下の場合、シード層１１ａとしてメタルのジルコニウムを成膜後にＹＳＺ層を成膜すると、成膜温度が６５０℃及び７００℃では、（１００）以外のサイドピークが出ないことが分かる。

[0077] 図８は、本実施形態に係る多層構造体におけるＹＳＺ層の膜厚及びＰｔ層の成膜温度と、Ｘ線回折におけるＰｔの配向方向を示す図である。

ＹＳＺ層の上にＰｔ層を成膜する。このときのＹＳＺ層、Ｐｔ層の成膜条件は、・ターゲットＹＳＺ組成；１２％Y_2O_3－８８％ZrO_2、成膜温度；７００℃、供給ガス；Ａｒ１００％である。

[0078] Ｐｔ層の成膜温度が５００℃の場合は、ＹＳＺ層の膜厚が２０ｎｍのとき、（１１１）配向を示すピークが発生する。Ｐｔ層の成膜温度が５００℃の場合は、ＹＳＺ層の膜厚が３０ｎｍのとき、（２００）配向を示すピークが発生する、つまり、（１００）配向に形成されているが、同時に（１１１）配向を示すピークが発生する。Ｐｔ層の成膜温度が５００℃の場合は、ＹＳＺ層の膜厚が６０ｎｍのとき、（１１１）配向を示すピークが発生する。

しかしながら、Ｐｔ層の成膜温度が５００℃の場合は、ＹＳＺ層の膜厚が４０ｎｍのとき、（２００）配向を示すピークのみが発生し、（１１１）配向を示すピークは、発生しない。つまり、Ｐｔ層は、（１００）面に配向している。

[0079] 同様に、Ｐｔ層の成膜温度が６００℃の場合は、ＹＳＺ層の膜厚が２０ｎｍのとき、（１１１）配向を示すピークが発生する。Ｐｔ層の成膜温度が６００℃の場合は、ＹＳＺ層の膜厚が３０ｎｍのとき、（２００）配向を示すピークが発生する、つまり、（１００）配向に形成されているが、同時に（

１１１）配向を示すピークが発生する。Ｐｔ層の成膜温度が６００℃の場合は、ＹＳＺ層の膜厚が６０ｎｍのとき、（１１１）配向を示すピークが発生する。

しかしながら、Ｐｔ層の成膜温度が６００℃の場合は、ＹＳＺ層の膜厚が４０ｎｍのとき、（２００）配向を示すピークのみが発生し、（１１１）配向を示すピークは、発生しない。つまり、Ｐｔ層は、（１００）面に配向していることが分かる。

[0080] 図９は、ＹＳＺ層のＸ線回折ピークを示す図である。

自然酸化膜を除去していないシリコン基板の（１００）面に、シード層としてメタルのＺｒを４００℃でエピタキシャル成長させる。大気中で１週間放置した後、ＹＳＺを膜厚５０ｎｍでエピタキシャル成膜した。Ｘ線回折（２θ）によって検証した。

[0081] その結果、図９に示すように、ＹＳＺは、（２００）だけでなく、（１１１）配向していることが分かった。

これは、ＹＳＺが空気中で酸化され、１１１結晶が生じているためだと思われる。したがって、ＹＳＺは、シード層を形成しただけでは、全面（１００）配向とはならないことが分かる。

なお、図９において、１－Ｃは、サンプル１のウェーハセンター位置、１－Ｅは、サンプル１のウェーハエッジ位置。２－Ｃは、サンプル２のウェーハセンター位置、２－Ｅは、サンプル２のウェーハエッジ位置である。

[0082] 図１０は、本実施形態に係る多層構造体におけるＹＳＺ層のＸ線回折ピークを示す図である。図１１は、図１０が示すＹＳＺ層のＸ線回折ピークを示す図である。図１２は、図１０が示すＹＳＺ層を成膜したシリコン基板のＸ線回折ピークを示す図である。

同様に、自然酸化膜を除去していないシリコン基板の（１００）面に、シード層としてメタルのＺｒを４００℃でエピタキシャル成長させる。真空中で１週間放置した後、ＹＳＺを膜厚５０ｎｍでエピタキシャル成膜した。Ｘ線回折（２θ）及びＸ線回折（φ）によって検証した。

[0083] その結果、図１０に示すように、ＹＳＺは、（２００）単一配向であることが分かった。これは、ＹＳＺが空気中で酸化されることなく、１１１結晶が生じていないためだと思われる。したがって、シード層を形成した後、ｉｎ－ｓｉｔｕでＹＳＺを成膜することにより、全面（１００）単一配向となることが分かる。

なお、図１０において、２＋１８ｎｍ，２＋２８ｎｍ，２＋４８ｎｍ，２＋９８ｎｍ，２＋１９８ｎｍは、それぞれ、シード層の膜厚（ｎｍ）＋ＹＳＺの膜厚（ｎｍ）を示している。

また、図１１，図１２に示すように、ＹＳＺ（１１０）面が、シリコン基板の（１１０）面と一致したピークを示すことが分かる。

[0084] 図１３は、本実施形態に係る多層構造体におけるＰＺＴ層のＸ線回折ピークを示す図である。

多層構造体として、シリコン基板上にＹＳＺ層を成膜し、ＹＳＺ層上にＰｔ層を成膜し、Ｐｔ層の上に$SrRuO_3$層を成膜した。その際の成膜条件は、図４、図５Ａ～図５Ｃにおける成膜条件と同じである。さらに、$SrRuO_3$層の上にＰＺＴ層を成膜して多層構造体を得た。この際、成膜温度を４５０℃から６２５℃まで変え、それぞれのＰＺＴ層をＸ線回折により分析した。また、成膜温度を５７５℃とすると、$SrRuO_3$層のピークは、９８．２°であった。

その結果、ＰＺＴ層は、図１３に示すように、成膜温度が上昇するのに伴い、ピークが低角側にシフトすることが観測された。また、ＰＺＴ層は、成膜温度が６２５℃まで上昇すると、ｃ軸が確認できることが分かった。

[0085] 図１４は、本実施形態に係る多層構造体におけるＰＺＴ層のＸ線回折ピーク（$2\theta-\omega$）を示す図である。図１５は、図１４が示すＰＺＴ層のＸ線回折ピーク（ϕスキャン）を示す図である。

図１３のＰＺＴ層と同様にして、多層構造体として、８インチウェーハのシリコン基板上にＰＺＴ層を形成し、その面内分布を観測した。

その結果、図１４、図１５に示すように、ウェーハ面内で、ＹＳＺ層、Ｐ

ｔ層、ＳｒＲｕO_3層、ＰＺＴ層が、いずれも（１００）面に配向してほぼ均一に形成されていることが分かる。

[0086] 図１８は、本実施形態に係る多層構造体におけるＰＺＴ層の内部応力分布を示す図である。

同様に、多層構造体として、シリコン基板上にＹＳＺ層、Ｐｔ層、ＳｒＲｕO_3層、ＰＺＴ層を製膜し、このＰＺＴ層における内部応力を測定した。このとき、ＰＺＴ層には、Ｌａ及びＮｉをそれぞれ３ａｔｍ％となるようにドープした。その結果を図１８に示す。

ここで、内部応力の測定は、東朋テクノロジー株式会社製薄膜応力測定装置ＦＬＸ－２３２０－Ｒによって行った。

また、このＰＺＴ層の表面をマイクロスコープにより観察し、クラックの有無を確認した。その結果を図１９に示す。

[0087] その結果、ＰＺＴ膜にクラックが生じておらず、ＰＺＴ層における内部応力は、平均値が＋８０ＭＰａであることが分かった。ここで、内部応力値のプラス符号は、内部応力がテンサイル側（ｔｅｎｓｉｌｅ側）、つまり、引張方向に印加されていることを意味する。

[0088] 図１６は、ＰＺＴ層の内部応力分布を示す図である。

比較のため、Ｌａ及びＮｉをドープしていないＰＺＴ層を同様にして製造し、ＰＺＴ層における内部応力を測定した。その結果を図１６に示す。

また、ドープしていないＰＺＴ層の表面をマイクロスコープにより観察し、クラックの有無を確認した。その結果を図１７に示す。

その結果、ドープしていないＰＺＴ層では、クラックが生じており、クラックにより応力が緩和され、内部応力は、平均値が＋３２ＭＰａであることが分かった。ここで、内部応力値のプラス符号は、内部応力がテンサイル側（ｔｅｎｓｉｌｅ側）、つまり、引張方向に印加されていることを意味する。

なお、図１７は、クラック有りの画像で、ドープ無しの場合を示している。図１９は、クラック無しの画像で、ドープありの場合を示している。図１

６には、クラック有りの応力で、ドープ無しの場合を示している。図１８には、クラック無しの応力で、ドープありの場合を示している。クラックが生じると絶縁耐圧が著しく低下し、好ましくない。

[0089] 図１８、図１９に示す結果から、所定量のドープを行うことで、ＰＺＴ層の内部応力をより圧縮方向側になり、引張応力の緩和を行うことができ、クラックの発生を防止できることが分かる。

[0090] 図２０は、本実施形態に係る多層構造体におけるＰＺＴ層の比誘電率を示す図である。同様に、多層構造体として、シリコン基板上にＹＳＺ層、Ｐｔ層、$SrRuO_3$層、ＰＺＴ層を製膜し、このＰＺＴ層における比誘電率を測定した。その結果を図２０に示す。ここで、比誘電率の測定は、ＭＩＭ構造を形成後、Ａｇｉｌｅｎｔ　Ｔｅｃｈｎｏｌｏｇｉｅｓ社製　４２８４ＡＬＣＲ測定器で測定した。また、図２０において、横軸（ｐｏｓｉｔｉｏｎ）は、Φ２００ｍｍウェーハの半径方向位置である。

[0091] 図２０に示す結果から、本実施形態に係る多層構造体におけるＰＺＴ層の比誘電率εが２００～３７５［無次元］であることが分かる。これに対し、スパッタ法で成膜された多結晶のＰＺＴでは、比誘電率が１０００～１２００であることが分かる。本発明の多層構造体におけるＰＺＴ層では、誘電率を下げられることが分かる。

[0092] 図２１は、本実施形態に係る多層構造体におけるＰＺＴ層の誘電損失を示す図である。同様に、多層構造体として、シリコン基板上にＹＳＺ層、Ｐｔ層、$SrRuO_3$層、ＰＺＴ層を製膜し、このＰＺＴ層における誘電損失を測定した。その結果を図２１に示す。ここで、誘電損失の測定は、ＭＩＭ構造を形成後、Ａｇｉｌｅｎｔ　Ｔｅｃｈｎｏｌｏｇｉｅｓ社製　４２８４ＡＬＣＲ測定器で測定した。また、図２１において、横軸（ｐｏｓｉｔｉｏｎ）は、Φ２００ｍｍウェーハの半径方向位置である。

[0093] 図２１に示す結果から、本実施形態に係る多層構造体におけるＰＺＴ層の誘電損失が１％～１．８％であることが分かる。これに対し、蒸着法で成膜された多結晶のＰＺＴでは、誘電損失が３％～５％であることが知られてい

る。本実施形態に係る多層構造体におけるＰＺＴ層では、誘電損失を下げられることが分かる。

[0094] 図２２は、本実施形態に係る多層構造体におけるＰＺＴ層の圧電定数$e_{31,f}$を示す図である。

同様に、多層構造体として、シリコン基板上にＹＳＺ層、Ｐｔ層、$SrRuO_3$層、ＰＺＴ層を製膜し、このＰＺＴ層における圧電定数$e_{31,f}$を測定した。その結果を図２２に示す。

ここで、圧電定数$e_{31,f}$の測定は、カンチレバーを作成後、レーザードップラーによる逆圧電測定により行った。また、図２２において、縦軸は、カンチレバーの変位であり、横軸は、印可したＡＣ電圧である。

[0095] 図２２に示す結果から、本実施形態に係る多層構造体におけるＰＺＴ層の圧電定数$e_{31,f}$が１０．０～１１．９［Ｃ／m^2］、１０．９［Ｃ／m^2］程度であることが分かる。圧電定数は、小さくなるが、比誘電率もちいさくなることにより、センサ向けには、性能指数があがる。

[0096] 図２３は、本実施形態に係る多層構造体におけるＰＺＴ層の性能指数を示す図である。同様に、多層構造体として、シリコン基板上にＹＳＺ層、Ｐｔ層、$SrRuO_3$層、ＰＺＴ層を製膜し、このＰＺＴ層における性能指数$(e_{31,f})^2/\varepsilon$を測定した。その結果を図２３に示す。

ここで、性能指数$(e_{31,f})^2/\varepsilon$の測定は、e_{31}の測定結果と比誘電率の測定結果とから計算により算出した。また、図２２において、縦軸は、カンチレバーの変位であり、横軸は、印可したＡＣ電圧である。

[0097] 図２３に示す結果から、本実施形態に係る多層構造体におけるＰＺＴ層の性能指数（ＦＯＭ；Ｆｉｇｕｒｅ ｏｆ Ｍｅｒｉｔ）$(e_{31,f})^2/\varepsilon$が１０．０～１１．９［ＧＰａ］、３３．９［ＧＰａ］程度であることが分かる。これに対し、スパッタ法で成膜した法で成膜された多結晶のＰＺＴでは、性能指数$(e_{31,f})^2/\varepsilon$が２１．３［ＧＰａ］程度であることが知られている。本実施形態に係る多層構造体におけるＰＺＴ層では、性能指数$(e_{31,f})^2/\varepsilon$を大きくできることが分かる。

[0098] さらに、本実施形態においては、誘電損失を１～１．８％と低下させることができるという効果を奏することができる。

[0099] 以下、本発明の第２実施形態に係る多層構造体の製造方法及び多層構造体を、図面に基づいて説明する。本実施形態において、上述した第１実施形態と異なるのは、第３層に関する点であり、これ以外の上述した第１実施形態と対応する構成には、同一の符号を付してその説明を省略する。

[0100] 本実施形態において、第３層１３は、ニッケル酸ランタン（ｌａｎｔｈａｎｕｍ　ｎｉｃｋｅｌ　ｏｘｉｄｅ；$LaNiO_3$）膜である。第３層１３は、第２層１２上に成膜される。第３層１３は、バッファ層である。第３層１３は、バッファ層である。第３層１３は、第２層１２の（１００）面に対して（１００）面で配向している。第３層１３の（１００）面は、Ｐｔ（１００）面に配向している。第３層１３の（１００）面は、シリコン基板１０、第１層１１及び第２層１２に対して（１００）面の配列が同じである。$LaNiO_3$の格子定数は、３．８５７オングストロームである。

[0101] 本実施形態において、第３エピタキシャル成膜工程Ｓ０３は、第２層１２の上に第３層１３をエピタキシャル成膜する。

第３エピタキシャル成膜工程Ｓ０３は、例えば、図３において第３成膜室４Ｃにおいて行われる。この場合、第３成膜室４Ｃにおいては、ターゲット４２ａが第３層１３をエピタキシャル成膜可能な組成である。この場合、ターゲット４２ａは、ニッケル酸ランタン（$LaNiO_3$）からなる単一のターゲットであることができる。あるいは、複数のターゲットを用いて、ニッケル酸ランタンを成膜可能としてもよい。また、この場合、第３成膜室４Ｃにおいては、ガス雰囲気調整機構４３が、必要な成膜条件であるガス雰囲気及び圧力範囲を設定する。同時に、成膜機構４２は、必要な成膜電力を設定する。また、基板保持機構４１は、必要な成膜温度、バイアル電力を設定する。この場合のＰｔ成膜条件は、$LaNiO_3$をターゲットとして、供給ガス；O_2（Ａｒ＋O_2）＝６０％、ガス分圧；０．５Ｐａ、プラズマ生成電力；０．５ｋＷとすることができる。

[0102] 本実施形態において、第３エピタキシャル成膜工程Ｓ０３は、スパッタリングによってＬａＮｉＯ$_3$からなるバッファ層１３を形成する。このバッファ層１３は、Ｐｕｌｓｅ－ＤＣスパッタリング法によって形成することができる。ここで、スパッタリングターゲット４２ａとしてＬａＮｉＯ$_3$ターゲットを用い、スパッタガスである、例えば、アルゴンガス中のパルススパッタリング（周波数５０ｋＨｚ，　ｏｆｆ時間５μｓｅｃ）において、シリコン基板１０の温度を、５５０℃程度以上に設定することができる。例えば、５２５℃～７２５℃に設定することができる。

なお、ＬａＮｉＯ$_3$からなるバッファ層１３の厚さは、１００ｎｍ以下に設定することができる。ＬａＮｉＯ$_3$からなるバッファ層６の厚さが１００ｎｍを超えると、ペロブスカイト単相構造の膜を形成することができない場合がある。

なお、第３層１３の膜厚は、２０ｎｍ程度、１５ｎｍ～２５ｎｍとすることが好ましい。

[0103] さらに、本実施形態において、第４層１４としてＰＺＴ層は、ＲＦスパッタリング法によって形成することができる。

第４エピタキシャル成長工程Ｓ０４では、スパッタリングターゲットとして、ニッケル（Ｎｉ）を含有する金属をドープしたＰＺＴターゲットを用いる。ここで、ニッケル（Ｎｉ）を含有する金属としては、ニッケル又は、ランタン・ニッケル合金（ＬａＮｉ$_5$）があげられる。すなわち、ニッケルをドープしたＰＺＴターゲット又は、ランタン・ニッケル合金をドープしたＰＺＴターゲットを用いることができる。ドープ量は、ＰＺＴ１００ａｔｍ％に対して０．１ａｔｍ％以上５ａｔｍ％以下に設定することが好ましく、より好ましくは、ＰＺＴ１００ａｔｍ％に対して０．５ａｔｍ％以上５ａｔｍ％以下、さらに好ましくは、ＰＺＴ１００ａｔｍ％に対して１ａｔｍ％以上３ａｔｍ％以下である。

[0104] 図２４は、本実施形態に係る多層構造体におけるＰＺＴ層のＸ線回折ピークを示す図である。

多層構造体として、シリコン基板上にＹＳＺ層を成膜し、ＹＳＺ層上にＰｔ層を成膜し、Ｐｔ層の上に$LaNiO_3$層を成膜した。$LaNiO_3$層以外の成膜条件は、図４、図５Ａ～図５Ｃに示した第１実施形態における成膜条件と同じである。さらに、$LaNiO_3$層の上にＰＺＴ層を成膜して多層構造体を得た。この際、成膜温度を６２５℃とすると、Ｘ線回折によるＰＺＴ（００４）のピークは、９６．８００°であった。

その結果、図２４に示すように、第３層として$LaNiO_3$層とした場合、図１３に示した$SrRuO_3$層と同様に、ＰＺＴ層は、成膜温度が６２５℃において、ｃ軸が確認できることが分かった。

[0105] 図２５は、本実施形態に係る多層構造体におけるＰＺＴ層のＸ線回折ピーク（$2\theta-\omega$）を示す図である。図２６は、図２５のＰＺＴ層のＸ線回折ピーク（ϕスキャン）を示す図である。

図２４のＰＺＴ層と同様にして、多層構造体として、シリコン基板上にＰＺＴ層を形成し、その面内分布を観測した。

その結果、図２５、図２６に示すように、ＹＳＺ層、Ｐｔ層、$LaNiO_3$層、ＰＺＴ層が、いずれも（１００）面に配向してエピタキシャル成長していることが分かる。

[0106] 図２７は、本実施形態に係る多層構造体におけるＰＺＴ層の成膜温度の変化による変化をＸ線回折により分析した図である。

Ｘ線回折ピーク（2θ）を示す図である。

多層構造体として、シリコン基板上にＹＳＺ層を成膜し、ＹＳＺ層上にＰｔ層を成膜し、Ｐｔ層の上に$LaNiO_3$層を成膜した。$LaNiO_3$層以外の成膜条件は、図２４に示した成膜条件と同じである。さらに、$LaNiO_3$層の上にＰＺＴ層を成膜して多層構造体を得た。この際、$LaNiO_3$層の成膜温度を３５０℃から６５０℃で変え、それぞれのＰＺＴ層をＸ線回折により分析した結果を図２７に示す。ここで、成膜温度３５０℃においては、$LaNiO_3$（１１０）のサイドピークが観測された。

Ｘ線回折による結果から、$LaNiO_3$層は、基板温度が５５０℃以上であ

ると、（１００）ピークが現れることが分かる。

[0107] 本実施形態においては、上述した実施形態と同等の効果を奏することができる。

さらに、本実施形態においては、ｐｏｌｙ－ＰＺＴとｅｐｉ－ＰＺＴのｂｕｆｆｅｒ層を同一にできるという効果を奏することができる。

[0108] 本発明においては、以下のようにすることができる。

［１］ スパッタ法において、ZrO_2を立方晶にするには、ＹドープＺｒO_2（ＹＳＺ）が必要である。

［２］ ＹＳＺを（エピタキシャル成長）させるには、下記Ａ／Ｂのどちらでも良いことが分かった。

［２Ａ］ シリコン表面エッチング ＝＞ ＹＳＺ （７００℃以上）

［２Ｂ］ 自然酸化膜有 ＝＞ ＹＳＺ （６５０℃以上）

［３］ ただし、ＹＳＺが６０ｎｍ以下の薄膜においては、上記Ａ／Ｂの方法では、ＹＳＺ（１１１）のサイドピークが検出される。

［４］ ＹＳＺが６０ｎｍ以下において、ＹＳＺ（１００）単一配向させるには、

［４Ｃ］ 自然酸化膜 ＝＞ シード層（Ｚｒ）＝＞ ＹＳＺ（６５０℃以上）にしなければならないことが分かった。

［５］ シード層の膜厚は、２ｎｍが最適である（１．５ｎｍ、２、３、５ｎｍを試す）。

［６］ シード層の成膜温度は、室温では、ＹＳＺ（１１１）が検出される。４００℃がＢＫＭ（Ｂｅｓｔ Ｋｎｏｗｎ Ｍｅｔｈｏｄ）である。

［７］ シード層 ＝＞ 大気開放 ＝＞ ＹＳＺ成膜では、ＹＳＺ（１１１）が検出されるため、ｉｎ－ｓｉｔｕ処理が必須である。

［８］ Ｐｔを、Ｐｔ（１００）に単一配向させ、Ｐｔ＜１００＞がＳｉ＜１００＞に平行にエピタキシャル成長するためには、ＹＳＺが６０ｎｍよりも薄い必要がある。

つまり、［４Ｃ］の方法でＹＳＺを成膜する必要がある。さらに、ＹＳＺ

が２０ｎｍよりも厚く６０ｎｍよりも薄い必要がある。ＹＳＺが２０ｎｍ及び６０ｎｍの場合、Ｐｔが、Ｐｔ（１１１）面に成長してしまう。（ＴＥＭのデータ）

［９］　Ｐｔ（１００）単一にエピタキシャル成長させるには、Ｐｔの成膜温度が５００℃よりも高い必要がある。

［１０］　バッファ層のＳＲＯには、最適条件がある。膜厚も影響あり、２０ｎｍがＢＫＭである。

［１１］　ドープなし条件でＰＺＴをエピタキシャル成長させると、大きな引張応力によりクラックが発生してしまう。これに対し、Ｌａ，Ｎｉをドープするｒｆスパッタによる成膜により、ＰＺＴにおける膜応力を低減でき、クラックフリーなエピタキシャル膜を成膜可能。ＰＺＴ膜をｃ軸にエピタキシャル成長させるには、５７５℃よりも高い成膜温度が必要。

以上により、スパッタで、全て、一貫プロセスが可能となった。

[0109] さらに、本発明においては、上述した各実施形態における個々の構成を個別に選択して、それぞれ組み合わせて実施することも可能である。

産業上の利用可能性

[0110] 本発明の活用例として、ＭＥＭＳ（ＭｉｃｒｏＥｌｅｃｔｒｏＭｅｃｈａｎｉｃａｌＳｙｓｔｅｍｓ）技術において、インクジェットヘッド、マイクロミラー、ジャイロセンサ、ＰＭＵＴ（Ｐｉｅｚｏｅｌｅｃｔｒｉｃ Ｍｉｃｒｏｍａｃｈｉｎｅｄ Ｕｌｔｒａｓｏｎｉｃ Ｔｒａｎｓｄｕｃｅｒ：圧電ＭＥＭＳ超音波トランスデューサ）、振動素子、弾性波素子、や加速度センサ等のデバイスへの応用を挙げることができる。

符号の説明

[0111] １００…多層構造体

１０…シリコン基板

１０ａ…自然酸化膜

１１…第１層（ＹＳＺ）

１２…第２層（Ｐｔ）

１３…第３層（バッファ層）

１４…第４層（ＰＺＴ）

１１ａ…シード層

請求の範囲

[請求項1] シリコン基板の（１００）面に、（１００）面に配向した第１層をスパッタリングにより形成する第１エピタキシャル成膜工程と、

前記第１層上に、（１００）面に配向したＰｔの第２層をスパッタリングにより形成する第２エピタキシャル成膜工程と、

前記第２層上に、（１００）面に配向した第３層をスパッタリングにより形成する第３エピタキシャル成膜工程と、

を有し、

前記第１エピタキシャル成膜工程は、

前記シリコン基板の表面をエッチングする工程と、ＹＳＺを前記第１層として、７００℃以上で２００ｎｍ～５００ｎｍの膜厚に成膜する工程とを有するか、

前記シリコン基板の表面の酸化シリコンを除去せずに、ＹＳＺを前記第１層として、６５０℃以上で２００ｎｍ～５００ｎｍの膜厚に成膜する工程を有するか、

前記シリコン基板の表面の酸化シリコンを除去せずに、Ｚｒのシード層を４００℃以上で１．５ｎｍ～３．５ｎｍの膜厚に成膜する工程と、前記シード層上にＹＳＺを前記第１層として、６５０℃以上で２００ｎｍ～５００ｎｍの膜厚に成膜する工程とを有するか、

前記シリコン基板の表面の酸化シリコンを除去せずに、Ｚｒのシード層を４００℃以上で１．５ｎｍ～３．５ｎｍの膜厚に成膜する工程と、前記シード層上にＹＳＺを前記第１層として、６５０℃以上で１８ｎｍ～６７ｎｍの膜厚に成膜する工程とを有するか、

のいずれかである、

多層構造体の製造方法。

[請求項2] シリコン基板の（１００）面に、（１００）面に配向した第１層をスパッタリングにより形成する第１エピタキシャル成膜工程と、

前記第１層上に、（１００）面に配向したＰｔの第２層をスパッタ

リングにより形成する第２エピタキシャル成膜工程と、

前記第２層上に、（１００）面に配向した第３層をスパッタリングにより形成する第３エピタキシャル成膜工程と、

を有し、

前記第１エピタキシャル成膜工程は、ＹＳＺを前記第１層として、２５ｎｍ～５０ｎｍの膜厚に成膜するとともに、

前記第２エピタキシャル成膜工程は、Ｐｔを前記第２層として５００℃以上で成膜する工程を有する、

多層構造体の製造方法。

[請求項3] 第３エピタキシャル成膜工程において、前記第３層は、$SrRuO_3$、又は、$LaNiO_3$である、

請求項１又は請求項２に記載の多層構造体の製造方法。

[請求項4] 前記第３エピタキシャル成膜工程の後、前記第３層上に、（１００）面に配向したＰＺＴ層をスパッタリングにより形成する第４エピタキシャル成膜工程を有する、

請求項１又は請求項２に記載の多層構造体の製造方法。

[請求項5] 前記第４エピタキシャル成膜工程において、前記ＰＺＴ層には、ランタン及びニッケルがドープされている、

請求項４に記載の多層構造体の製造方法。