

时钟电路、存储器及半导体结构的制作方法

交叉引用

- 5 [0001] 本申请要求于 2021 年 7 月 20 日递交的名称为“时钟电路、存储器及半导体结构的制作方法”、申请号为 202110821447.5 的中国专利申请的优先权，其通过引用被全部并入本申请。

技术领域

[0002] 本申请实施例涉及一种时钟电路、存储器及半导体结构的制作方法。

背景技术

- 10 [0003] 在半导体领域，保证半导体器件有效运行的基础是控制不同的功能模块按照预设时序输出或接收数据信号。为保证某一数据信号对应的时钟信号的准确性，可在输出上述时钟信号的时钟模块内设置主通路、副通路以及反馈单元，主通路用于接收预设信号和输出时钟信号，副通路用于接收预设信号且其功能模块与主通路的功能模块相同，反馈单元基于副通路的输出信号和上述预设信号的对比结果对主通路进行调控，以实现主通路的时序要求。

发明内容

- 15 [0004] 本申请实施例提供一种时钟电路，包括：至少两个第一驱动电路以及位于相邻所述第一驱动电路之间的分立的多段第一导线，相邻所述第一驱动电路通过至少一段所述第一导线和至少两段第二导线连接，所述第一驱动电路与所述第二导线连接，每一段所述第一导线串接于两段所述第二导线之间，所述第一导线位于第一金属层，所述第二导线位于第二金属层，
20 所述第二金属层位于所述第一金属层上方。

[0005] 相应地，本申请实施例还提供一种存储器，包括上述任一项所述的时钟电路。

- [0006] 相应地，本申请实施例还提供一种半导体结构的制作方法，包括：根据预设延迟时长计算第二驱动电路的数量，且在确定所述第二驱动电路的数量之后，根据预设导电通路的长度计算相邻所述第二驱动电路之间的连接长度；其中，相邻所述第二驱动电路通过第三导线
25 连接；设置至少两个第一驱动电路，以及设置位于相邻所述第一驱动电路之间的分立的多段第一导线，所述第一驱动电路的数量与所述第二驱动电路的数量相同，所述第一导线位于第一金属层，所述第三导线所在的金属层位于所述第一金属层上方；根据所述连接长度、所述第三导线的单位长度电阻、第一导线的单位长度电阻以及每一段所述第一导线的长度计算串接于相邻所述第一驱动电路之间的所述第一导线的段数，记为初始段数，以使相邻所述第一
30 驱动电路之间的理想阻值等于相邻所述第二驱动电路之间的理想阻值；设置第二导线，以使

所述初始段数的所述第一导线串接于相邻所述第一驱动电路之间，所述第二导线与所述第一驱动电路连接，每一段所述第一导线串接于两段所述第二导线之间，所述第二导线位于第二金属层，所述第二金属层位于所述第一金属层上方。

附图说明

- 5 [0007] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制。

[0008] 图 1 至图 3 为本申请实施例提供的时钟电路的结构示意图；

[0009] 图 4 为本申请实施例提供的半导体结构的制作方法各步骤对应的流程示意图。

具体实施方式

- 10 [0010] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各项实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

- [0011] 参考图 1，时钟电路包括：至少两个第一驱动电路 10 以及位于相邻第一驱动电路 10 之间的分立的多段第一导线 11，相邻第一驱动电路 10 通过至少一段第一导线 11 和至少两段第二导线 12 连接，第一驱动电路 10 与第二导线 12 连接，每一段第一导线 11 串接于两段第二导线 12 之间，第一导线 11 位于第一金属层，第二导线 12 位于第二金属层，第二金属层位于第一金属层上方。

- [0012] 在一些实施例中，第一导线 11 沿第一方向 D1 延伸，不同第一导线 11 在第一方向 D1 20 的长度相等，多段第一导线 11 沿第二方向 D2 并排设置，第一方向 D1 垂直于第二方向 D2。由于第二导线 12 用于连接相邻第一导线 11，因此第二导线 12 的延伸方向与第一导线 11 的排列方向相同，控制第一导线 11 的排列方向垂直于延伸方向，有利于使得第一导线 11 和第二导线 12 的版图区域均呈矩形，从而使得第一导线 11 和第二导线 12 具有较高的布局规整度和占据较小的电路面积。

- 25 [0013] 可以理解的是，相较于平行四边形的版图区域，矩形区域能够更好的利用空间，避免因斜边的存在而导致部分夹角区域实际无法摆放其他电路，也就是说，避免第一导线 11 和第二导线 12 实际占据过大的电路区域；同时，矩形版图区域具有较好的电路对称性，有利于满足电路设计规范。

- [0014] 在另一些实施例中，参考图 2，第一导线 21 呈 U 字形，多段第一导线 21 沿第二方向 30 D2 并排设置，不同第二导线 22 在第二方向 D2 上的正投影重合。通过控制第一导线 21 呈 U 字形，可使得第一导线 21 的两端处于同一直线上，从而使得连接相邻第一导线 21 的第二导

线 22 处于同一直线上, 如此, 有利于缩减第二导线 22 的电路面积, 为其他电路预留更多空间。

[0015] 在一些实施例中, 第一驱动器 10 包括反相器; 在一些实施例中, 第一导线 11 和第二导线 12 通过至少一个导电插塞 13 电连接。需要说明的是, 为保证第一导线 11 和第二导线 12 有效电连接, 若导电插塞为点状导电插塞, 则设置至少两个导电插塞以连接第一导线 11 5 12 和第二导线 12, 以保证导电插塞 13 与第一导线 11 和第二导线 12 具有较大的接触面积; 若导电插塞为细长型导电插塞, 则可设置至少一个导电插塞。

[0016] 在一些实施例中, 时钟电路还包括: 第二驱动电路, 相邻第二驱动电路通过第三导线连接, 相邻第二驱动电路之间的电阻等于相邻第一驱动电路 10 之间的电阻, 相邻第二驱动电路之间的第三导线的总长度大于相邻第一驱动电路 10 之间的第一导线 11 的总长度, 第三导线的单位长度电阻小于第一导线的单位长度电阻。在第三导线的总长度较长的情况下, 控制 10 相邻第一驱动电路 10 之间串接单位长度电阻较大的第一导线 11, 有利于在导线总长度较短的情况下, 模拟相邻第二驱动电路之间的导电通路, 使得相邻第一驱动电路 10 之间的导线的金属延迟 (RC 延迟) 等于或接近于相邻第二驱动电路 10 之间的导线的金属延迟, 即信号传 15 输延迟相等或接近。

[0017] 此外, 第二驱动电路与第一驱动电路 10 可以为同一类型的参数相同或者参数等效相同的驱动电路, 通过控制第一驱动电路 10 与第二驱动电路相同或等效相同, 以及控制相邻第一驱动电路 10 之间的金属延迟等于或接近于相邻第二驱动电路之间的金属延迟, 有利于使得 20 第一驱动电路 10 所在导电通路作为第二驱动电路所在导电通路的副通路, 副通路的输出信号可作为反馈信号使用, 用于调节主通路的输出信号, 以保证主通路的输出信号的准确性。

[0018] 其中, 参数等效相同指的是受所在位置的物理环境的影响, 处于不同位置的同一驱动电路的电学特性不同, 为使得处于不同位置的同一驱动电路的电学特性相同, 需要分别为处于不同位置的驱动电路设置不同的电路参数, 以使得两者在物理环境影响下的实际特性相同。

[0019] 在一些实施例中, 同一金属层采用的导线材料相同, 不同金属层采用的导线材料不同, 25 一般的, 金属层所在位置越高, 导线的单位长度电阻越小。由于第二金属层位于第一金属层上方, 因此第二导线 12 的单位长度电阻小于第一导线 11 的单位长度电阻, 为使得相邻第一驱动电路 10 之间的导线总电阻等于相邻第二驱动电路之间的导线总电阻, 第一导线 11 的单位长度电阻至少需要大于第三导线的单位长度电阻, 也就是说, 第三导线所在的金属层需要位于第一金属层上方。

[0020] 在一些实施例中, 第三导线的单位长度电阻可以小于或等于第二导线 12 的单位长度电阻。具体来说在金属层越高导线的单位长度电阻越小, 且第二金属层和第一金属层之间没有 30 其他金属层的情况下, 第三导线所在金属层位于第一金属层上方, 也就是说, 第三导线与

第二导线 12 同处于第二金属层,第三导线的单位长度电阻小于或等于第二导线的单位长度电阻,或者,第三导线所在的金属层位于第二金属层上方,第三导线的单位长度电阻小于第二导线的单位长度电阻。在另一些实施例,第三导线的单位长度电阻大于第二导线的单位长度电阻且小于第一导线的单位长度电阻

- 5 [0021] 在一些实施例,时钟电路包括:第一功能模块,包括至少两个第一驱动电路 10,第一功能电路用于接收第一信号,以及基于第一信号生成并输出第二信号,第二信号作为时钟电路的内部反馈信号;第二功能模块,包含至少两个第二驱动电路,第二功能模块用于接收第三信号,以及基于第三信号生成并输出第四信号,第一信号和第三信号为相位相同的时钟信号,第二功能模块的输出端作为时钟电路的输出端。其中,第二功能模块处于主通路,
10 第一功能模块处于副通路,第二信号用于对第四信号进行修正,使得第四信号的时序满足要求。

- [0022] 其中,第一功能模块和第二功能模块可包括多个依次连接的功能单元,第一功能模块和第二功能模块包含的功能单元的数量可以相同或不同。示例性地,第一功能模块包括依次连接的第一功能单元和第二功能单元,第二功能模块包括依次连接的第三功能单元和第四功
15 能单元,第一功能单元用于接收第一信号,第二功能单元的输入端与第一功能单元的输出端连接,第二功能单元用于输出第二信号,第三功能单元用于接收第三信号,第四功能单元的输入端与第三功能单元的输入端连接,第四功能单元用于输出第四信号,第一功能单元包含的第一驱动电路 10 的数量等于第三功能单元包含的第二驱动电路的数量,第二功能单元包含的第一驱动电路 10 的数量等于第四功能单元包含的第二驱动电路的数量。通过控制不同功能
20 模块包含的功能单元的数量相同,以及控制相对应的两个功能单元包含的驱动电路的数量相等,有利于将不同功能模块的延迟相同这一目标进行简化,即简化为第一驱动电路 10 的延迟和第二驱动电路的延迟相同,以及相邻第一驱动电路 10 之间的导电通路的金属延迟与相邻第二驱动电路之间的导电通路的金属延迟相同,有利于降低时钟电路的复杂度。

- [0023] 在一些实施例,第一功能单元和第三功能单元为时钟树,第二功能单元和第四功能
25 单元为信号驱动器,第一信号和第三信号为数据传输用时钟信号,第二信号和第四信号为输出读出用时钟信号。

- [0024] 示例性地,参考图 3,时钟电路包括主通路、副通路、相位检测器以及延时线控制模块,主通路包括依次连接的第一分频器、第一延时线、第一使能单元、第一时钟树 311 和第一
30 信号驱动器 312,副通路包括依次连接的第三分频器、第三延时线、第三使能单元、第三时钟树 321 和第二信号驱动器 322,上述第一功能模块包括第二时钟树 321 和第二信号驱动器 322,上述第二功能模块包括第一时钟树 311 和第一信号驱动器 312。由于第二功能模块的输出端作为时钟电路的输出端,需要与较远处的外部电路或输出焊盘连接,因此第二功能模

块内导线总长度较长，在第一功能模块和第二功能模块对应的驱动电路数量相等的情况下，通过控制第一功能模块内相邻第一驱动电路之间的第一导线的单位长度电阻小于第二功能模块内相邻第二驱动电路之间的第三导线的单位长度电阻，有利于使得相邻第一驱动电路之间的导线总电阻等于相邻第二驱动电路之间的导线总电阻，进而使得第一功能模块对应的第一延迟 $Tb2$ 等于或接近于第二功能模块的第二延迟 $Tb1$ 。

[0025] 本实施例中，在第一金属层设置分立的多段第一导线，在高于第一金属层的第二金属层设置第二导线，第二导线用于将第一金属层中的若干第一导线串接于相邻第一驱动电路之间，以控制相邻第一驱动电路之间的电阻，若需要调整相邻第一驱动电路之间的电阻，仅需要调整第二导线的布局以在相邻第一驱动电路之间串联更多或更少的第一导线，也就是说，仅需要拆除第二金属层以及位于第二金属层和第一金属层之间的介质层即可，无需拆除第一金属层以对第一金属层进行重新布局，有利于降低调整成本和缩短调整时长。

[0026] 本申请实施例还提供一种存储器，包括上述任一项的时钟电路。在需要调整时钟电路中相邻第一驱动电路之间的导线电阻时，仅需要拆除第二金属层以及位于第二金属层和第一金属层之间的介质层即可，无需拆除第一金属层以对第一金属层进行重新布局，有利于降低调整成本和缩短调整时长。

[0027] 本申请实施例还提供一种半导体结构的制作方法，参考图 4，半导体结构的制作方法包含以下步骤：

[0028] 步骤 101：根据预设延迟时长计算第二驱动电路的数量，且在确定第二驱动电路的数量之后，根据预设导电通路的长度计算相邻第二驱动电路之间的连接长度。

[0029] 预设延迟时长可根据数据信号传输时序的要求进行确定，预设导电通路的长度为对应的功能模块（例如上述第二功能模块）中导线的总长度和第二驱动电路的总长度之和，由于导线的总长度一般远大于第二驱动电路的总长度，因此，在一些实施例中，第二驱动电路的总长度忽略不计，预设导电通路的长度约等于导线总长度。其中，相邻第二驱动电路可通过第三导线连接。

[0030] 步骤 102：设置至少两个第一驱动电路，以及设置位于相邻第一驱动电路之间的分立的多段第一导线。

[0031] 在一些实施例中，第一驱动电路的数量等于第二驱动电路的数量，第一导线位于第一金属层，第三导线所在的金属层位于第一金属层的上方，第三导线的单位长度电阻小于第一导线的单位长度电阻。可以理解的是，为保证串联于相邻第一驱动电路之间的导线的总电阻等于串联于相邻第二驱动电路之间的第三导线的总电阻，在设置第一导线时，需要保留余量，即设置于相邻第一驱动电路之间的多段第一导线的串联总电阻大于相邻第二驱动电路之间的第三导线的总电阻。

- [0032] 步骤 103: 根据连接长度、第三导线的单位长度电阻、第一导线的单位长度电阻以及每一段第一导线的长度计算串接于第一驱动电路之间的第一导线的段数, 记为初始段数。
- [0033] 计算初始段数的目的在于使得相邻第一驱动电路之间的理想阻值等于相邻第二驱动电路之间的理想阻值, 可以理解的是, 该理想阻值为导线的阻值, 导电插塞属于导线的一种。
- 5 [0034] 在一些实施例中, 用于连接第一导线的第二导线的单位长度电阻远小于第一导线的单位长度电阻, 甚至小于第三导线的单位长度电阻, 在计算第一导线的段数时忽略第二导线的电阻, 也就是说, 第一导线的段数 $\times$ 每一段第一导线的长度 $\times$ 第一导线的单位长度电阻 = 连接长度 $\times$ 第三导线的单位长度电阻; 在另一些实施例中, 在计算第一导线的段数时, 还考虑用于串接第一导线的第二导线的单位长度电阻和长度, 第一导线的段数 $\times$ 每一段第一导线的长度 $\times$ 第一导线的单位长度电阻 + 第二导线的单位长度电阻 $\times$ 第二导线的总长度 = 连接长度 $\times$ 第三导线的单位长度电阻; 在再一些实施例中, 还考虑连接第一导线和第二导线的导电插塞的电阻, 以及考虑导电插塞与第一导线和第二导线的接触电阻。
- 10 [0035] 步骤 104: 设置第二导线, 以使初始段数的第一导线串接于相邻第一驱动电路之间, 第二导线与第一驱动电路连接, 每一段第一导线串接于两段第二导线之间。
- 15 [0036] 在确定初始段数之后, 选择对应的第一导线; 制备覆盖第一金属层的介质层, 介质层的顶面为第二金属层; 对介质层进行图案化刻蚀, 形成导电通孔, 导电通孔暴露被选择的第一导线的两端; 向导电通孔内填充导电介质, 形成导电插塞; 在第二金属层上形成第二导线, 第二导线用于连接导线插塞, 以串联初始段数的第一导线。可以理解的是, 第二导线位于第二金属层, 第二金属层位于第一金属层上方。
- 20 [0037] 在一些实施例中, 在设置第二导线以串接第一导线和连接相邻第一驱动电路之后, 还需要对相邻第一驱动电路之间的电阻进行仿真测试。具体如下:
- [0038] 步骤 105: 对相邻第一驱动电路之间的第一电阻和相邻第二驱动电路之间的第二电阻进行仿真, 以获取第一电阻的实际阻值和第二电阻的实际阻值。
- [0039] 受应力影响和布线缺陷等因素的影响, 仿真得到的第一电阻的实际阻值可能偏离于第一电阻的理想阻值, 第二电阻的实际阻值可能偏离于第二电阻的实际阻值。
- 25 [0040] 步骤 106: 判断第一电阻的实际阻值是否等于第二电阻的实际阻值。若是, 则达到预设目的, 可结束流程; 若不等于, 则还需要进一步执行步骤 107, 以调整第一电阻的理想值。
- [0041] 步骤 107: 根据第一电阻的实际阻值和第二电阻的实际阻值的差值调整串联于相邻第一驱动电路之间的第二导线的布局, 以调整串联于相邻第一驱动电路之间的第一导线的段数, 调整后的第一电阻的理想阻值等于第二电阻的实际阻值。
- 30 [0042] 调整后的第一电阻在进行新一轮仿真之前仅具有理想阻值, 这是因为减少或增加的第

一导线和第二导线均仅具有理想阻值，实际阻值与理想阻值的加减运算结果依旧为理想阻值。

[0043] 在一些实施例中，调整第二导线的布局包括：去除第二导线以及去除位于第一金属层和第二金属层之间的介质层；形成新的介质层和新的导电插塞，即调整导电插塞的位置，导电插塞用于连接新确定的待串接的第一导线；形成新的第二导线，即调整第二导线的位置，
5 以使第二导线通过导线插塞与另一第一导线连接，即将新确定的第一导线串接于相邻第一驱动电路之间。

[0044] 在调整第二导线的布局之后，还可以再次进行仿真，以判断调整后的第一电阻的实际阻值是否等于第二电阻的实际阻值，若等于，则结束流程，若不等于，可再次调整第二导线的布局并重复进行仿真，直至第一电阻的实际阻值等于第二电阻的实际阻值。

10 [0045] 需要说明的是，在一些实施例中，对第一电阻和第二电阻的实际阻值进行仿真，通过获取到的第一电阻的实际阻值和第二电阻的实际阻值，判断第一电阻造成的信号延迟和第二电阻造成的信号延迟是否相等；在另一些实施例中，对第一电阻和第二电阻造成的延迟进行仿真，直接对比第一电阻造成的实际延迟和第二电阻造成的实际延迟，若第一电阻造成的实际延迟不等于第二电阻造成的实际延迟，则根据实际延迟的差值调整第二导线的布局，以调
15 整串联于相邻第一驱动电路之间的第一导线的数量，使得调整后的第一电阻的理想延迟等于第二电阻的实际延迟，或者重复调整第二导线的布局 and 进行仿真，以使得第一电阻的实际延迟等于第二电阻的实际延迟。

[0046] 此外，仿真阶段一般处于芯片制作完成之前，而除了在仿真阶段可以调整第二导线的布局以外，若在芯片制作完成之后的测试阶段发现芯片时序不满足要求，也可以通过调整第二导线的布局调整时序，以使调整后时序满足要求。同样地，在测试阶段调整第二导线的布局，也仅需要拆除第二金属层和底部的介质层，无需拆除第一金属层，有利于降低调整成本和缩短调整时长。
20

[0047] 本实施例中，在第一金属层设置分立的多段第一导线，在高于第一金属层的第二金属层设置第二导线，第二导线用于将第一金属层中的若干第一导线串接于相邻第一驱动电路之间，以控制相邻第一驱动电路之间的电阻，若需要调整相邻第一驱动电路之间的电阻，仅需
25 要调整第二导线的布局以在相邻第一驱动电路之间串联更多或更少的第一导线，也就是说，仅需要拆除第二金属层以及位于第二金属层和第一金属层之间的介质层即可，无需拆除第一金属层以对第一金属层进行重新布局，有利于降低调整成本和缩短调整时长。

[0048] 本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体实施例，而在
30 实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种时钟电路，包括：

至少两个第一驱动电路以及位于相邻所述第一驱动电路之间的分立的多段第一导线，相邻
所述第一驱动电路通过至少一段所述第一导线和至少两段第二导线连接，所述第一驱动电
路与所述第二导线连接，每一段所述第一导线串接于两段所述第二导线之间，所述第一导
5 线位于第一金属层，所述第二导线位于第二金属层，所述第二金属层位于所述第一金属层
上方。

2. 根据权利要求 1 所述的时钟电路，其中，所述第一导线沿第一方向延伸，不同所述第一导
线在所述第一方向上的长度相等，多段所述第一导线沿第二方向并排设置，所述第一方向
10 垂直于所述第二方向。

3. 根据权利要求 1 所述的时钟电路，其中，所述第一导线呈 U 字形，多段所述第一导线沿
第二方向并排设置，不同所述第二导线在所述第二方向上的正投影重合。

4. 根据权利要求 1 所述的时钟电路，其中，包括：第二驱动电路，相邻所述第二驱动电路通
过第三导线连接，相邻所述第二驱动电路之间的电阻等于相邻所述第一驱动电路之间的电
阻，相邻所述第二驱动电路之间的所述第三导线的总长度大于相邻所述第一驱动电路之间
15 的所述第一导线的总长度，所述第三导线的单位长度电阻小于所述第一导线的单位长度电
阻。

5. 根据权利要求 4 所述的时钟电路，其中，所述第二导线的单位长度电阻小于所述第一导线
的单位长度电阻，所述第三导线所在的金属层位于所述第一金属层上方。

6. 根据权利要求 4 所述的时钟电路，其中，所述第三导线的单位长度电阻小于或等于所述第
20 二导线的单位长度电阻。

7. 根据权利要求 6 所述的时钟电路，其中，所述第三导线所在的金属层位于所述第二金属层
上方，或者，所述第三导线处于所述第二金属层。

8. 根据权利要求 4 所述的时钟电路，还包括：

25 第一功能模块，包括至少两个所述第一驱动电路，所述第一功能模块用于接收第一信号，
以及基于所述第一信号生成并输出第二信号，所述第二信号作为所述时钟电路的内部反馈
信号；

第二功能模块，包括至少两个所述第二驱动电路，所述第二功能模块用于接收第三信号，
以及基于所述第三信号生成并输出第四信号，所述第一信号和所述第三信号为相位相同的
30 时钟信号，所述第二功能模块的输出端作为所述时钟电路的输出端。

9. 根据权利要求 8 所述的时钟电路, 其中, 所述第一功能模块包括依次连接的第一功能单元和第二功能单元, 所述第二功能模块包括依次连接的第三功能单元和第四功能单元, 所述第一功能单元用于接收所述第一信号, 所述第二功能单元用于输出所述第二信号, 所述第三功能单元用于接收所述第三信号, 所述第四功能单元用于输出所述第四信号, 所述第一功能单元包含的所述第一驱动电路的数量等于所述第三功能单元包含的所述第二驱动电路的数量, 所述第二功能单元包含的所述第一驱动电路的数量等于所述第四功能单元包含的所述第二驱动电路的数量。
10. 根据权利要求 9 所述的时钟电路, 其中, 所述第一功能单元和所述第三功能单元为时钟树, 所述第二功能单元和所述第四功能单元为信号驱动器, 所述第一信号和所述第三信号为数据传输用时钟信号, 所述第二信号和所述第四信号为数据读出用时钟信号。
11. 根据权利要求 1 所述的时钟电路, 其中, 所述第一驱动电路包括反相器。
12. 根据权利要求 1 所述的时钟电路, 其中, 所述第一导线与所述第二导线通过至少一个导电插塞电连接。
13. 一种存储器, 包含权利要求 1 至 12 中任一项所述的时钟电路。
14. 一种半导体结构的制作方法, 包括:
- 根据预设延迟时长计算第二驱动电路的数量, 且在确定所述第二驱动电路的数量之后, 根据预设导电通路的长度计算相邻所述第二驱动电路之间的连接长度; 其中, 相邻所述第二驱动电路通过第三导线连接;
- 设置至少两个第一驱动电路, 以及设置位于相邻所述第一驱动电路之间的分立的多段第一导线, 所述第一驱动电路的数量与所述第二驱动电路的数量相同, 所述第一导线位于第一金属层, 所述第三导线所在的金属层位于所述第一金属层上方;
- 根据所述连接长度、所述第三导线的单位长度电阻、第一导线的单位长度电阻以及每一段所述第一导线的长度计算串接于相邻所述第一驱动电路之间的所述第一导线的段数, 记为初始段数, 以使相邻所述第一驱动电路之间的理想阻值等于相邻所述第二驱动电路之间的理想阻值;
- 设置第二导线, 以使所述初始段数的所述第一导线串接于相邻所述第一驱动电路之间, 所述第二导线与所述第一驱动电路连接, 每一段所述第一导线串接于两段所述第二导线之间, 所述第二导线位于第二金属层, 所述第二金属层位于所述第一金属层上方。
15. 根据权利要求 14 所述的半导体结构的制作方法, 在设置所述第二导线之后, 还包括:
- 对相邻所述第一驱动电路之间的第一电阻和相邻所述第二驱动电路之间的第二电阻进行

仿真，以获取所述第一电阻的实际阻值和所述第二电阻的实际阻值；

若所述第一电阻的实际阻值不等于所述第二电阻的实际阻值，则根据所述第一电阻的实际阻值和所述第二电阻的实际阻值的差值调整串联于相邻所述第一驱动电路之间的所述第二导线的布局，以调整串联于相邻所述第一驱动电路之间的所述第一导线的段数，调整后的

5

16. 根据权利要求 15 所述的半导体结构的制作方法，其中，调整串联于相邻所述第一驱动电路之间的所述第二导线的布局，包括：调整所述第二导线的位置和导电插塞的位置，以使所述第二导线通过所述导电插塞与另一所述第一导线连接。