

说明书

半导体结构以及半导体集成结构

本公开要求于 2024 年 6 月 26 日提交中国专利局、申请号为 202410846462.9、申请名称为“半导体结构以及半导体集成结构”的中国专利申请的优先权，其全部内容通过引用结合在本公开中。

技术领域

本公开实施例涉及半导体技术领域，尤其涉及一种半导体结构以及半导体集成结构。

背景技术

直接键合（Direct Bonding）是一种微电子制造技术，它指的是两个半导体晶片或其他平面材料在没有中介物质的情况下，通过直接接触和原子间力的相互作用实现紧密连接。混合键合（Hybrid Bonding）是半导体集成技术中的一种，它结合了直接键合和金属互连的特点。在混合键合中，部分区域使用直接键合，通过原子间的相互作用形成强连接，而在其他特定区域，通过金属接触或金属对金属的键合来实现电气连接。直接键合技术和混合键合技术这种技术通常用于芯片堆叠、3D 集成电路、微电子机械系统（MEMS）和其他微纳米系统中，具有广阔的应用前景。

无论是直接键合还是混合键合，在进行键合前，对被键合的表面平整度有非常高的要求。例如在混合键合过程中，直接键合的区域需要极高的表面清洁度和极低的表面粗糙度，以确保原子间的紧密接触和良好的键合质量。任何表面不平整、颗粒或缺陷都可能导致键合失败或降低电气性能。因此，在进行混合键合前，为了提高键合良率，晶片的表面处理至关重要，通常会采用各种化学机械抛光（CMP）或其他清洁技术来优化表面平整度和清洁度，但这也带来了额外的成本。

发明内容

本公开实施例提供具有更高良率和更低制造成本的半导体结构。

本公开内容的技术精神所要解决的问题不限于以上提及的问题，并且本领域技术人员从以下描述将清楚地理解未提及的其它问题。

根据本公开内容的一示例实施方式，一种半导体结构，包括：衬底，衬底上覆盖有介质层，介质层包括第一区域和环绕第一区域的第二区域；设置在第一区域的介质层中的第一导电垫，第一导电垫的顶表面具有凹陷或凸起的部分，介质层覆盖第一导电垫的顶表面；设置在第二区域的介质层中的第一键合垫，第一键合垫环绕第一导电垫设置，第一键合垫具有暴

说明书

露于介质层的顶表面，第一键合垫的底表面高于第一导电垫的顶表面。

根据本公开内容的一示例实施方式，还包括设置在第一区域的介质层中的第二键合垫，第二键合垫的底表面与第一导电垫的顶表面电连接，第二键合垫具有暴露于介质层的顶表面。

根据本公开内容的一示例实施方式，第一导电垫还包括延伸部分，延伸部分延伸到第二区域的介质层中，第一键合垫设置在延伸部分上的介质层中。

根据本公开内容的一示例实施方式，还包括设置在第一区域的介质层中的第二键合垫，第二键合垫的底表面与第一导电垫的顶表面电连接，第二键合垫具有暴露于介质层的顶表面。

根据本公开内容的一示例实施方式，衬底还包括第三区域，第三区域设置在第二区域之外或第二区域之内，介质层覆盖第三区域，第三区域的介质层中设置有第二导电垫和第三键合垫，第三键合垫的底表面与第二导电垫的顶表面电连接，且第二导电垫的底表面和第一导电垫的底表面共平面，第三键合垫具有暴露于介质层的顶表面。

根据本公开内容的一示例实施方式，第一区域的介质层的表面相对于第二区域的介质层的表面具有凸出或凹陷的部分。

根据本公开内容的一示例实施方式，第二区域上包括多个均匀分布的第一键合垫，第三区域上包括多个均匀分布的第三键合垫，各第一键合垫之间的间距大于各第三键合垫之间的间距。

根据本公开内容的一示例实施方式，在第一方向上，第二区域上包括至少一个整体连接的第一键合垫，第三区域上包括多个间隔排布的第三键合垫。

根据本公开内容的一示例实施方式，第一导电垫包括第一部分和第二部分，第一导电垫顶表面的凸出或凹陷的部分位于第一部分，第二键合垫形成在第二部分上且与第二部分连接。

根据本公开内容的一示例实施方式，第一导电垫为测试垫。

根据本公开内容的一示例实施方式，第二导电垫为信号垫。

根据本公开内容的一示例实施方式，半导体结构还包括：器件层，形成在衬底上；互连层，形成在器件层上，且与器件层电连接，第一导电垫位于互连层上，且与互连层电连接。

根据本公开内容的一示例实施方式，还提供了一种半导体集成结构，包括通过相对的键合面实现连接的第一半导体结构和第二半导体结构，第一半导体结构包括：衬底，衬底上覆盖有介质层，介质层包括第一区域和环绕第一区域的第二区域；设置在第一区域的介质层中的第一导电垫，第一导电垫的顶表面具有凹陷或凸起的部分，介质层覆盖第一导电垫的顶表面；设置在第二区域的介质层中的第一键合垫，第一键合垫环绕第一导电垫设置，第一键合垫具有暴露于介质层的顶表面，第一键合垫的底表面高于第一导电垫的顶表面，第一键合垫

说明书

暴露于介质层的顶表面和介质层的顶表面作为第一半导体结构的键合面；第二半导体结构包括：衬底，衬底上覆盖有介质层，介质层包括第三区域和环绕第三区域的第四区域；设置在第三区域的介质层中的第三导电垫，第三导电垫的顶表面具有凹陷或凸起的部分，介质层覆盖第三导电垫的顶表面；设置在第三区域的介质层中的第四键合垫，第四键合垫环绕第三导电垫设置，第四键合垫具有暴露于介质层的顶表面，第四键合垫的底表面高于第三导电垫的顶表面，第四键合垫暴露于介质层的顶表面和介质层的顶表面作为第二半导体结构的键合面；第一半导体结构的键合面与第二半导体结构的键合面对准键合。

根据本公开内容的一示例实施方式，半导体集成结构还包括位于键合面之间的键合空洞，键合空洞位于第一区域的介质层的顶表面与第三区域的介质层的顶表面之间。

本公开实施例提供的半导体结构具有环绕第一区域外围的第二区域，其中，第二区域中设置有第一键合垫，第一键合垫可以有效的防止由于第一区域凸起或凹陷的表面对产品良率的影响。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开实施例的实施例，并与说明书一起用于解释本公开实施例的原理。

图 1A-图 1C 是本公开一些实施例提供的半导体结构的示意图；

图 2A-图 2C 是本公开一些实施例提供的半导体结构的示意图；

图 3A-图 3B 是本公开一些实施例提供的半导体结构的示意图；

图 4A-图 4D 是本公开一些实施例提供的半导体结构的示意图；

图 5A-图 5B 是本公开一些实施例提供的半导体结构的示意图；

图 6 是本公开一些实施例提供的半导体集成结构的示意图；

图 7A-图 7D 是本公开一些实施例提供的制备半导体结构的步骤中特定位置形成的截面图，用于描述根据本公开构思的实施例的制造半导体结构的方法。

通过上述附图，已示出本公开实施例明确的实施例，后文中将有更详细的描述。这些附图和文字描述并不是为了通过任何方式限制本公开实施例构思的范围，而是通过参考特定实施例为本领域技术人员说明本公开实施例的概念。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于解释相关公开，而非对该公开的限定。

说明书

另外还需要说明的是，为了便于描述，附图中仅示出了相关的部分。除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了图示或描述的以外的顺序实施。

下面将结合附图对本公开各实施例进行详细说明。

在本公开的一些实施例中，提供了一种半导体结构 1，请参见图 1A 和图 1B，图 1A 为半导体结构 1 的俯视平面图，图 1B 为图 1A 中沿 A-A' 线的横截面图。半导体结构 1 包括衬底 10 以及覆盖衬底 10 的介质层 2，介质层 2 包括位于衬底 10 上的第一区域 21 和第二区域 22，在俯视平面上，第二区域 22 为环绕第一区域 21 外围的区域。第一区域 21 的介质层 2 中设置有第一导电垫 40，第一导电垫 40 的顶表面被介质层 2 覆盖。在第二区域 22 的介质层 2 中，设置有第一键合垫 30，第一键合垫 30 的底表面要高于第一导电垫 40 的顶表面，第一键合垫 30 的顶表面暴露在介质层 2 的顶表面上，即，第一键合垫 30 在位于第一导电垫 40 上方的介质层 2 中形成，且其顶表面不被介质层 2 覆盖。第一键合垫 30 环绕第一导电垫 40，即，第一键合垫 30 组成的图形在介质层 2 顶表面上的投影环绕第一导电垫 40 在介质层 2 的顶表面上的投影。在这些实施例中，第一区域 21 可以是位于衬底 10 中心的区域。

在一些实施例中，第一导电垫 40 具有第一部分和第二部分，第一部分的顶表面 401 相对于第二部分的顶表面凹入或凸起，顶表面 401 也可以是同时具有凹入和凸起的顶表面部分。介质层 2 随形覆盖在顶表面 401 上。

在另一些实施例中，请参见图 1C，第一导电垫 40 具有延伸到第二区域 22 中的延伸部分 402，第一键合垫 30 设置在延伸部分 402 上的介质层 2 中，第一导电垫 40 顶表面上凹入或凸起的顶表面 401 位于第一区域 21 中的第一导电垫 40 的顶表面上。在一些实施例中，延伸部分 402 也可以延伸到第一区域 21 其他侧的第二区域 22 中。

在一些实施例中，多个第一键合垫 30 均匀分布在第二区域 22 中，如图 1A 和图 2A 所示。第一键合垫 30 可以是圆形键合垫或大致呈圆形的键合垫，第一键合垫 30 也可以是四边形的键合垫，例如正方形或矩形。

在一些实施例中，第一导电垫 40 可以是铝金属、铜金属、镍金属等金属中的一种或多种

说明书

组合形成的金属垫。第一键合垫 30 可以是铜、铜合金、镍、铝、钨及其组合。在一些实施例中，第一导电垫 40 和第一键合垫 30 可以含有不同的导电材料，例如，第一导电垫 40 含有铝，第一键合垫 30 含有铜。

在一些实施例中，介质层 2 可以是多层介质组成的叠层结构，例如第一导电垫 40 位于一层介质中，第一键合垫 30 则位于另一层介质中。

在这些实施例中，由于第一区域 21 和第二区域 22 均包括介质层 2，因此，第一区域 21 和第二区域 22 均是在介质层 2 中被定义的一部分，两个区域之间没有明显的界限，两个区域由第一导电垫 40 和第一键合垫 30 所在的位置来界定。

由于第一导电垫 40 具有不平坦的顶表面，使得含有第一导电垫 40 的第一区域 21 的介质层 2 的表面和不含有第一导电垫 40 的第二区域 22 的介质层 2 的表面存在不被期望的高度差，这种不被期望的高度差使得两个区域在键合性能上存在差异，进而影响键合效果。在这些实施例中，通过在第一导电垫 40 外围上方的介质层 2 中环绕设置第一键合垫 30，可以有效的改善第一区域 21 和第二区域 22 之间由于存在高度差对键合效果的影响，第一键合垫 30 的存在可以将不良键合效果的发生控制在第一区域 21 和第二区域 22 之间，防止不良键合效果对其他区域的影响。第一键合垫 30 所在的区域可以根据第一导电垫 40 顶表面上的凸起或凹入区域的大小来设定，即控制第一键合垫 30 在水平方向上与第一导电垫 40 顶表面上的凸起或凹入区域之间的最小距离满足预定距离即可，即，当第一导电垫 40 具有延伸到第二区域 22 中的部分时，第一键合垫也可以设置在第一导电垫 40 的延伸部分上，这样可以控制第一区域 21 和第二区域 22 的大小，防止衬底上有效面积的浪费。

在一些实施例中，第一键合垫 30 在水平方向上与第一导电垫 40 顶表面上的凸起或凹入区域 401 之间的最小距离为 0.5 微米~5 微米，例如，可以是 0.5 微米~1 微米、1 微米~3 微米、2.5 微米~4 微米或 4 微米~5 微米。

在一些实施例中，第一导电垫 40 在水平面上的宽度为 2 微米~5 微米，第一导电垫 40 顶表面上的凸起或凹入区域 401 在水平面上的最大宽度为 0.5 微米~1.5 微米。

在一些实施例中提供了另一种半导体结构 1，不同于图 1A 至图 1C 所示的半导体结构，这些实施例中的半导体结构 1 具有设置在第一导电垫 40 上的第二键合垫 31。具体请参见图 2A 至图 2B，图 2A 为半导体结构 1 的俯视平面图，图 2B 为图 2A 中沿 A-A' 线的横截面图。第二键合垫 31 设置在第一区域 21 的介质层 2 中，且设置在第一导电垫 40 的上方。在一些实施例中，第二键合垫 31 在介质层 2 的顶表面上的投影位于第一导电垫 40 在介质层 2 的顶表面上的投影中。第二键合垫 31 通过互连结构 311 与第一导电垫 40 连接，第二键合垫 31 的顶

说明书

表面暴露在介质层 2 的顶表面上，即，第二键合垫 31 的顶表面不被介质层 2 覆盖。互连结构 311 的底表面设置在第一导电垫 40 的第二部分的顶表面上，且互连结构 311 的底表面不与第一导电垫 40 的第一部分的顶表面 401 接触。在一些实施例中，互连结构 311 的底表面也可以与顶表面 401 接触。

在一些实施例中，如图 2C 所示，图 2C 为图 2A 中沿 A-A' 线的横截面图，第一导电垫 40 包括延伸到第二区域 22 的介质层 2 中的延伸部分 402，且延伸部分 402 延伸到第一键合垫 30 下方的介质层 2 中。在一些实施例中，延伸部分 402 也可以延伸到第一区域 21 另一侧的第二区域 22 中。

在一些实施例中，第一区域 21 中的第一导电垫 40 的数量可以为多个，与第一导电垫 40 对应的第二键合垫 31 的数量也可以为多个。第二键合垫 31 可以是圆形键合垫或大致呈圆形的键合垫，第二键合垫 31 也可以是四边形的键合垫，例如正方形或矩形。

在一些实施例中，第二键合垫 31 设置在第一导电垫 40 上方的介质层 2 中，即第二键合垫 31 可以不与第一导电垫 40 电连接。在这些实施例中，第一键合垫 30 的底表面和第二键合垫 31 的底表面位于相同的平面上。

在这些实施例中，第一导电垫 40 的顶表面上也可以设置有第二键合垫 31，第二键合垫 31 的设置，可以将第一区域 21 和第二区域 22 之间的不良键合效果进一步控制在第一键合垫 30 的顶表面与第二键合垫 31 顶表面之间的区域，降低被不良键合效果影响的区域面积。

在另一些实施例中，第一键合垫 30 具有环绕第一区域 21 的整体结构，如图 3A 和图 3B 所示，图 3A 示出了第一键合垫 30 包括在第二区域 22 的一边延伸的，以整体结构存在的键合垫 301 和在第二区域 22 的另一边中多个彼此分离的键合垫 302，键合垫 301 可以分布在第二区域 22 中相对的两个边中。键合垫 302 可以分布在第二区域 22 中另外两个相对的边中。图 3B 示出了第一键合垫 30 为环绕第一区域 21 的整体结构的示意图。需要说明的是，这里的整体结构是指该结构作为一个整体存在，不存在彼此分离的部分。

在一些实施例中，键合垫 301 可以分布在第二区域 22 的一个边中或两个以上的边中。在一些实施例中，键合垫 302 可以分布在第二区域 22 的一个边中或两个以上的边中，键合垫 302 也可以在第二区域 22 的一个边中延伸的整体结构。

在这些实施例中，通过采用具有整体结构的第一键合垫 30，可以更可靠的控制第一区域 21 中不良键合效果，同时，整体结构的第一键合垫 30 可以进一步提升半导体结构的散热、导热能力。

在一些实施例中，第一导电垫 40 为执行电路探针测试（CP Test）的测试垫或测试焊盘，

说明书

第一导电垫 40 凸起或凹陷的顶表面部分 401 可以是测试探针与第一导电垫 40 的顶表面接触后形成探针标记所在的区域。第一导电垫 40 的顶表面上还覆盖有阻挡层（图未示），阻挡层形成在介质层 2 与第一导电垫 40 的顶表面之间，凸起或凹陷的顶表面部分 401 上的阻挡层在探针测试过程中被去除，使得顶表面部分 401 直接与介质层 2 接触。阻挡层的材料可以是氮化钛。

在一些实施例中，第一键合垫 30 为无电流通过的虚拟金属垫，第二键合垫 31 可以是无电流通过的虚拟金属垫或为有电流通过的金属垫，此时电流经由第一导电垫 40 和第二键合垫 31 传导。第二键合垫 31 可以是铜、铜合金、镍、铝、钨及其组合。

在一些实施例中，介质层 2 可以是多层介质组成的叠层结构，例如第一导电垫 40 位于一层介质中，第一键合垫 30 和第二键合垫 31 位于另一层介质中。

在一些实施例中，提供了另一种半导体结构 1，参照图 4A 至图 4B。图 4A 为半导体结构 1 的俯视平面图，图 4B 为图 4A 中沿 A-A' 线的横截面图。此半导体结构 1 上覆盖的介质层 2 进一步包括位于第二区域 22 之外的第三区域 23，第三区域 23 中设置有第二导电垫 41，第二导电垫 41 上方的介质层 2 中设置有第三键合垫 32，第三键合垫 32 的底表面与第二导电垫 41 的顶表面通过设置在两者之间的互连结构 321 电连接，第三键合垫 32 还具有暴露于介质层 2 的顶表面。在这些实施例中，第一区域 21 可以是位于衬底 10 中心的区域，第三区域 23 可以是位于衬底 10 边缘的区域。

在一些实施例中，第三键合垫 32 可以直接与第二导电垫 41 电连接。即，第三键合垫 32 的底表面抵接第二导电垫 41 的顶表面。

在一些实施例中，多个第三键合垫 32 在第三区域 23 中均匀分布，多个第一键合垫 30 在第二区域 22 中均匀分布，各第一键合垫 30 之间具有第一间距，各第三键合垫 32 之间具有第二间距，第一间距大于第二间距。在一些实施例中，第一间距可以是 0.5 微米~2 微米，第二间距可以是 0.2 微米~1 微米。

在一些实施例中，第一键合垫 30 和第三键合垫 32 可以是相同或大致相同的形状，例如都是圆形键合垫、大致呈圆形的键合垫或四边形的键合垫，例如正方形或矩形。在一些实施例中，第一键合垫 30 和第三键合垫 32 还可以具有相同或大致相同的表面积，具体说来，在水平方向上，第一键合垫 30 和第三键合垫 32 的宽度或径度可以相同。在一些实施例中，第一键合垫 30 的表面积大于第三键合垫 32 的表面积，比如，在水平方向上，第一键合垫 30 的宽度或径度大于第三键合垫 32 的宽度或径度。在一些实施例中，第一键合垫 30 的宽度或径度为 0.05 微米~2 微米，第三键合垫 32 的宽度或径度为 0.05 微米~1.5 微米。

说明书

在一些实施例中，第一导电垫 40 和第二导电垫 41 可以在同步金属互连布线工艺中形成的，此时，第二导电垫 41 的底表面和第一导电垫 40 的底表面共平面，第二导电垫 41 的顶表面不具有凸起或凹入的部分，即第二导电垫 41 的顶表面与第一导电垫 40 的第二部分的顶表面可共平面或大致共平面。在一些实施例中，第一导电垫 40 和第二导电垫 41 可以是铝金属、铜金属、镍金属等金属中的一种或多种组合形成的金属垫。例如，第一导电垫 40 和第二导电垫 41 均为含铝的金属垫。

继续参加图 4C，图 4C 提供了另一种半导体结构 1，此半导体结构在图 4A 的半导体结构的基础上还包括位于第一区域 21 中的第二键合垫 31，第二键合垫 31 位于第一导电垫 40 上，且与第一导电垫 40 连接。第二键合垫 31 与第一导电垫 40 的位置关系可以参考前述实施例的描述，在此不再赘述。第二键合垫 31 与第一键合垫 30 和第三键合垫 32 可以具有相同或大致相同的形状，例如都是圆形键合垫、大致呈圆形的键合垫或四边形的键合垫，例如正方形或矩形。在一些实施例中，第二键合垫 31 与第一键合垫 30 和第三键合垫 32 还可以具有相同或大致相同的表面积，具体说来，在水平方向上，第二键合垫 31 与第一键合垫 30 和第三键合垫 32 的宽度或径度可以相同。在一些实施例中，第二键合垫 31 的表面积大于第一键合垫 30 和第三键合垫 32 的表面积，比如，在水平方向上，第二键合垫 31 的宽度或径度大于第一键合垫 30 和第三键合垫 32 的宽度或径度。在一些实施例中，第二键合垫 31 的宽度或径度为 0.1 微米~2 微米。在一些实施例中，第一区域 21 中第二键合垫 31 的数量为多个，多个第二键合垫 31 可以均匀分布在第一区域 21 中，也可以不均匀分布在第一区域 21 中，各第二键合垫 31 与第一键合垫 30 之间的间距可以等于或大于各第一键合垫 30 与各第三键合垫 32 之间的间距。

在一些实施例中，第二导电垫 41 为不同于第一导电垫 40 的信号垫或信号焊盘。

在一些实施例中，第一区域 21 的介质层 2 的顶表面相对于第二区域 22 的介质层 2 的顶表面具有凸出或凹陷的部分表面 210，如图 1A-图 4C 所示。第一导电垫 40 的顶表面 401 在第一区域 21 的介质层 2 的顶表面上的投影与表面 210 重叠。

在一些实施例中，如图 4D 所示，介质层 2 包括第一介质层 201 和第二介质层 202，第二介质层 202 形成在第一介质层 201 上，第一导电垫 40 和第二导电垫 41 形成在第一介质层 201，第一键合垫 30 形成在第二介质层 202 中，即，第一导电垫 40 和第二导电垫 41 与第一键合垫 30 形成在不同的介质层中。在一些实施例中，第三键合垫 32 也形成在第二介质层 202 中，互连结构 321 穿过第一介质层 201 和第二介质层 202 与第二导电垫 41 连接。第一导电垫 40 的顶表面具有不被第一介质层 201 覆盖的部分，例如，顶表面部分 401 不被第一介质层 201

说明书

覆盖，第二介质层 202 覆盖第一导电垫 40 不被第一介质层 201 覆盖的顶表面。例如，第二介质层 202 覆盖顶表面部分 401。

在一些实施例中，第一介质层 201 和第二介质层 202 可以为单层介质组成的单层介质层或多层介质组成的多层介质层。例如，第一介质层 201 可以是氧化硅、氮化硅中的一种或两种组成的叠层结构，第二介质层 202 可以是氧化硅、碳氮化硅、氮化硅、碳氧化硅中的一种或一种以上组成的叠层结构。

在一些实施例中，第一导电垫 40 和第二导电垫 41 与第一介质层 201 之间还具有阻挡层，阻挡层可以是氮化钛、氮化钨等防止第一导电垫 40 和第二导电垫 41 扩散或抗蚀刻反射等材料层。

本公开实施例的半导体结构包括位于衬底 10 中的器件层 60 和位于器件层 60 上的互连层 50，器件层 60 与第一导电垫 40 和第二导电垫 41 之间通过互连层 50 实现电连接。器件层 60 中可以包括存储单元和/或控制单元，例如，器件层 60 中包括 DRAM 存储单元和/或 CMOS 晶体管组成的控制单元。互连层 50 可以包括多层金属导线以及连接各层金属导线之间的互连结构。在一些实施例中，互连层 50 也可以是只用一层金属导线构成，例如，可以是导电通孔结构。

在一些实施例中，第一键合垫 30、第二键合垫 31 以及第三键合垫 32 暴露于介质层 2 的顶表面的表面和介质层 2 的顶表面是半导体结构用于与另外的半导体结构实现键合的表面。

在另一些实施例中，第三区域 23 还可以设置在第一区域 21 内，如图 5A 所示，第一区域 21 环绕第三区域 23 设置，第三键合垫 32 设置在第一区域 21 内的第三区域中，在这些实施例中，第三区域 23 可以是位于衬底 10 中心的区域，第一区域 21 和第二区域 22 可以是位于衬底 10 边缘的区域。第一键合垫 30、第三键合垫 32 以及介质层中的导电垫等的设置可参见前述实施例，在此不再赘述。

在另一些实施例中，如图 5B 所示，第三区域 23 被第二区域 22 环绕，此时，第一区域 21 位于介质层 2 的最外层，第二区域 22 沿着第一区域 21 的外边缘环绕设置，第三区域 23 设置在第二区域 22 内。在这些实施例中，第三区域 23 可以是位于衬底 10 中心的区域，第一区域 21 和第二区域 22 可以是位于衬底 10 边缘的区域。第一键合垫 30、第三键合垫 32 以及介质层内的导电垫等的设置可参见前述实施例，在此不再赘述。

本公开的实施例还提供了一种半导体集成结构，其包括通过相对的键合面实现连接的第一半导体结构 1 和第二半导体结构 1'。如图 6 所示，第一半导体结构 1 包括衬底 10 以及覆盖衬底 10 的介质层 2，介质层 2 具有第一区域 21 以及环绕第一区域 21 的第二区域 22。第一区

说明书

域 21 的介质层 2 中分别设置有第一导电垫 40，第二区域 22 的介质层 2 中设置有第一键合垫 30，第一键合垫 30 不与第一导电垫 40 连接。第一导电垫 40 的顶表面上具有凹陷或凸起的部分顶表面 401，第一导电垫 40 通过互连结构 50 与器件层 60 电连接。半导体结构 1' 包括衬底 10' 以及覆盖衬底 10' 的介质层 2'，介质层 2' 具有分别与第一半导体结构 1 的第一区域 21 和第二区域 22 对应的第三区域 21' 和第四区域 22'。与第一半导体结构 1 类似，第二半导体结构 1' 的第三区域 21' 的介质层 2' 中设置有第三导电垫 40'，第四区域 22' 的介质层 2 中设置有第三键合垫 30'，第三键合垫 30' 不与第三导电垫 40' 电连接。第三导电垫 40' 的顶表面上具有凹陷或凸起的部分顶表面 401'，第三导电垫 40' 通过互连结构 50' 与器件层 60' 电连接。

在一些实施例中，第一半导体结构 1 的介质层 2 和第一键合垫 30 的表面作为键合面，第二半导体结构 1' 的介质层 2' 和第三键合垫 30' 的表面作为键合面，键合面之间相互键合连接，其中，第一键合垫 30 与第三键合垫 30' 对准连接。

在一些实施例中，第一半导体结构 1 和第二半导体结构 1' 中的第一键合垫 30 和第三键合垫 30' 沿着键合面呈镜像对称设计。

在一些实施例中，第一半导体结构 1 和第二半导体结构 1' 还分别具有相对应的区域 23 和区域 23'，区域 23 中还设置有键合垫 32，键合垫 32 与设置在区域 23 中的导电垫 41 电连接，导电垫 41 通过互连结构 50 的一部分也连接到器件层 60。第二半导体结构 1' 的区域 23' 中设置有与键合垫 32 对应的键合垫 32'，以及位于键合垫 32' 下方与键合垫 32' 电连接的导电垫 41'，导电垫 41' 通过互连结构 50' 的一部分连接到器件层 60'。键合垫 32 和键合垫 32' 对准键合。

在一些实施例中，第一半导体结构 1 和第二半导体结构 1' 键合的表面上具有键合空洞 211，键合空洞 211 设置在第一区域 21 和第三区域 21' 之间。在一些实施例中，键合空洞 211 可以具有一个或多个。

在一些实施例中，第一半导体结构 1 和第二半导体结构 1' 可以是相同类型的半导体结构，例如都是 DRAM 结构。第一半导体结构 1 和第二半导体结构 1' 也可以是不同类型的半导体结构，例如，其中一个包含存储单元的半导体结构，另一个则是包含逻辑单元的半导体结构。

本公开实施例的半导体结构中，残留于第一导电垫上的空洞和凸起造成的键合空洞被控制在第一区域中，第二区域中的第一键合垫可以有效的防止键合空洞由第一区域延伸到其他区域，这是因为在键合过程中，第一键合垫的膨胀量会大于介质层，因此在第一区域的介质层键合时，第一键合垫也会牢固连接，而且第一键合垫的键合强度大于介质层之间的键合强度，因此第一区域中的键合空洞的延伸路径被第一键合垫控制，从而键合空洞不会延伸到第

说明书

三区域中，不会对第三键合垫的键合产生不良影响。

为使本公开的内容更清楚，下面结合形成半导体结构的过程进一步说明。

请参见图 7A-图 7D。图 7A-图 7D 为按照形成顺序提供的本公开实施例中的半导体器件的截面图。

在一些实施例中，如图 7A 所示，提供衬底 10，衬底 10 中具有器件层 60，器件层 60 中设置有半导体器件，例如晶体管等器件。器件层 60 上设置有互连层 50，互连层 50 上设置有第一介质层 201，第一介质层 201 内设置有与互连层 50 电连接的第一导电垫 40 和第二导电垫 41，第一介质层 201 中具有空隙 402，第一导电垫 40 的部分表面被空隙 402 暴露。在一些实施例中，第二导电垫 41 的部分表面也可以被暴露。在一些实施例中，衬底 10 为晶圆。

继续参见图 7B，第一导电垫 40 的部分表面被暴露后，对第一导电垫 40 施加 CP 测试，测试过程借由测试机的探针扎在第一导电垫 40 暴露的表面上进行，由于第一导电垫 40 相对于探针更软，在测试完成后，第一导电垫 40 暴露的表面被探针损伤，形成相对于第一导电垫 40 未被探针破坏的其他表面凹陷或凸起的部分表面 401。

继续参见图 7C，在测试完成后，在第一介质层 201 上形成第二介质层 202，第二介质层 202 覆盖第一导电垫的部分表面 401，第二介质层 202 的表面具有凸起或凹陷的不平坦部分 210。

由于第一导电垫 40 的部分表面 401 的存在，使用诸如 CVD 等薄膜沉积工艺形成的第二介质层 202 的表面也会形成有不平坦的区域 210，一般说来，第二介质层 202 不平坦的表面是不被期望的，因为这会导致在形成第二介质层 202 之后的工艺步骤存在失效的风险。要想获得具有相对平坦表面的第二介质层 202，需要多次平坦化制程，这就意味着在进行平坦化制程时需要沉积更厚的第二介质层，但是更厚的第二介质层反而会进一步放大不平坦区域 210 于其他区域的高度差，增加平坦化工艺的负载。与现有技术不同的是，在本公开的实施例中，第二介质层 202 形成后无需进行平坦化制程，例如 CMP 制程，从而可以形成相对更薄的第二介质层 202。

继续参见图 7D，在形成第二介质层 202 之后，在第二介质层 202 中形成位于第二区域 22 中的第一键合垫 30、互连结构 321 和位于第三区域 23 中的第三键合垫 32。形成第一键合垫 30 和第三键合垫 32 的工艺是大马士革工艺或本领域技术人员知悉的形成金属互连结构的工艺。在形成第一键合垫 30 和第三键合垫 32 的过程中，涉及到金属薄膜的沉积和平坦化制程，此过程的平坦化制程主要在于使得第一键合垫 30 和第三键合垫 32 的表面具有相对平坦的表面，因此，在第一键合垫 30 和第三键合垫 32 形成之后，第二介质层 202 的表面还是存

说明书

在不平坦区域 210。

在一些实施例中，第一区域 21 中也可以同步形成与第一导电垫 40 连接的键合垫 31，最终的结构可参见图 4C。

在一些实施例中，第二介质层 202 可以是多层介质层结构，例如氧化硅和碳氮化硅的叠层结构，第一键合垫 30 和第三键合垫 32 具备形成在氧化硅中的部分和形成在碳氮化硅中的部分。

在形成第一键合垫 30 和第三键合垫 32 之后，半导体结构的表面可被处理形成键合面，用于与另外的半导体结构进行键合连接，多个半导体结构键合后的结构可参见图 6，键合的制程为直接键合制程或混合键合制程，键合过程中，第一键合垫 30 与第三键合垫 32 相互键合，各个区域的介质层相互键合，不平坦表面 210 彼此之间不键合，从而在键合面上形成键合空洞 211。

本公开实施例形成半导体结构的过程中，无需使用高精度的介质层平坦化制程，有利于降低制程的成本。

本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开实施例的精神和范围。任何本领域技术人员，在不脱离本公开实施例的精神和范围内，均可作各种改动与修改，因此本公开实施例的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种半导体结构，包括：

衬底，所述衬底上覆盖有介质层，所述介质层包括第一区域和环绕所述第一区域的第二区域；

设置在所述第一区域的所述介质层中的第一导电垫，所述第一导电垫的顶表面具有凹陷或凸起的部分，所述介质层覆盖所述第一导电垫的顶表面；

设置在所述第二区域的所述介质层中的第一键合垫，所述第一键合垫环绕所述第一导电垫设置，所述第一键合垫具有暴露于所述介质层的顶表面，所述第一键合垫的底表面高于所述第一导电垫的顶表面。

2. 根据权利要求1所述的半导体结构，其特征在于，还包括设置在所述第一区域的所述介质层中的第二键合垫，所述第二键合垫的底表面与所述第一导电垫的顶表面电连接，所述第二键合垫具有暴露于所述介质层的顶表面。

3. 根据权利要求1所述的半导体结构，其特征在于，所述第一导电垫还包括延伸部分，所述延伸部分延伸到所述第二区域的所述介质层中，所述第一键合垫设置在所述延伸部分上的所述介质层中。

4. 根据权利要求3所述的半导体结构，其特征在于，还包括设置在所述第一区域的所述介质层中的第二键合垫，所述第二键合垫的底表面与所述第一导电垫的顶表面电连接，所述第二键合垫具有暴露于所述介质层的顶表面。

5. 根据权利要求1所述的半导体结构，其特征在于，所述衬底还包括第三区域，所述第三区域设置在所述第二区域之外或所述第二区域之内，所述介质层覆盖所述第三区域，所述第三区域的所述介质层中设置有第二导电垫和第三键合垫，所述第三键合垫的底表面与所述第二导电垫的顶表面电连接，且所述第二导电垫的底表面和所述第一导电垫的底表面共平面，所述第三键合垫具有暴露于所述介质层的顶表面。

6. 根据权利要求1所述的半导体结构，其特征在于，所述第一区域的所述介质层的表面相对于所述第二区域的所述介质层的表面具有凸出或凹陷的部分。

7. 根据权利要求5所述的半导体结构，其特征在于，所述第二区域上包括多个均匀分布的所述第一键合垫，所述第三区域上包括多个均匀分布的所述第三键合垫，各所述第一键合垫之间的间距大于各所述第三键合垫之间的间距。

8. 根据权利要求5所述的半导体结构，其特征在于，在第一方向上，所述第二区域上包括至少一个整体连接的所述第一键合垫，所述第三区域上包括多个间隔排布的第三键合垫。

9. 根据权利要求2或4所述的半导体结构，其特征在于，所述第一导电垫包括第一部分和第二部分，所述第一导电垫顶表面的凸出或凹陷的部分位于所述第一部分，所述第二键合

权 利 要 求 书

垫形成在所述第二部分上且与所述第二部分连接。

10. 根据权利要求 1 所述的半导体结构，其特征在于，所述第一导电垫为测试垫。

11. 根据权利要求 5 所述的半导体结构，其特征在于，所述第二导电垫为信号垫。

12. 一种半导体集成结构，包括通过相对的键合面实现连接的第一半导体结构和第二半导体结构，所述第一半导体结构包括：

衬底，所述衬底上覆盖有介质层，所述介质层包括第一区域和环绕所述第一区域的第二区域；

设置在所述第一区域的所述介质层中的第一导电垫，所述第一导电垫的顶表面具有凹陷或凸起的部分，所述介质层覆盖所述第一导电垫的顶表面；

设置在所述第二区域的所述介质层中的第一键合垫，所述第一键合垫环绕所述第一导电垫设置，所述第一键合垫具有暴露于所述介质层的顶表面，所述第一键合垫的底表面高于所述第一导电垫的顶表面，所述第一键合垫暴露于所述介质层的顶表面和所述介质层的顶表面作为所述第一半导体结构的键合面；

所述第二半导体结构包括：

衬底，所述衬底上覆盖有介质层，所述介质层包括第三区域和环绕所述第三区域的第四区域；

设置在所述第三区域的所述介质层中的第三导电垫，所述第三导电垫的顶表面具有凹陷或凸起的部分，所述介质层覆盖所述第三导电垫的顶表面；

设置在所述第三区域的所述介质层中的第四键合垫，所述第四键合垫环绕所述第三导电垫设置，所述第四键合垫具有暴露于所述介质层的顶表面，所述第四键合垫的底表面高于所述第三导电垫的顶表面，所述第四键合垫暴露于所述介质层的顶表面和所述介质层的顶表面作为所述第二半导体结构的键合面；

所述第一半导体结构的键合面与所述第二半导体结构的键合面对准键合。

13. 根据权利要求 12 所述的集成结构，其特征在于，还包括位于所述键合面之间的键合空洞，所述键合空洞位于所述第一区域的所述介质层的顶表面与所述第三区域的所述介质层的顶表面之间。