

像素阵列基板

技术领域

5 本发明是有关于一种像素阵列基板，且特别是有关于一种扫描线接垫以及数据线接垫沿着一排列方向排列的像素阵列基板。

背景技术

10 由于显示面板具有体积小、辐射低等优点，显示面板已经普遍地被应用在各式各样的电子产品中。在现有的显示面板中，通常会于显示区的外围保留大面积的驱动电路区来设置驱动电路，并藉由驱动电路来控制子像素。然而，位于显示区外侧的驱动电路区使显示面板具有很宽的边框，并限缩了产品的屏占比。随着科技的进步，消费者对显示面板外观的要求越来越高，为了要提高消费者的购买意愿，如何增加显示面板的屏占比已经成为目前各家厂商欲解决的问题之一。

15

发明公开

本发明提供一种像素阵列基板，能改善扫描线接垫以及数据线接垫之间信号互相干扰的问题。

20 本发明的至少一实施例提供一种像素阵列基板，包括多个扫描线接垫、多个数据线接垫、多条扫描线、多条数据线、多条栅极传输线、多个像素、数据线信号晶片以及扫描线信号晶片。扫描线接垫以及数据线接垫位于基板上。扫描线沿着第一方向延伸。数据线以及栅极传输线沿着第二方向延伸。数据线电性连接至数据线接垫。扫描线通过栅极传输线电性连接至扫描线接垫。像素位于基板上。沿着第一方向排列的像素的排数与沿着第二方向排列的像素的排数的比为 X:Y。各像素包括 m 个子像素，且子像素电性连接至扫描线以及数据线。数据线信号晶片电性连接至数据线接垫，且扫描线信号晶片电性连接至扫描线接垫。扫描线接垫以及数据线接垫在一排列方向上排列成多个重复单元，且每个重复单元中的扫描线接垫以及数据线接垫的数量总合为 U 个。 $U = a \times (k \times m \times X + h \times n \times Y)$ ，其中 n 为扫描线信号晶片的数量，且
30 a、k 以及 h 为正整数。

本发明的至少一实施例提供一种像素阵列基板包括多个扫描线接垫、多个第一数据线接垫、多个第二数据线接垫、多个第三数据线接垫、多条扫描线、多条数据线、多条栅极传输线、多个红色子像素、多个绿色子像素、多个蓝色子像素以及至少一个薄膜覆晶封装电路。扫描线接垫、第一数据线接垫、第二数据线接垫以及第三数据线接垫位于基板上。扫描线接垫、第一数据线接垫、第二数据线接垫以及第三数据线接垫在排列方向上排列。扫描线沿着第一方向延伸。数据线以及栅极传输线沿着第二方向延伸。扫描线通过栅极传输线电性连接至扫描线接垫。数据线电性连接至第一数据线接垫、第二数据线接垫以及第三数据线接垫。红色子像素、绿色子像素以及蓝色子像素电性连接至扫描线以及数据线。红色子像素电性连接至第一数据线接垫。绿色子像素电性连接至第二数据线接垫。蓝色子像素电性连接至第三数据线接垫。在排列方向上位于第一数据线接垫与第二数据线接垫之间或第三数据线接垫与第二数据线接垫之间的扫描线接垫的数量少于位于第一数据线接垫与第三数据线接垫之间的扫描线接垫的数量。薄膜覆晶封装电路包括数据线信号晶片以及扫描线信号晶片。数据线信号晶片电性连接至第一数据线接垫、第二数据线接垫以及第三数据线接垫。扫描线信号晶片电性连接至扫描线接垫。

附图简要说明

- 图 1 是依照本发明的一实施例的一种像素阵列基板的上视示意图。
- 图 2A 是依照本发明的一实施例的一种像素阵列基板的显示区的上视示意图。
- 图 2B 是依照本发明的一实施例的一种子像素的上视示意图。
- 图 3A 是依照本发明的一实施例的一种薄膜覆晶封装电路的上视示意图。
- 图 3B 是依照本发明的一实施例的一种薄膜覆晶封装电路的上视示意图。
- 图 4 是依照本发明的实施例 1 的一种扫描线接垫与数据线接垫的排列顺序的示意图。
- 图 5 是依照本发明的一实施例的一种像素阵列基板的上视示意图。
- 图 6 是依照本发明的实施例 2 的一种扫描线接垫与数据线接垫的排列顺序的示意图。

图 7 是依照本发明的一实施例的一种像素阵列基板的上视示意图。

图 8 是依照本发明的实施例 3 的一种扫描线接垫与数据线接垫的排列顺序的示意图。

图 9 是依照本发明的一实施例的一种像素阵列基板的上视示意图。

5 图 10A 是图 9 线 aa' 的剖面示意图。

图 10B 是图 9 线 bb' 的剖面示意图。

其中，附图标记：

10、20、30:像素阵列基板

110:扫描线

10 120:栅极传输线

130:第一扇出线

210:数据线

220:第二扇出线

AA:显示区

15 BA:周边区

CC1:第一导线层

CC2:第二导线层

CH:通道层

CH1:第一连接结构

20 CH2:第二连接结构

CH3:第三连接结构

CH4:第四连接结构

CS:转接结构

COF:薄膜覆晶封装电路

25 D1:第一数据线接垫

D2:第二数据线接垫

D3:第三数据线接垫

DC:数据线信号晶片

DE:漏极

30 E1:第一方向

- E2: 第二方向
- G: 扫描线接垫
- GC: 扫描线信号晶片
- GE: 栅极
- 5 GI: 栅绝缘层
- I1: 第一绝缘层
- I2: 第二绝缘层
- I3: 第三绝缘层
- L1: 第一排
- 10 L2: 第二排
- M1: 第一金属层
- M2: 第二金属层
- P1: 红色子像素
- P2: 绿色子像素
- 15 P3: 蓝色子像素
- O: 开口
- PE: 像素电极
- PL: 平坦层
- PU: 重复单元
- 20 PX: 像素
- RD: 排列方向
- SB: 基板
- SE: 源极
- T: 开关元件
- 25 TH1、TH2: 通孔

实现本发明的最佳方式

以下结合附图和具体实施例对本发明进行详细描述，但不作为对本发明的限定。

- 30 在整个说明书中，相同的附图标记表示相同或类似的元件。在附图中，

为了清楚起见，放大了层、膜、面板、区域等的厚度。应当理解，当诸如层、膜、区域或基板的元件被称为“在另一元件上”或“连接另一元件”时，其可以直接在另一元件上或与另一元件连接，或者所述元件与所述另一元件中间可以也存在其他元件。相反，当元件被称为“直接在另一元件上”或“直接连接另一元件”时，所述元件与所述另一元件中间不存在其他元件。如本文所使用的，“连接”可以指物理及/或电性连接。再者，二元件互相“电性连接”或“耦合”可为二元件间存在其它元件。

应当理解，尽管术语“第一”与“第二”等在本文中可以用于描述各种元件、部件、区域、层及/或部分，但是这些元件、部件、区域、及/或部分不应受这些术语的限制。这些术语仅用于将一个元件、部件、区域、层或部分与另一个元件、部件、区域、层或部分区分开。

图 1 是依照本发明的一实施例的一种像素阵列基板的上视示意图。图 2A 是依照本发明的一实施例的一种像素阵列基板的显示区的上视示意图。图 2B 是图 2A 的子像素的上视示意图。图 3A 是依照本发明的一实施例的一种薄膜覆晶封装电路的上视示意图，其中图 3A 例如是图 1 的薄膜覆晶封装电路 COF 的放大示意图。图 3B 是依照本发明的一实施例的一种薄膜覆晶封装电路的上视示意图。

请参考图 1，像素阵列基板 10 包括多个扫描线接垫 G、多个数据线接垫（例如第一数据线接垫 D1、第二数据线接垫 D2 及第三数据线接垫 D3）、多条扫描线 110、多条数据线 210、多条栅极传输线 120、多个像素（图 1 未绘出）以及至少一个薄膜覆晶封装电路 COF。在本实施例中，像素阵列基板 10 还包括多条第一扇出线 130 以及多条第二扇出线 220。

基板 SB 上具有显示区 AA 以及位于显示区 AA 外侧的周边区 BA。基板 SB 的材质可为玻璃、石英、有机聚合物、或是不透光/反射材料（例如：导电材料、金属、晶圆、陶瓷或其它可适用的材料）或是其它可适用的材料。若使用导电材料或金属时，则在载板 SB 上覆盖一层绝缘层（未绘示），以避免短路问题。

扫描线接垫 G 位于基板 SB 上。在本实施例中，扫描线接垫 G 位于周边区 BA 上。第一扇出线 130 电性连接扫描线接垫 G 至栅极传输线 120。扫描线 110 以及栅极传输线 120 位于显示区 AA 上。扫描线 110 沿着第一方向 E1 延伸，

且栅极传输线 120 沿着第二方向 E2 延伸。在本实施例中，栅极传输线 120 通过转接结构 CS 而电性连接至扫描线 110，扫描线 110 通过栅极传输线 120 以及第一扇出线 130 而电性连接至扫描线接垫 G。

在本实施例中，各扫描线接垫 G 电性连接至对应的两条扫描线 110，藉此减少扫描线接垫 G 的数量，但本发明不以此为限。在其他实施例中，不同条扫描线 110 并未共用同一个扫描线接垫 G。

数据线接垫（例如第一数据线接垫 D1、第二数据线接垫 D2 及第三数据线接垫 D3）位于基板 SB 上。在本实施例中，数据线接垫位于周边区 BA 上。第二扇出线 220 电性连接数据线接垫至数据线 210。数据线 210 沿着第二方向 E2 延伸。

请参考图 1 与图 2A，像素 PX 位于基板 SB 上。在本实施例中，每个像素 300 包括红色子像素 P1、绿色子像素 P2 以及蓝色子像素 P3，但本发明不以此为限。在其他实施例中，每个像素 PX 还包括其他颜色的子像素。

请参考图 1、图 2B 与图 2A，在本实施例中，像素阵列基板 10 是以 HG2D（half-gate two-data line）的方式驱动，各子像素（红色子像素 P1、绿色子像素 P2 以及蓝色子像素 P3）重叠于数据线 210 中对应的两条以及扫描线 110 中对应的一条。

子像素电性连接至扫描线 110 以及数据线 210。在本实施例中，红色子像素 P1、绿色子像素 P2 以及蓝色子像素 P3 电性连接至扫描线 110 以及数据线 210。红色子像素 P1 电性连接至第一数据线接垫 D1。绿色子像素 P2 电性连接至第二数据线接垫 D2。蓝色子像素 P3 电性连接至第三数据线接垫 D3。

各子像素包括开关元件 T 以及像素电极 PE。开关元件 T 包括栅极 GE、通道层 CH、源极 SE 以及漏极 DE。

栅极 GE 位于基板 SB 上，且电性连接至对应的扫描线 110。通道层 CH 重叠于栅极 GE，且通道层 CH 与栅极 GE 之间夹有栅极绝缘层（图中省略绘示）。

源极 SE 以及漏极 DE 电性连接至通道层 CH。源极 SE 电性连接至数据线 210。平坦层（图中省略绘示）位于源极 SE 以及漏极 DE 上。像素电极 PE 位于平坦层上，且通过贯穿平坦层的开口 O 而电性连接至漏极 DE。

在一些实施例中，像素阵列基板 10 还包括共用信号线 CL1、共用信号线 CL2 以及共用信号线 CL3。共用信号线 CL1、共用信号线 CL2 以及扫描线 110

皆沿着第一方向 E1 延伸,且共用信号线 CL1、共用信号线 CL2 以及扫描线 110 属于相同导电层(例如第一金属层)。共用信号线 CL3、数据线 210 以及栅极传输线 120 皆沿着第二方向 E2 延伸,且共用信号线 CL3、数据线 210 以及栅极传输线 120 属于相同导电层(例如第二金属层)。

- 5 扫描线接垫 G 以及数据线接垫(例如第一数据线接垫 D1、第二数据线接垫 D2 及第三数据线接垫 D3)在排列方向 RD 上排列。在本实施例中,扫描线接垫 G 以及数据线接垫在排列方向 RD 上排成第一排 L1 以及第二排 L2。第一排 L1 中的接垫彼此对齐,且第二排 L2 中的接垫彼此对齐。藉由将扫描线接垫 G 以及数据线接垫在排列方向 RD 上排成两排能更有效的利用布线空间。在
- 10 一些实施例中,位于第一排 L1 的接垫与位于第二排 L2 的接垫分别属于不同金属层,举例来说,位于第一排 L1 的接垫属于第一金属层,而位于第二排 L2 的接垫属于第二金属层,第一金属层与第二金属层之间隔有绝缘层,藉此可以避免相邻的接垫之间短路。

- 在一些实施例中,在排列方向 RD 上位于第一数据线接垫 D1 与第二数据线接垫 D2 之间或第三数据线接垫 D3 与第二数据线接垫 D2 之间的扫描线接垫 G 的数量少于位于第一数据线接垫 D1 与第三数据线接垫 D3 之间的扫描线接垫 G 的数量,藉此能改善扫描线接垫 G 以及数据线接垫之间的信号干扰对显示画面所造成的影响。

- 薄膜覆晶封装电路 COF 电性连接至扫描线接垫 G 以及数据线接垫 D(例如第一数据线接垫 D1、第二数据线接垫 D2 及第三数据线接垫 D3)。

- 请参考图 3A 与图 3B,薄膜覆晶封装电路 COF 包括数据线信号晶片 DC、扫描线信号晶片 GC、第一绝缘层 I1、第二绝缘层 I2、第三绝缘层 I3、第一导线层 CC1、第二导线层 CC2、多个第一连接结构 CH1、多个第二连接结构 CH2、多个第三连接结构 CH3 以及多个第四连接结构 CH4。

- 25 第一绝缘层 I1、第二绝缘层 I2 以及第三绝缘层 I3 依序重叠。数据线信号晶片 DC 以及扫描线信号晶片 GC 位于第一绝缘层上 I1。

第一导线层 CC1 位于第二绝缘层 I2 以及第一导电层 I1 之间。多个第一连接结构 CH1 贯穿第一绝缘层 I1,且电性连接至第一导线层 CC1。

- 第二导线层 CC2 位于第二绝缘层 I2 以及第三导电层 I3 之间。多个第二连接结构 CH2 贯穿第一绝缘层 I1 以及第二绝缘层 I2,且电性连接至第二导
- 30

线层 CC2。在本实施例中，由于第一导线层 CC1 与第二导线层 CC2 分别属于不同膜层，因此，可以有效增加第一导线层 CC1 与第二导线层 CC2 的布线空间。

第三连接结构 CH3 贯穿第二绝缘层 I2 以及第三导电层 I3，且电性连接至第一导线层 CC1。多个第四连接结构 CH4 贯穿第三绝缘层 I3，且电性连接至第二导线层 CC2。

数据线信号晶片 DC 电性连接至第一导电层 CC1 与第二导电层 CC2 中的一者，且扫描线信号晶片 GC 电性连接至第一导电层 CC1 与第二导电层 CC2 中的另一者。在本实施例中，数据线信号晶片 DC 电性连接至第一导电层 CC1，且扫描线信号晶片 GC 电性连接至第二导电层 CC2。

数据线信号晶片 DC 电性连接至数据线接垫（例如如图 1 的第一数据线接垫 D1、第二数据线接垫 D2 及第三数据线接垫 D3），且扫描线信号晶片 GC 电性连接至扫描线接垫 G。

在本实施例中，数据线信号晶片 DC 以及扫描线信号晶片 GC 皆位于显示区 AA 的同一侧，因此，可以缩小显示面板的边框，藉此提升显示装置的屏占比。在一些实施例中，未设置薄膜覆晶封装电路 COF 的显示区 AA 的侧边与像素阵列基板 10 的边缘之间的宽度小于 2 毫米。

在本实施例中，一个薄膜覆晶封装电路 COF 包含了数据线信号晶片 DC 以及扫描线信号晶片 GC，因此，第一扇出线 130 与第二扇出线 220 可以互不重叠，藉此能改善第一扇出线 130 与第二扇出线 220 之间的信号干扰对显示画面所造成的影响。

请参考图 1，在本实施例中，像素阵列基板 10 包括 n 个扫描线信号晶片 GC。举例来说，像素阵列基板 10 包括 2 个薄膜覆晶封装电路 COF，而每个薄膜覆晶封装电路 COF 具有 1 个扫描线信号晶片 GC，因此，像素阵列基板 10 共包括 2 个扫描线信号晶片 GC，即 n 为 2。在其他实施例中，n 大于 2。

在本实施例中，每条扫描线 110 电性连接至多个扫描线信号晶片 GC，使扫描线 110 上的信号能够分布的更均匀。举例来说，像素阵列基板 10 共包括 n 个扫描线信号晶片 GC，则每条扫描线 110 电性连接至 n 个扫描线信号晶片 GC。

图 4 是依照本发明的实施例 1 的一种扫描线接垫与数据线接垫的排列顺

序的示意图。

扫描线接垫 G 以及数据线接垫 D（例如第一数据线接垫、第二数据线接垫及第三数据线接垫）在排列方向 RD 上排列成多个重复单元 PU，且每个重复单元 PU 中的扫描线接垫 G 以及数据线接垫 D 的数量总合为 U 个。

- 5 图4用于示出重复单元PU中扫描线接垫G以及数据线接垫D的排列顺序，且重复单元PU中扫描线接垫G以及数据线接垫D并非完全对齐。举例来说，重复单元PU中扫描线接垫G以及数据线接垫D可以如图1所示分成第一排L1以及第二排L2。图1中第一排L1中的第一个接垫在图4中为第一个接垫，图1中第二排L2中的第一个接垫在图4中为第二个接垫，图1中第一排L1
10 中的第二个接垫在图4中为第三个接垫，其他接垫的排列顺序也是以此类推。

- 在本实施例中，如图2A所示，沿着第一方向E1排列的像素PX的排数与沿着第二方向E2排列的像素PX的排数的比为X:Y。举例来说，在解析度为1920×1080的显示面板中，X:Y为16:9。在本实施例中，各像素PX包括m
15 个子像素，其中m为正整数。在本实施例中，为了改善扫描线接垫G以及数据线接垫D之间的信号干扰问题，扫描线接垫G以及数据线接垫D符合式1的规则。

式1:

$$U = a \times (k \times m \times X + h \times n \times Y)$$

在式1中，n为扫描线信号晶片的数量，且a、k以及h为正整数。

20 实施例1

- 在实施例1中，像素阵列基板是以HG2D的方式驱动，各子像素重叠于两条数据线以及一条扫描线。在实施例1中，各扫描线接垫G电性连接至对应的两条扫描线。在实施例1中，部分扫描线接垫G位于第一排L1，且另一部分扫描线接垫G位于第二排L2（如图1所示），部分扫描线接垫G属于第一
25 金属层，且另一部分扫描线接垫G属于第二金属层。在实施例1中，a为1，k为4，且h为1。

X:Y为16:9。各像素PX包括3个子像素，即m为3。像素阵列基板具有3个扫描线信号晶片，即n为3。

- 在实施例1中，以式1计算每个重复单元PU中的扫描线接垫G以及数据
30 线接垫D的数量总合U， $U = 1 \times (4 \times 3 \times 16 + 1 \times 3 \times 9) = 219$ ，意即每个重复

单元 PU 中的扫描线接垫 G 以及数据线接垫 D 的数量总合 U 为 219 个。

在实施例 1 中,为了使扫描线接垫 G 以及数据线接垫 D 能更均匀的分散,在排列方向 RD 上相邻的两个扫描线接垫 G 之间的数据线接垫 D 的数量 R 符合式 2 的规则。

5 式 2:

$$R = 2 \times m \times N$$

在式 2 中, N 为 1 至 k+1 之间的整数。

在实施例 1 中, $R = 2 \times 3 \times 1$ 至 $2 \times 3 \times 5$, 意即相邻的两个扫描线接垫 G 之间的数据线接垫 D 的数量介于 6 至 30 个。

10 图 5 是依照本发明的一实施例的一种像素阵列基板的上视示意图。在此必须说明的是, 图 5 的实施例沿用图 1 的实施例的元件标号与部分内容, 其中采用相同或近似的标号来表示相同或近似的元件, 并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施例, 在此不赘述。

图 5 的像素阵列基板 20 与图 1 的像素阵列基板 10 的差异在于: 在像素
15 阵列基板 20 中, 不同条扫描线 110 并未共用同一个扫描线接垫 G。

请参考图 5, 在本实施例中, 每条栅极传输线 120 电性连接对应的一个扫描线接垫 G 至对应的一条扫描线 110。

图 6 是依照本发明的实施例 2 的一种扫描线接垫与数据线接垫的排列顺序的示意图。

20 扫描线接垫 G 以及数据线接垫 D (例如第一数据线接垫、第二数据线接垫及第三数据线接垫) 在排列方向 RD 上排列成多个重复单元 PU, 且每个重复单元 PU 中的扫描线接垫 G 以及数据线接垫 D 的数量总合为 U 个。

图 6 用于示出重复单元 PU 中扫描线接垫 G 以及数据线接垫 D 的排列顺序, 且重复单元 PU 中扫描线接垫 G 以及数据线接垫 D 并非完全对齐。举例来说,
25 重复单元 PU 中扫描线接垫 G 以及数据线接垫 D 可以如图 5 所示分成第一排 L1 以及第二排 L2。图 5 中第一排 L1 中的第一个接垫在图 6 中为第一个接垫, 图 5 中第二排 L2 中的第一个接垫在图 6 中为第二个接垫, 图 5 中第一排 L1 中的第二个接垫在图 6 中为第三个接垫, 其他接垫的排列顺序也是以此类推。

在本实施例中, 如图 2A 所示, 沿着第一方向 E1 排列的像素 PX 的排数与
30 沿着第二方向 E2 排列的像素 PX 的排数的比为 X: Y。在本实施例中, 各像素

PX 包括 m 个子像素，其中 m 为正整数。在本实施例中，为了改善扫描线接垫 G 以及数据线接垫 D 之间的信号干扰问题，扫描线接垫 G 以及数据线接垫 D 符合式 1 的规则。

实施例 2

5 在实施例 2 中，像素阵列基板是以 HG2D 的方式驱动，各子像素重叠于两条数据线以及一条扫描线。在实施例 2 中，各扫描线接垫 G 电性连接至对应的一条扫描线，且不同条扫描线之间不直接通过扫描线接垫或栅极传输线而电性相连。在实施例 2 中，部分扫描线接垫 G 位于第一排 L1，且另一部分扫描线接垫 G 位于第二排 L2（如图 5 所示），部分扫描线接垫 G 属于第一金属层，且另一部分扫描线接垫 G 属于第二金属层。在实施例 2 中， a 为 1，且 k 为 2，且 h 为 1。

X: Y 为 16: 9。各像素 PX 包括 3 个子像素，即 m 为 3。像素阵列基板具有 3 个扫描线信号晶片，即 n 为 3。

15 在实施例 2 中，以式 1 计算每个重复单元 PU 中的扫描线接垫 G 以及数据线接垫 D 的数量总合 U ， $U = 1 \times (2 \times 3 \times 16 + 1 \times 3 \times 9) = 123$ ，意即每个重复单元 PU 中的扫描线接垫 G 以及数据线接垫 D 的数量总合 U 为 123 个。

在实施例 2 中，为了使扫描线接垫 G 以及数据线接垫 D 能更均匀的分散，在排列方向 RD 上相邻的两个扫描线接垫 G 之间的数据线接垫 D 的数量 R 符合式 2 的规则。

20 在实施例 2 中， $R = 2 \times 3 \times 1$ 至 $2 \times 3 \times 3$ ，意即相邻的两个扫描线接垫 G 之间的数据线接垫 D 的数量介于 6 至 18 个。

图 7 是依照本发明的一实施例的一种像素阵列基板的上视示意图。在此必须说明的是，图 7 的实施例沿用图 2A 的实施例的元件标号与部分内容，其中采用相同或近似的标号来表示相同或近似的元件，并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施例，在此不赘述。

25 图 7 的像素阵列基板 30 与图 2A 的像素阵列基板 10 的差异在于：在像素阵列基板 30 是以 1G1D (one-gate one-data line) 的方式驱动，各子像素（红色子像素 P1、绿色子像素 P2 以及蓝色子像素 P3）重叠于数据线 210 中对应的一条以及扫描线 110 中对应的一条。

30 图 8 是依照本发明的实施例 3 的一种扫描线接垫与数据线接垫的排列顺

序的示意图。

扫描线接垫 G 以及数据线接垫 D (例如第一数据线接垫、第二数据线接垫及第三数据线接垫) 在排列方向 RD 上排列成多个重复单元 PU, 且每个重复单元 PU 中的扫描线接垫 G 以及数据线接垫 D 的数量总合为 U 个。

5 图8用于示出重复单元PU中扫描线接垫G以及数据线接垫D的排列顺序, 且重复单元PU中扫描线接垫G以及数据线接垫D并非完全对齐。举例来说, 重复单元PU中扫描线接垫G以及数据线接垫D可以如图5所示分成第一排L1以及第二排L2。图1中第一排L1中的第一个接垫在图8中为第一个接垫, 图5中第二排L2中的第一个接垫在图8中为第二个接垫, 图5中第一排L1
10 中的第二个接垫在图8中为第三个接垫, 其他接垫的排列顺序也是以此类推。

在本实施例中, 如图7所示, 沿着第一方向E1排列的像素PX的排数与沿着第二方向E2排列的像素PX的排数的比为X:Y。在本实施例中, 各像素PX包括m个子像素, 其中m为正整数。在本实施例中, 为了改善扫描线接垫G以及数据线接垫D之间的信号干扰问题, 扫描线接垫G以及数据线接垫D
15 符合式1的规则。

实施例3

在实施例3中, 像素阵列基板是以1G1D的方式驱动, 各子像素重叠于一条数据线以及一条扫描线。在实施例3中, 各扫描线接垫G电性连接至对应的一条扫描线, 且不同条扫描线之间不直接通过扫描线接垫或栅极传输线而
20 电性相连。在实施例3中, 部分扫描线接垫G位于第一排L1, 且另一部分扫描线接垫G位于第二排L2(如图5所示), 部分扫描线接垫G属于第一金属层, 且另一部分扫描线接垫G属于第二金属层。在实施例3中, a为1, 且k为1, 且h为1。

X:Y为16:9。各像素PX包括3个子像素, 即m为3。像素阵列基板具有3个扫描线信号晶片, 即n为3。
25

在实施例3中, 以式1计算每个重复单元PU中的扫描线接垫G以及数据线接垫D的数量总合U, $U = 1 \times (1 \times 3 \times 16 + 1 \times 3 \times 9) = 75$, 意即每个重复单元PU中的扫描线接垫G以及数据线接垫D的数量总合U为75个。

在实施例3中, 为了使扫描线接垫G以及数据线接垫D能更均匀的分散, 在排列方向RD上相邻的两个扫描线接垫G之间的数据线接垫D的数量R符合
30

式 2 的规则。

在实施例 3 中， $R = 2 \times 3 \times 1$ 至 $2 \times 3 \times 2$ ，意即相邻的两个扫描线接垫 G 之间的数据线接垫 D 的数量介于 6 至 12 个。

图 9 是依照本发明的一实施例的一种像素阵列基板的上视示意图。图 10A 是图 9 线 aa' 的剖面示意图。图 10B 是图 9 线 bb' 的剖面示意图。在此必须说明的是，图 9 的实施例沿用图 5 的实施例的元件标号与部分内容，其中采用相同或近似的标号来表示相同或近似的元件，并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施例，在此不赘述。

请参考图 9，在像素阵列基板 30 中，扫描线接垫 G 皆位于同一排，举例来说，扫描线接垫 G 皆位于第一排 L1 或扫描线接垫 G 皆位于第二排。在本实施例中，位于第一排 L1 的接垫（包括扫描线接垫 G 以及数据线接垫 D）属于第一金属层 M1，而位于第二排 L2 的接垫（包括数据线接垫 D）属于第二金属层 M2。在其他实施例中，位于第二排 L2 的接垫属于第一金属层 M1，而于第一排 L1 的接垫属于第二金属层 M2。在本实施例中，所有扫描线接垫 G 在排列方向 RD 上彼此对齐。

在本实施例中，扫描线接垫 G 皆属于第一金属层 M1，因此，可以减少不同条扫描线 110 因为转接结构（例如由第一金属层 M1 转接至第二金属层 M2 的转接结构）而导致信号出现偏移的问题。

第一金属层 M1 位于基板 SB 上。栅绝缘层 GI 覆盖第一金属层 M1。在属于第一金属层 M1 的接垫（例如扫描线接垫 G）上的栅绝缘层 GI 具有通孔 TH1。平坦层 PL 位于栅绝缘层 GI 上，且在属于第一金属层 M1 的接垫（例如扫描线接垫 G）上以及在属于第二金属层 M2 的接垫（例如第三数据线接垫 D3）上具有通孔 TH2。

在一些实施例中，多个导电结构 CP 填入通孔 TH1 以及通孔 TH2 中，以分别电性连接至对应的扫描线接垫 G 以及第三数据线接垫 D3。导电结构 CP 的材料例如包括金属氧化物。

实施例 4

在实施例 4 中，像素阵列基板是以 HG2D 的方式驱动，各子像素重叠两条数据线以及一条扫描线。在实施例 4 中，各扫描线接垫 G 电性连接至对应的两条扫描线。在实施例 4 中，所有扫描线接垫 G 皆属于同一金属层（例如由

第一金属层或第二金属层)。在实施例 4 中, a 为 2, 且 k 为 4, 且 h 为 1。

X: Y 为 16: 9。各像素 PX 包括 3 个子像素, 即 m 为 3。像素阵列基板具有 3 个扫描线信号晶片, 即 n 为 3。

在实施例 4 中, 以式 1 计算每个重复单元 PU 中的扫描线接垫 G 以及数据
5 线接垫 D 的数量总合 U, $U = 2 \times (4 \times 3 \times 16 + 1 \times 3 \times 9) = 438$, 意即每个重复单元 PU 中的扫描线接垫 G 以及数据线接垫 D 的数量总合 U 为 438 个。

在实施例 4 中, 为了使扫描线接垫 G 以及数据线接垫 D 能更均匀的分
散, 在排列方向 RD 上相邻的两个扫描线接垫 G 之间的数据线接垫 D 的数量 R 符合式 3 的规则。

10 式 3:

$$R = 2 \times m \times N + 1$$

在式 3 中, N 为 1 至 k+1 之间的整数。

在实施例 4 中, $R = 2 \times 3 \times 1 + 1$ 至 $2 \times 3 \times 5 + 1$, 意即相邻的两个扫描线接
垫 G 之间的数据线接垫 D 的数量介于 7 至 31 个。

15

工业应用性

本发明提供一种像素阵列基板, 能改善扫描线接垫以及数据线接垫之间
信号互相干扰的问题。

权利要求书

1. 一种像素阵列基板，其特征在于，包括：
多个扫描线接垫以及多个数据线接垫，位于一基板上；
多条扫描线，沿着一第一方向延伸；
5 多条数据线以及多条栅极传输线，沿着一第二方向延伸，其中该些数据线电性连接至该些数据线接垫，且该些扫描线通过该些栅极传输线电性连接至该些扫描线接垫；
多个像素，位于该基板上，其中沿着该第一方向排列的该些像素的排数与沿着该第二方向排列的该些像素的排数的比为 $X:Y$ ，其中各该像素包括 m
10 个子像素，且该些子像素电性连接至该些扫描线以及该些数据线；
至少一个数据线信号晶片以及至少一个扫描线信号晶片，该至少一个数据线信号晶片电性连接至该些数据线接垫，且该至少一个扫描线信号晶片电性连接至该些扫描线接垫，其中
该些扫描线接垫以及该些数据线接垫在一排列方向上排列成多个重
15 复单元，且各该重复单元中的该些扫描线接垫以及该些数据线接垫的数量总合为 U 个，其中 $U = a \times (k \times m \times X + h \times n \times Y)$ ，其中 n 为该至少一个扫描线信号晶片的数量，且 a 、 k 以及 h 为正整数。
2. 如权利要求 1 所述的像素阵列基板，其特征在于，各该子像素重叠于该些数据线中对应的两条以及该些扫描线中对应的一条，且各该扫描线接垫
20 电性连接至对应的两条扫描线。
3. 如权利要求 2 所述的像素阵列基板，其特征在于，部分该些扫描线接垫以及部分该些数据线接垫属于第一金属层，且另一部分该些扫描线接垫以及另一部分该些数据线接垫属于第二金属层，其中 a 为 1、 k 为 4 且 h 为 1。
4. 如权利要求 3 所述的像素阵列基板，其特征在于，在该排列方向上相
25 邻的两个该些扫描线接垫之间具有 R 个该些数据线接垫， $R = 2 \times m \times N$ ，且 N 为 1 至 $k+1$ 之间的整数。
5. 如权利要求 2 所述的像素阵列基板，其特征在于，该些扫描线接垫皆属于同一层金属层，其中 a 为 2、 k 为 4 且 h 为 1。
6. 如权利要求 5 所述的像素阵列基板，其特征在于，在该排列方向上相
30 邻的两个该些扫描线接垫之间具有 R 个该些数据线接垫， $R = 2 \times m \times N + 1$ ，且 N

为 1 至 $k+1$ 之间的整数。

7. 如权利要求 5 所述的像素阵列基板，其特征在于，这些扫描线接垫在该排列方向上彼此对齐。

8. 如权利要求 1 所述的像素阵列基板，其特征在于，各该子像素重叠于这些数据线中对应的两条以及这些扫描线中对应的一条，且不同条这些扫描线之间不直接通过这些扫描线接垫或这些栅极传输线而电性相连，其中 a 为 1、 k 为 2 且 h 为 1。

9. 如权利要求 8 所述的像素阵列基板，其特征在于，在该排列方向上相邻的两个这些扫描线接垫之间具有 R 个这些数据线接垫， $R=2 \times m \times N$ ，且 N 为 1 至 $k+1$ 之间的整数。

10. 如权利要求 1 所述的像素阵列基板，其特征在于，各该子像素重叠于这些数据线中对应的一条以及这些扫描线中对应的一条，其中 a 为 1、 k 为 1 且 h 为 1。

11. 如权利要求 10 所述的像素阵列基板，其特征在于，在该排列方向上相邻的两个这些扫描线接垫之间具有 R 个这些数据线接垫， $R=2 \times m \times N$ ，且 N 为 1 至 $k+1$ 之间的整数。

12. 如权利要求 1 所述的像素阵列基板，其特征在于，更包括：
多条第一扇出线，电性连接这些扫描线接垫至这些栅极传输线；以及
多条第二扇出线，电性连接这些数据线接垫至这些数据线，其中这些第一扇出线与这些第二扇出线互不重叠。

13. 一种像素阵列基板，其特征在于，包括：
多个扫描线接垫、多个第一数据线接垫、多个第二数据线接垫以及多个第三数据线接垫，位于一基板上，其中这些扫描线接垫、这些第一数据线接垫、这些第二数据线接垫以及这些第三数据线接垫在一排列方向上排列；

多条扫描线，沿着一第一方向延伸；

多条数据线以及多条栅极传输线，沿着一第二方向延伸，其中这些扫描线通过这些栅极传输线电性连接至这些扫描线接垫，且这些数据线电性连接至这些第一数据线接垫、这些第二数据线接垫以及这些第三数据线接垫；

多个红色子像素、多个绿色子像素以及多个蓝色子像素，电性连接至这些扫描线以及这些数据线，其中这些红色子像素电性连接至这些第一数据线

接垫，这些绿色子像素电性连接至这些第二数据线接垫，且这些蓝色子像素电性连接至这些第三数据线接垫，其中在该排列方向上位于这些第一数据线接垫与这些第二数据线接垫之间或这些第三数据线接垫与这些第二数据线接垫之间的这些扫描线接垫的数量少于位于这些第一数据线接垫与这些第三数据线接垫之间的这些扫描线接垫的数量；

至少一个薄膜覆晶封装电路，包括至少一个数据线信号晶片以及至少一个扫描线信号晶片，该至少一个数据线信号晶片电性连接至这些第一数据线接垫、这些第二数据线接垫以及这些第三数据线接垫，且该至少一个扫描线信号晶片电性连接至这些扫描线接垫。

10 14. 如权利要求 13 所述像素阵列基板，其特征在于，该至少一个薄膜覆晶封装电路包括：

一第一绝缘层、一第二绝缘层以及一第三绝缘层，依序重叠，且至该至少一个数据线信号晶片以及该至少一个扫描线信号晶片位于该第一绝缘层上；

15 一第一导线层，位于该第二绝缘层以及该第一导电层之间；

一第二导线层，位于该第二绝缘层以及该第三导电层之间

多个第一连接结构，贯穿该第一绝缘层，且电性连接至该第一导线层；

多个第二连接结构，贯穿该第一绝缘层以及该第二绝缘层，且电性连接至该第二导线层；

20 多个第三连接结构，贯穿该第二绝缘层以及该第三导电层，且电性连接至该第一导线层；以及

多个第四连接结构，贯穿该第三绝缘层，且电性连接至该第二导线层，其中该至少一个数据线信号晶片电性连接至该第一导电层与该第二导电层中的一者，且该至少一个扫描线信号晶片电性连接至该第一导电层与该第二导电层中的另一者。

25