

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 12 月 5 日 (05.12.2024)



(10) 国际公布号
WO 2024/244787 A1

(51) 国际专利分类号:
H10K 59/131 (2023.01)

成都市高新区(西区)合作路 1188 号,
Sichuan 611731 (CN)。

(21) 国际申请号: PCT/CN2024/088421

(72) 发明人:张跳梅(ZHANG, Tiaomei); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。于子阳(YU, Ziyang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。赵攀(ZHAO, Pan); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。赵二瑾(ZHAO, Erjin); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王梦奇(WANG, Mengqi); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。吴建鹏(WU, Jianpeng); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。蒋志亮(JIANG, Zhiliang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(22) 国际申请日: 2024 年 4 月 17 日 (17.04.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310629298.1 2023 年 5 月 30 日 (30.05.2023) CN

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省

(54) Title: ARRAY SUBSTRATE, DISPLAY PANEL AND DISPLAY DEVICE

(54) 发明名称: 阵列基板、显示面板及显示装置

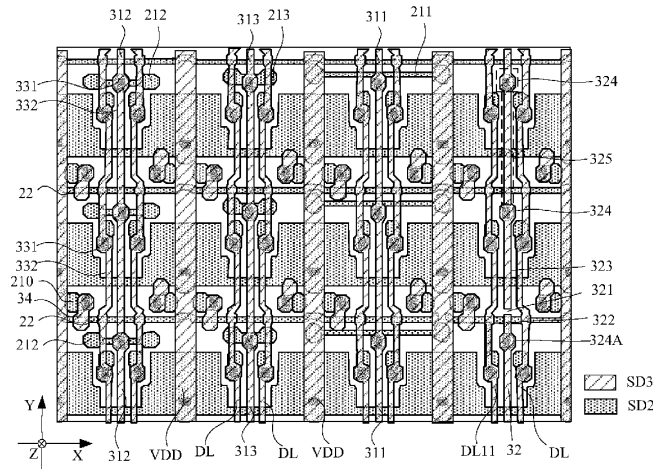


图 10

(57) Abstract: An array substrate. The array substrate comprises a base, a plurality of pixel circuits, a first wiring layer, a bridge line layer and a second wiring layer. The first wiring layer comprises first initialization signal lines, second initialization signal lines and third initialization signal lines. Each row of pixel circuits is electrically connected to one first initialization signal line, one second initialization signal line and one third initialization signal line. The bridge line layer comprises a plurality of columns of adapter blocks and a plurality of first fanout lines. The second wiring layer comprises a plurality of connecting lines, a plurality of data lines and a plurality of second fanout lines. Each connecting line is electrically connected to at least one of the plurality of first initialization signal lines, the plurality of second initialization signal lines and the plurality of third initialization signal lines by means of one column of adapter blocks. The plurality of data lines comprise a plurality of first data lines, the first data lines are located in a display area, and the end of each second fanout line close to a fanout area extend to the fanout area; and one first fanout line is electrically connected

[见续页]

(CN)。胡明(HU, Ming); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人:北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。
to one first data line and one second fanout line separately.

(57) 摘要: 一种阵列基板。阵列基板包括衬底、多个像素电路、第一走线层、桥线层和第二走线层。第一走线层包括第一初始化信号线、第二初始化信号线和第三初始化信号线。每行像素电路与一条第一初始化信号线、一条第二初始化信号线和一条第三初始化信号线电连接。桥线层包括多列转接块和多条第一扇出线。第二走线层包括多条连接线、多条数据线和多条第二扇出线。每条连接线通过一列转接块与多条第一初始化信号线、多条第二初始化信号线和多条第三初始化信号线中的至少一者电连接。多条数据线包括多条第一数据线, 第一数据线位于显示区, 第二扇出线靠近扇出区的一端延伸至扇出区; 一条第一扇出线分别与一条第一数据线电连接和一条第二扇出线电连接。