

Description

Titre de l'invention : Super réseau obtenu par transfert de couche, structure et procédé de fabrication

DOMAINE TECHNIQUE DE L'INVENTION

- [0001] L'invention concerne d'une manière générale les super réseaux, ou « superlattices » en terminologie anglaise, qui sont constitués d'au moins un empilement périodique de couches de faibles épaisseurs. L'invention concerne plus particulièrement les super réseaux incluant des couches de matériaux semi-conducteurs.

ARRIERE PLAN TECHNOLOGIQUE

- [0002] Les super réseaux ont attiré l'attention pour leurs propriétés mécaniques, semiconductrices, ou encore pour la possibilité qu'ils offrent de former des boîtes quantiques.
- [0003] Ils sont également employés pour le développement de transistors dits transistors à nanofeuilles, aussi désignés comme Nanosheet transistors ou GAAFET pour Gate-all-around Field-Effect Transistors en terminologie anglaise, dont les canaux de conduction sont formés d'un empilement de couches d'épaisseurs nanométriques chacune entourées d'un métal de grille, comme décrit dans les brevets US 10,249,739 B2 et US 11,018,222 B1. Il s'agit de structures semiconductrices à grille enveloppante, ou GAA pour Gate-All-Around en terminologie anglaise.
- [0004] Ce principe a été repris pour former des transistors dits CFET, pour Complementary Field Effect Transistor en terminologie anglaise, présentant une structure tridimensionnelle formée en utilisant une paire de super réseaux empilés : un premier super réseau formé sur un substrat est employé pour former un transistor de type p tandis qu'un second super réseau formé sur le premier super réseau est employé pour former un transistor de type n, ou vice-versa. Cette structure tridimensionnelle est avantageuse en termes d'intégration par rapport aux approches conventionnelles utilisées pour mettre en œuvre la technologie CMOS, laquelle emploie d'ordinaire des transistors de types p et des transistors de type n fabriqués côte-à-côte dans un même plan. En particulier, l'approche CFET permet par principe de diviser par deux l'encombrement d'une paire de transistors de types p et n, ou encore de raccourcir les connexions entre les deux transistors et donc de réduire la résistance électrique des connexions correspondantes. Cette approche est décrite par exemple dans les documents US 2019/0319095 A1, US 2021/0104523 A1, et US 2023/0326925 A1.
- [0005] Le document US 2021/082901 A1 discute de l'assemblage d'empilements multicouches formés sur des substrats distincts ou non.

- [0006] Le document FR 2 857 983 A1 divulgue un procédé de fabrication d'une couche épitaxiée, incluant l'élimination du substrat support.
- [0007] Qu'il s'agisse de transistors Nanosheet ou de transistors CFET, les procédés de fabrications considérés impliquent la fabrication de super réseaux comprenant des empilements de deux types de matériaux en alternance : l'un est prévu pour former les régions de canal des transistors, l'autre pour former des couches sacrificielles destinées à être éliminées pour être remplacées par une structure de diélectrique de grille et de métal de grille au cours de la fabrication des transistors.
- [0008] La fabrication de transistors CFET requiert l'empilement de transistors de deux types, type n et type p, l'un sur l'autre. Deux approches sont possibles.
- [0009] La première approche est dite « séquentielle », dans le sens où les transistors des deux types sont formés séquentiellement, au cours d'étapes distinctes. Dans cette approche, on transfère une structure semiconductrice en silicium ou autre matériau semiconducteur, ou encore un super réseau destiné à former des seconds transistors Nanosheet, sur un substrat semiconducteur déjà porteur, par exemple de premiers transistors Nanosheet. Dans un premier temps, on forme les premiers transistors sur le substrat, puis on transfère sur celui-ci la structure semiconductrice, dans laquelle les seconds transistors sont alors formés. Le budget thermique pour le procédé de transfert de la structure semiconductrice et pour la formation des seconds transistors est limité par la nécessité de ne pas dégrader les premiers transistors. En outre, le contrôle de l'alignement des seconds transistors avec les premiers transistors doit être extrêmement strict et des structures de contact électrique spécifiques entre les deux étages doivent être prévues.
- [0010] La seconde approche est dite « monolithique », dans le sens où les premiers et les seconds transistors sont formés sur un même substrat, au moins une partie des étapes de fabrication s'appliquant simultanément à l'ensemble des couches dans lesquelles les premiers et les seconds transistors sont formés. On pourra se reporter au document US 2019/0319095 A1. Un des principaux avantages de cette approche est l'auto-alignement des seconds transistors sur les premiers transistors, qui permet une plus haute densité de transistors sur le substrat, et réduit les capacités parasites et les résistances entre les premiers et les seconds transistors.
- [0011] L'approche monolithique requiert des super réseaux plus épais comme structure de départ que l'approche séquentielle, puisque ces super réseaux forment la structure de base de deux transistors superposés fabriqués simultanément. Les super réseaux sont généralement fabriqués par épitaxie. Or, le nombre de couches empilables pour la formation de ces super réseaux est limité par l'épaisseur critique d'épitaxie, épaisseur au-delà de laquelle la qualité des couches déposées se dégrade en raison de phénomènes de relaxation élastique et/ou de relaxation plastique. L'approche

monolithique se rapproche de et pourrait requérir de dépasser l'épaisseur critique d'épitaxie.

- [0012] Ainsi, il y a un besoin de structures de super réseaux comprenant des couches en nombre et de qualité suffisante pour garantir l'homogénéité et les performances de transistors formés à partir de ces couches. En outre, les procédés de fabrication de transistors CFET requièrent des structures de base facilitant et fiabilisant leur fabrication, et, si possible, améliorant les caractéristiques des dispositifs obtenus, en particulier la miniaturisation, les capacités parasites, ou encore les résistances électriques des connexions.

Exposé de l'invention

- [0013] L'objectif du déposant est de fournir un procédé de fabrication d'une structure apte à faciliter l'intégration et la production de transistors Nanosheet, et optionnellement de transistors CFET, c'est-à-dire des transistors de type p et des transistors de type n superposés. Plus généralement, le procédé selon l'invention a pour but de former des super réseaux d'épaisseur ou de nombre de couches arbitraires.
- [0014] En vue de la réalisation de ce but, un aspect de l'invention est un procédé de fabrication d'une structure comprenant au moins un super réseau, comprenant les étapes de : former un premier super réseau sur un premier substrat, par empilement d'une pluralité de premières couches de canal en alternance avec une pluralité de premières couches sacrificielles ; former une première couche de recouvrement sur le premier super réseau ; former au moins une seconde couche sacrificielle sur un second substrat ; former une seconde couche de recouvrement sur la au moins une seconde couche sacrificielle ; former un plan de fragilisation du substrat porteur par implantation d'ions d'une espèce légère dans le substrat donneur à travers la au moins une seconde couche sacrificielle et la seconde couche de recouvrement et assembler la au moins une couche sacrificielle au premier super réseau par mise en contact de la seconde couche de recouvrement avec la première couche de recouvrement qui forment ensemble une couche de liaison, le premier super réseau, la couche de liaison et la au moins une couche sacrificielle étant empilés dans cet ordre, fracturer le substrat donneur au niveau du plan de fragilisation et retirer une partie du substrat donneur après l'étape d'assemblage,
- [0015] dans lequel la première couche de recouvrement et la seconde couche de recouvrement ont chacune une épaisseur inférieure à 2 nm.
- [0016] Un premier avantage du procédé est de fournir un empilement de super réseaux pouvant être soit identiques soit distincts en composition et/ou en orientation.
- [0017] Un second avantage du procédé est la possibilité de dépasser l'épaisseur critique d'épitaxie pour les structures obtenues, qui limite le nombre et l'épaisseur de couches

pouvant être épitaxiées les unes sur les autres sans perdre en qualité dans les structures cristallines de ces couches.

- [0018] Un troisième avantage du procédé réside dans la fourniture au sein même de l'empilement d'une couche de liaison entre deux super réseaux, cette couche pouvant être éliminée au cours du même procédé que celui de l'élimination de couches sacrificielles incluses dans les super réseaux.
- [0019] Ainsi, le procédé de fabrication selon l'invention est apte à la production de structures pouvant servir de base à un procédé monolithique de production d'un circuit électronique intégrant des transistors Nanosheet ou des transistors CFET.
- [0020] Selon des caractéristiques additionnelles non-limitatives du procédé selon l'invention, considérées individuellement ou selon toute combinaison techniquement réalisable :
- [0021] - l'étape de former au moins une seconde couche sacrificielle sur le second substrat peut consister à former un second super réseau par empilement d'une pluralité de secondes couches de canal en alternance avec une pluralité de secondes couches sacrificielles ;
- [0022] - l'étape de former au moins une seconde couche sacrificielle sur le second substrat peut consister à former une couche d'amorce, le procédé pouvant en outre comprendre une étape de formation d'un second super réseau sur la couche d'amorce après l'étape d'assemblage, par empilement d'une pluralité de secondes couches de canal en alternance avec une pluralité de secondes couches sacrificielles ;
- [0023] - la couche de liaison peut être continûment formée dans un plan parallèle à une surface du premier substrat sur laquelle le premier super réseau est formé ;
- [0024] - les premières couche de canal et les secondes couches de canal peuvent chacune être formées d'un matériau semiconducteur, et les premières couches sacrificielles et les secondes couches sacrificielles peuvent chacune être formées d'un matériau susceptible de présenter une vitesse de gravure plus rapide que les premières couche de canal et les secondes couches de canal, respectivement ;
- [0025] - les couches sacrificielles en contact direct avec la couche de liaison peuvent chacune présenter une épaisseur égale ou inférieure à la moitié des épaisseurs des autres couches sacrificielles ;
- [0026] - le procédé peut en outre comprendre une étape d'élimination d'au moins une partie du second substrat après l'étape d'assemblage ;
- [0027] - le procédé peut en outre comprendre une étape de dégagement d'une couche de canal du second super réseau après l'étape de retrait du second substrat ;
- [0028] - la première couche de recouvrement et la seconde couche de recouvrement peuvent chacune être formées de silicium ;

- [0029] - l'une de la première couche de recouvrement et de la seconde couche de recouvrement peut être formée de silicium amorphe et l'autre peut être formée de silicium cristallin ;
- [0030] - le procédé peut en outre comprendre une étape de formation d'au moins une couche d'arrêt d'attaque sur le second substrat avant la formation de la couche d'amorce ;
- [0031] - la au moins une couche d'arrêt d'attaque peut comprendre une couche d'un même matériau que la couche d'amorce ;
- [0032] - les premières couches de canal peuvent être formées de silicium ; les premières couches sacrificielles peuvent être formées d'un premier alliage de silicium et de germanium ; la première couche de recouvrement peut être formée sur et en contact direct avec une des couches sacrificielles du premier super réseau ; la seconde couche sacrificielle peut être formée d'un second alliage de silicium et de germanium ; la seconde couche de recouvrement peut être formée sur et en contact direct avec la au moins une seconde couche sacrificielle ; et la première couche de recouvrement et la seconde couche de recouvrement peuvent chacune être formées de silicium.
- [0033] L'invention s'étend à une structure d'un empilement de super réseaux, comprenant : un substrat porteur ; un premier super réseau sur le substrat porteur ; une couche de liaison sur le premier super réseau, formée d'une première couche de recouvrement et d'une seconde couche de recouvrement ; et un deuxième super réseau sur la couche de liaison, dans laquelle la première couche de recouvrement et la seconde couche de recouvrement ont chacune une épaisseur inférieure à 2 nm.
- [0034] Selon des caractéristiques additionnelles non-limitative de la structure selon l'invention, considérées individuellement ou selon toute combinaison techniquement réalisable :
- [0035] - la couche de liaison peut être continûment formée dans un plan parallèle à une surface du substrat porteur supportant le premier super réseau ;
- [0036] - le premier super réseau peut être formé d'un empilement d'une pluralité de premières couches de canal en alternance avec une pluralité de premières couches sacrificielles ; le second super réseau peut être formé d'un empilement d'une pluralité de secondes couches de canal en alternance avec une pluralité de secondes couches sacrificielles ; les premières couche de canal et les secondes couches de canal peuvent chacune être formées d'un matériau semiconducteur, et les premières couches sacrificielles et les secondes couches sacrificielles peuvent chacune être formées d'un matériau susceptible de présenter une vitesse de gravure plus rapide que les premières couche de canal et les secondes couches de canal, respectivement ;
- [0037] - l'une de la première couche de recouvrement et de la seconde couche de recouvrement peut être formée de silicium cristallin et l'autre de la première couche de

recouvrement et de la seconde couche de recouvrement peut être formée de silicium amorphe ; et

- [0038] - les couches sacrificielles en contact direct avec la couche de liaison peuvent chacune présenter une épaisseur égale ou inférieure à la moitié des épaisseurs des autres couches sacrificielles.

BREVE DESCRIPTION DES FIGURES

- [0039] D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée de l'invention qui va suivre en référence aux figures annexées sur lesquels :
- [0040] [Fig.1] La [Fig.1] illustre un premier procédé de fabrication selon l'invention ;
- [0041] [Fig.2] La [Fig.2] illustre une suite du procédé de la [Fig.1] ;
- [0042] [Fig.3] La [Fig.3] illustre des variantes de structures pouvant être obtenues par le procédé des figures 1 et 2 ;
- [0043] [Fig.4] La [Fig.4] illustre un détail de l'une des variantes des couche de liaison de la [Fig.3] ;
- [0044] [Fig.5] La [Fig.5] illustre un intérêt des structures de la [Fig.3] dans la fabrication de transistors Nanosheet ou CFET ;
- [0045] [Fig.6] La [Fig.6] est un diagramme résumant le procédé de fabrication des figures 1 et 2 ;
- [0046] [Fig.7] La [Fig.7] illustre un second procédé de fabrication selon l'invention ;
- [0047] [Fig.8] La [Fig.8] illustre une suite du procédé de la [Fig.7] ; et
- [0048] [Fig.9] La [Fig.9] est un diagramme résumant le procédé de fabrication des figures 7 et 8.

DESCRIPTION DETAILLEE DE L'INVENTION

- [0049] Premier mode de réalisation
- [0050] Un premier mode de réalisation de la présente invention est décrit au moyen des figures 1 à 6 et de la description associée ci-dessous.
- [0051] La [Fig.3] illustre en (A) une structure Strc formée d'un substrat porteur Car, d'un premier super réseau Stck1, d'une couche Bnd de liaison, et d'un second super réseau Stck2, empilés dans cet ordre. Le premier super réseau Stck1 comprend une pluralité de premières couches Ch1 empilées en alternance avec une pluralité de premières couches Sac1, de préférence de sorte que chaque première couche Ch1 soit interposée entre et en contact direct avec deux des premières couches Sac1. Le second super réseau Stck2 comprend une pluralité de secondes couches Ch2 empilées en alternance avec une pluralité de secondes couches Sac2, de préférence de sorte que chaque seconde couche Ch2 soit interposée entre et en contact direct avec deux des secondes couches Sac2.

- [0052] Les premières couche Ch1 et les secondes couches Ch2 sont des couches formées d'au moins un matériau semiconducteur destiné à former des régions de canal de transistors et peuvent être désignées comme les premières couches Ch1 de canal et les secondes couches Ch2 de canal, respectivement. Ces couches de canal peuvent être formées d'un même matériau, ou de matériaux différents.
- [0053] Les premières couches Sac1 et les secondes couches Sac2 sont des couches formées d'au moins un matériau susceptible de présenter des vitesses de gravures plus rapides que les premières couche Ch1 et les secondes couches Ch2, et peuvent être désignées comme les premières couches Sac1 sacrificielles et les secondes couches Sac2 sacrificielles, respectivement. Ces couches sacrificielles peuvent être formées d'un même matériau, ou de matériaux différents. En particulier, les couches Sac1 peuvent avoir une composition $\text{Si}_{1-x}\text{Ge}_x$ et les couches Sac2 peuvent avoir une composition $\text{Si}_{1-y}\text{Ge}_y$ où x et y représentent les proportions de germanium dans les couches Sac1 et Sac2, respectivement, avec x pouvant être différent de ou égal à y. Ces couches Sac1 et Sac2 d'alliage SiGe peuvent être associées à des couches Ch1 et Ch2 de silicium, grâce à la compatibilité de croissance par épitaxie de ces deux matériaux qui possèdent un paramètre de maille assez proche. Les proportions x et y sont de préférences inférieures à 40%, par exemple comprises entre 15% et 35%.
- [0054] Les secondes couches Sac1 et Sac2 sont destinées à servir de couches sacrificielles dans une procédure de formation de transistors Nanosheet, au cours de laquelle, les couches Sac1 et Sac2 sont éliminées par gravure, pouvant être chimique, de manière à obtenir une structure de rubans flottants formés des couches Ch1 et Ch2. Ces rubans flottants seront par la suite entourés d'une couche de diélectrique de grille et d'un métal de grille de manière à former des transistors Nanosheet.
- [0055] Les figures 1, 2 et 6 illustrent un procédé de fabrication de la structure Strc, qui est basé avantageusement sur les fabrications séparées des deux super réseaux Stck1 et Stck2 sur deux substrats respectifs, puis le transfert du second super réseau Stck2 sur le premier super réseau Stck1. Les premier et second super réseaux comportent chacun au moins deux couches de canal Ch1 et Ch2, respectivement. La [Fig.6] représente un diagramme schématisant les étapes du procédé 600 de fabrication.
- [0056] La [Fig.1] illustre en (A) la formation du premier super réseau Stck1 sur un substrat porteur Car, au cours d'une étape 610_{Car}. Dans le cadre de cet exemple, le substrat porteur Car est constitué d'un wafer de silicium monocristallin. Sur une surface S_{Car} du substrat Car, on fait croître par épitaxie des couches Ch1 de silicium Si de 5 à 15 nm d'épaisseur, de préférence de 7 à 10 nm d'épaisseur, en alternance avec des couches Sac1 d'un premier alliage de silicium et de germanium de formule $\text{Si}_{1-x}\text{Ge}_x$ de 5 à 10 nm d'épaisseur, de préférence de 6 à 9 nm d'épaisseur, et où x représente

le pourcentage de germanium dans l'alliage, de préférence en commençant et en terminant par une couche Sac1.

- [0057] Sur et en contact direct avec la dernière couche Sac1 on forme, au cours d'une étape 620_{Car}, une couche Cap1 de recouvrement, ici formée de silicium Si de structure cristalline ou amorphe et ayant pour fonction d'empêcher l'oxydation de la dernière couche Sac1. La couche Cap1 peut avoir une épaisseur inférieure à 2 nm ou 3 nm, par exemple comprise entre 0,5 et 2 nm, préféablement entre 1 et 2 nm, pour des raisons qui seront expliquées plus bas, au moyen de la [Fig.5].
- [0058] La [Fig.1] illustre en (B) la formation du second super réseau Stck2 sur un substrat donneur Don, au cours d'une étape 620_{Don}. Dans le cadre de cet exemple, le substrat donneur Don est constitué d'un wafer de silicium monocristallin.
- [0059] Sur une surface S_{Don} du substrat Don, on fait croître par épitaxie des couches Ch2 de silicium Si de 5 à 15 nm d'épaisseur, de préférence de 7 à 10 nm d'épaisseur, en alternance avec des couches Sac2 du premier alliage de silicium et de germanium de formule Si_{1-x}Ge_x de 5 à 10 nm d'épaisseur, de préférence de 6 à 9 nm d'épaisseur. Préférentiellement, la croissance est mise en œuvre de sorte qu'on commence et on termine par une couche sacrificielle Sac2. Sur et en contact direct avec la dernière couche Sac2, on forme une couche Cap2 de recouvrement, faite de silicium de structure amorphe ou cristalline, au cours d'une étape 630_{Don}. De préférence, l'une des couches de silicium Cap1 et Cap2 présente une structure amorphe tandis que l'autre présente une structure cristalline afin de faciliter leur assemblage ultérieur par mise en contact direct. La couche Cap2 a pour fonction d'empêcher l'oxydation de la dernière couche Sac2. Cette couche Cap2 est cependant optionnelle, son intérêt dépendant de la facilité à s'oxyder du matériau constituant la dernière couche du second super réseau Stck2. La couche Cap2 peut avoir une épaisseur inférieure à 2 nm ou 3 nm, par exemple comprise entre 0,5 et 2 nm, préféablement entre 1 nm et 2 nm, pour des raisons qui seront expliquées plus bas, au moyen de la [Fig.5].
- [0060] Optionnellement, avant la formation du second super réseau Stck2, on peut former sur le substrat donneur Don une couche Stp formée par exemple du premier alliage de silicium et de germanium de formule Si_{1-x}Ge_x d'une épaisseur comprise entre 5 et 10 nm, au cours d'une étape 610_{Don}. Cette couche est une couche d'arrêt d'attaque et est destinée à protéger l'intégrité des couches du second super réseau Stck2 lors des étapes de fabrication suivant la fracture du substrat donneur décrite plus loin et illustrées par en (B) et (C) de la [Fig.2].
- [0061] La [Fig.1] illustre en (C) une implantation d'espèces légères comme de l'hydrogène, de l'hélium, ou une combinaison de telles espèces dans le substrat donneur Don à travers la surface S_{Don}, le second super réseau Stck2 et la couche de recouvrement

Cap2, de manière à former un plan de fragilisation Imp dans le substrat donneur Don, au cours d'une étape 640_{Don}.

- [0062] L'implantation est ici faite après la formation du second super réseau Stck2. Cet ordre des opérations apporte plusieurs avantages par rapport à l'ordre inverse. Notamment, la température de formation par épitaxie des couches du second super réseau n'est pas limitée par la présence du plan de fragilisation Imp, il est donc possible d'optimiser les paramètres de croissance des couches et de limiter le temps nécessaire à l'épitaxie, ce qui limite la diffusion du germanium dans la structure. Si l'implantation était réalisée avant la formation du second super réseau, il y aurait un risque de détachement involontaire du second super réseau au cours de sa formation en raison du budget thermique qu'elle impose à la couche de fragilisation, ce qui nécessiterait de limiter les températures lors de la croissance des couches. En outre, les deux super réseaux peuvent être formés selon les mêmes paramètres, et non selon deux jeux de paramètres dont l'un devant tenir compte de la présence d'un plan de fragilisation, ce qui favorise l'homogénéité de leurs caractéristiques et simplifie le processus de fabrication.
- [0063] A la suite de la formation du plan de fragilisation Imp, le substrat donneur Don est retourné et la couche de recouvrement Cap2 est mise en contact intime avec la couche de silicium Cap1 et y est assemblée, par exemple par collage moléculaire ou toute autre technique d'assemblage par mise en contact direct de surfaces d'éléments à assembler, de manière à obtenir la structure illustrée en (A) de la [Fig.2], au cours d'une étape 660 d'assemblage. La couche de liaison Bnd est formée à cette étape par collage des dernières couches formées respectivement sur le substrat porteur Car et sur le substrat donneur Don, et correspond à l'ensemble formé des couches Cap1 et Cap2 séparant le premier super réseau Stck1 et le second super réseau Stck2, comme illustré par la [Fig.3]. Cette couche de liaison Bnd chevauche de préférence en totalité le substrat donneur Don. En outre, la couche de liaison Bnd est continûment formée dans un plan parallèle à la surface S_{Car} du substrat porteur Car supportant le premier super réseau Stck1. Même si la couche de liaison ne chevauche pas rigoureusement la totalité du substrat porteur Car, elle est au moins formée continûment sur une zone prévue pour former un ensemble de composant semi-conducteurs tels que des transistors, éventuellement un ensemble de transistors Nanosheet ou de transistors CFET.
- [0064] Préférentiellement, les substrats support et donneur comportant respectivement les premier et second super réseaux sont sensiblement identiques. Ceci permet avantageusement de les réaliser facilement à grande échelle, facilitant ainsi leur industrialisation. Par ailleurs, des substrats support et donneur sensiblement identiques, permet avantageusement d'avoir une structure assemblée symétriques et ayant des coefficients de dilatation thermiques semblables, ce qui évite avantageusement les

problèmes de déformation mécaniques à la suite des étapes de collage et de traitements thermiques ultérieurs.

- [0065] A ce stade de la fabrication, les super réseaux Stck1 et Stck2 sont pris en sandwich entre le substrat porteur Car et le substrat donneur Don. Il convient de dégager ces super réseaux afin de les rendre accessibles. Cette opération 670 de dégagement est effectuée en deux étapes 670A et 670B successives qui permettront un accès direct au second super réseau Stck2. L'étape 670A consiste ici à retirer la majeure partie du substrat donneur tandis que l'étape 670B consiste à éliminer le reste du substrat donneur et mettre au jour la partie supérieure du second super réseau Stck2.
- [0066] La [Fig.2] illustre en (B) la fracture du substrat donneur Don au niveau du plan de fragilisation Imp obtenue par implantation ionique, de sorte qu'une partie Don_b est retirée de la structure illustrée en (A) tandis qu'une partie Don_a y reste fixée, au cours de l'étape 670A de fracture et de retrait. Cette fracture peut être obtenue par traitement thermique, éventuellement assisté d'une sollicitation mécanique d'amorce de la rupture, selon des techniques conventionnelles de transfert de couche bien connues dans le domaine de la microélectronique.
- [0067] A la suite de l'assemblage et de fracture du substrat donneur, on peut appliquer un traitement thermique de manière à consolider l'assemblage et guérir les couches assemblées. La température et la durée du traitement thermique sont limitées pour éviter de dépasser le budget thermique autorisé pour éviter ou au moins limiter la diffusion du germanium d'une couche à l'autre des super réseaux, et en particulier la contamination des couches de canal par le germanium sur l'intégralité de leurs épaisseurs. Le traitement thermique peut typiquement consister en un recuit de 2h ou moins à une température maximale de 750°C et préférentiellement inférieure à 700°C.
- [0068] Une alternative à la formation d'un plan de fragilisation et à la fracture du substrat donneur Don au niveau de ce plan peut consister en un amincissement du substrat donneur Don après son assemblage, par exemple par gravure, meulage et/ou polissage mécano-chimique (CMP pour Chemical Mechanical Polishing en terminologie anglaise). Cet amincissement peut être employé pour entièrement retirer le second substrat Don s'il est poussé par exemple jusqu'à la couche d'arrêt Stp.
- [0069] La [Fig.2] illustre en (C) la structure illustrée en (B) après qu'elle a été soumise à des attaques mécaniques et/ou chimiques d'élimination de la partie Don_a du substrat donneur Don, et de la couche d'arrêt d'attaque Stp, au cours de l'étape 670B. Ainsi, la couche Ch2 du second super réseau la plus éloignée du substrat porteur Car est dégagée au cours de cette étape.
- [0070] La structure en (C) de la [Fig.2] représente la structure Strc formée du substrat porteur Car, du premier super réseau Stck1, de la couche de recouvrement Cap1 formée de silicium, de la couche de recouvrement Cap2 formée de silicium, et du

second super réseau Stck2, empilés dans cet ordre. La couche de recouvrement Cap1 et la couche de recouvrement Cap2 forment une couche Bnd de liaison entre le premier super réseau Stck1 et le second super réseau Stck2, comme indiqué par la [Fig.3] en (A). Cette structure est prête à être soumise à un procédé monolithique de formation de transistors CFET.

- [0071] Les figures portent des indications « Si » ou « SiGe » aux emplacements de certaines couches, et notamment celles formant les super réseaux Stck1 et Stck2, afin d'augmenter leur lisibilité en indiquant leurs compositions pour un exemple donné. Ces indications ne sont cependant pas à interpréter comme limitant la nature des couches ainsi annotées. D'autres matériaux, et en particulier ceux cités dans cette description, pouvant être employées pour former ces couches.
- [0072] La [Fig.3] illustre en (A') une structure Stre' avec une particularité possible des couches entourant et en direct contact avec la couche de liaison Bnd.
- [0073] En (A) et en (A'), la couche de liaison Bnd est formée par collage de la couche Cap1 de recouvrement à la couche Cap2 de recouvrement, constituant respectivement les dernières couches formées sur le substrat porteur Car et sur le substrat donneur Don, en contact direct avec, respectivement, la dernière couche sacrificielle Sac1 ou Sac1₀ formée sur le substrat porteur Car et la dernière couche sacrificielle Sac2 ou Sac2₀ formée sur le substrat donneur Don. Les épaisseurs de ces dernières couches sacrificielles Sac1 (annotée Sac1₀ pour Stre') et Sac2 (annotée Sac2₀ pour Stre') peuvent par exemple être de même épaisseur que les autres couches Sac1 et Sac2, respectivement.
- [0074] Dans l'exemple représenté en (A), toutes les couches Sac1 et Sac2 sont de même épaisseur. Dans cette configuration, la distance séparant les couches Ch1 et Ch2 les plus proches l'une de l'autre et séparées par la couche Bnd est plus importante que les distances séparant deux couches Ch1 consécutives ou deux couches Ch2 consécutives dans l'empilement, puisque cette distance correspond à la somme des épaisseurs d'une couche Sac1, d'une couche Sac2 et de la couche Bnd.
- [0075] En A', les couches sacrificielles en contact direct avec la couche de liaison Bnd, identifiées comme Sac1₀ et Sac2₀, sont respectivement d'épaisseurs t_{Sac10} et t_{Sac20} plus faibles que les épaisseurs des autres couches sacrificielles Sac1 et Sac2 d'épaisseurs respectives t_{Sac1} et t_{Sac2} . Les couches Sac1₀ et Sac2₀ peuvent ainsi chacune présenter une épaisseur égale ou inférieure à la moitié des épaisseurs des autres couches sacrificielles Sac1 et Sac2, respectivement. De cette manière, l'épaisseur totale t_{tot} séparant les couches Ch1 et Ch2 les plus proches l'une de l'autre et séparées par la couche Bnd d'épaisseur t_{Bnd} peut se rapprocher de ou même être égale aux épaisseurs t_{Sac1} et t_{Sac2}

, comme illustré par la [Fig.4] ($t_{\text{tot}} = t_{\text{Sac10}} + t_{\text{Bnd}} + t_{\text{Sac20}}$). Un intérêt de cette géométrie est expliqué en relation avec la [Fig.5].

- [0076] Comme expliqué plus haut, un procédé de fabrication de transistors Nanosheets ou CFET emploie un super réseau de matériau semiconducteurs avec des couches sacrificielles intercalées entre des couches d'un matériau semiconducteur destiné à former les régions de canal de transistors.
- [0077] Selon l'invention, dans le présent mode de réalisation, les couches de silicium Cap1 et Cap2 sont suffisamment fines pour que du germanium des couches Sac1₀ et Sac2₀ ait diffusé sur l'ensemble de l'épaisseur des couches Cap1 et Cap2 au cours du procédé de fabrication. Cette diffusion peut être assurée par un traitement thermique dédié, en choisissant les paramètres d'un traitement thermique de collage lors de l'assemblage des deux empilement Stck1 et Stck2, en choisissant les paramètres d'un traitement thermique de fracture du substrat donneur Don, les paramètres de traitement thermique de consolidation de l'assemblage et de réparation des couches assemblées, ou bien encore en paramétrant ces différentes opérations de manière à assurer la diffusion du germanium dans les couches Cap1 et Cap2. Il convient bien entendu de ne pas aller au-delà du budget thermique nécessaire de manière à éviter que le germanium diffuse dans l'ensemble de l'épaisseur des couches de canal. Aussi, l'épaisseur des couches de canal peut être prévue pour tenir compte de cette diffusion. Ainsi, les couches Cap1 et Cap2 des structures illustrées par la [Fig.3] sont en fait constituées d'un alliage de silicium et de germanium, et peuvent être de ce fait être considérées comme des couches sacrificielles vis-à-vis des couches de canal Ch1 et Ch2, au même titre que les couches sacrificielles Sac1, Sac1₀, Sac2 et Sac2₀.
- [0078] La [Fig.5] illustre la structure Strc' de la [Fig.3] ayant été soumise à une attaque des couches sacrificielle Sac1, Sac1₀, Sac2 et Sac2₀ ayant laissé les couches de canal Ch1 et Ch2 suspendues. Au vu des commentaires du paragraphe précédent, on comprend que les couches Cap1 et Cap2 formant la couche de liaison ont également été attaquées. Dans le cas général de la structure Strct, on peut obtenir une structure de couches de canal Ch1 et Ch2 suspendues, de bonne qualité cristalline sur une épaisseur et/ou un nombre de couches dépassant ce qu'il est possible d'atteindre à partir d'une structure obtenue par un procédé d'épitaxie conventionnelle, procédé limité par l'épaisseur critique d'épitaxie.
- [0079] En outre, dans le cas particulier de la structure Strc', l'environnement de chacune des couches de canal Ch1 et Ch2 peut être arrangé comme sensiblement identique à celui des autres couches de canal, y compris en ce qui concerne les distances les séparant : la distance t_{tot} séparant les deux couches de canal les plus proches l'une de l'autre et auparavant séparées par la couche de liaison Bnd peut être rapprochée de t_{Sac1} et t_{Sac2}

de ou arrangée égale à ces distances séparant les autres couches de canal les unes des autres, comme illustré par la [Fig.5]. Un avantage est l'uniformité de l'environnement des couches de canal des transistors formés sur cette base.

- [0080] La couche de liaison Bnd, qui est la couche liant les deux super réseaux l'un à l'autre, n'est pas par principe limitée à être formée de silicium cristallin et de silicium amorphe. La couche Bnd peut être formée exclusivement de silicium cristallin, exclusivement de silicium amorphe, ou de tout autre matériau compatible avec les procédés de fabrication exposés dans le présent document, et éventuellement avec les procédés de fabrication envisagés utilisant pour base l'assemblage des deux super réseaux Stck1 et Stck2.
- [0081] Le procédé de fabrication illustré par les figures 1 et 2 permet d'obtenir une superposition de deux super réseaux. De plus, le procédé peut être répété pour empiler un nombre arbitraire de super réseaux. Ainsi, l'épaisseur critique d'épitaxie peut être dépassée : chacun des super réseau pris individuellement peut respecter cette épaisseur de manière à être formé de couches d'une grande qualité, et leur empilement permet un assemblage de super réseaux dépassant l'épaisseur critique tout en maintenant la qualité des couches les composant. Lorsque les super réseaux empilés sont de caractéristiques semblables quant aux couches (nature, dimension) les formant, on peut considérer qu'un super réseau unique est formé, éventuellement dépassant l'épaisseur critique d'épitaxie.
- [0082] La formation par épitaxie des couches constituant les super réseaux implique la reproduction de la structure cristalline d'une couche à l'autre, de sorte que les couches Ch1 (ou Ch2) et Sac1 (ou Sac2), par exemple respectivement en Si et SiGe, ont une même structure cristalline. D'ordinaire, il n'est pas possible d'épitaxier une couche de semiconducteurs de caractéristiques acceptables en vue de former des transistors sur une couche amorphe. En effet, celle-ci ne constitue pas une base adéquate à l'épitaxie d'une couche semiconductrice cristalline de qualité. La couche de liaison obtenue par le transfert de couche du procédé selon l'invention permet justement d'assembler deux super réseaux formés de couche semiconductrices de qualité suffisante pour produire des transistors en vue d'applications commerciales.
- [0083] En outre, la couche de liaison peut être adaptée (composition, épaisseur de la ou des couches la formant) à l'usage qu'il est prévu de faire des super réseaux empilés. On peut en particulier assurer une élimination de la couche de liaison au cours d'une opération ultérieure d'élimination des couches sacrificielles grâce à un choix appropriée de la nature et de l'épaisseur des couches la composant.
- [0084] La couche de liaison entre les deux super réseaux est formée continûment dans un plan parallèle à la surface supérieure du substrat la supportant, couvrant sensiblement toute la surface du substrat.

- [0085] Le substrat porteur Car et le substrat donneur Don peuvent comprendre n'importe quel matériau semi-conducteur. Outre le silicium, le matériau semi-conducteur peut être du germanium (Ge), un alliage silicium-germanium (SiGe), du carbure de silicium (SiC), du carbure de silicium-germanium (SiGeC), des semi-conducteurs composés III-V ou des semi-conducteurs composés II-VI, ou des substrats de type SOI pour Silicon-On-Insulator en terminologie anglaise, et plus généralement tout type de substrat semiconducteur comprenant une couche de matériau diélectrique enterrée ou en surface. Une telle couche diélectrique peut servir de couche d'arrêt d'attaque pour la formation de structures sur la face arrière (du côté du substrat porteur Car) de la structure obtenue par le procédé décrit par les figures 1 et 2, ou, pour le cas où elle se situe en surface, d'isolation afin de prévenir le phénomène dit de « latch-up » d'un circuit intégré fabriqué sur la base de cette structure.
- [0086] Les couches Ch1 et Ch2 peuvent être formées, par exemple, de silicium ou d'un composé semi-conducteur de type III-V. Les couches Sac1 et Sac2 peuvent être formées, par exemple, d'alliages de silicium et de germanium génériquement désignés par SiGe. Les couches Ch1 et Ch2 peuvent être de même composition dans les deux super réseaux Stck1 et Stck2, et de même, les couches Sac1 et Sac2 peuvent être de même composition $\text{Si}_{1-x}\text{Ge}_x$ dans les deux super réseaux Stck1 et Stck2. Ce dernier point permet d'éliminer les couches sacrificielles Sac1 et Sac2 au cours d'une même étape.
- [0087] Alternativement, les super réseaux Stck1 et Stck2 peuvent être de natures et/ou d'orientations différentes. L'orientation du second super réseau par rapport au premier super réseau est définie lors de l'étape d'assemblage. Les couches Sac1 et Sac1₀ (et Ch1) d'une part, et les couches Sac2 et Sac2₀ (et Ch2) d'autre part, peuvent par exemple présenter des orientations différentes, par exemple avec des axes cristallographiques décalées de 45°. On peut également considérer l'emploi de silicium contraint, d'alliages de silicium et de germanium SiGe ou de germanium pour les couches de canal de l'un ou l'autre des deux super-réseaux ou pour les deux. Lorsque les deux super réseaux comprennent des alliages de silicium et de germanium, les proportions de germanium dans l'alliage peuvent être les mêmes ou différentes pour les deux super réseaux. Il convient bien entendu d'adapter la nature et les caractéristiques des couches sacrificielles Sac1 et Sac2 à celles des couches Ch1 et Ch2.
- [0088] De même, les nombres de couches de canal et de couches sacrificielles dans les deux super réseaux peuvent être les mêmes, respectivement, ou peuvent être différents.
- [0089] Second mode de réalisation
- [0090] Un second mode de réalisation de la présente invention est décrit au moyen des figures 3, 7, 8 et 9 et de la description associée ci-dessous.

- [0091] Dans le premier mode de réalisation, les deux super réseaux Stck1 et Stck2 illustrés par la [Fig.3] sont formés séparément sur deux substrats respectifs, puis le second super réseau Stck2 est transféré sur le premier super réseau Stck1. Le second mode de réalisation diffère de ce premier mode de réalisation en ce qu'au lieu de transférer un second super réseau sur le premier super réseau Stck1, une couche d'amorce Init est transférée sur le premier super réseau Stck1, puis le second super réseau Stck2 est formé sur cette couche d'amorce Init par épitaxie. La couche d'amorce Init est alors intégrée au second super réseau Stck2. En dehors de cet aspect, on peut se référer à la description du premier mode de réalisation, les mêmes éléments et les mêmes étapes étant identifiées par les mêmes références. En particulier, les structures obtenues par les procédés de fabrication des deux modes de réalisation est illustré de manière commune par la [Fig.3].
- [0092] Les figures 7, 8 et 9 illustrent un procédé de fabrication 900 des structures Strc et Strc' de la [Fig.3], ce procédé étant basé sur les fabrications séquentielles des deux super réseaux Stck1, le second super réseau Stack2 étant formé directement sur le premier super réseau Stck1. La [Fig.9] représente un diagramme schématisant les étapes du procédé 900 de fabrication.
- [0093] Par la suite, seules les étapes distinctes des étapes correspondantes du premier mode de réalisation sont commentées. Les étapes 610_{Car}, 620_{Car}, 640_{Don}, 660, et 670A et leurs enchaînements restent inchangées dans ce second mode de réalisation.
- [0094] Une étape 910_{Don} remplace l'étape 610_{Don} : avant la formation de la couche d'amorce Init formée lors de l'étape suivante 920_{Don}, on peut former sur le substrat donneur Don la couche Stp du premier alliage de silicium et de germanium de formule $\text{Si}_{1-x}\text{Ge}_x$ d'une épaisseur comprise entre 5 et 10 nm, puis une couche de protection Cap2' en silicium d'une épaisseur comprise entre 1 et 5 nm. Ces deux couches sont des couches d'arrêt d'attaque et sont destinées à protéger l'intégrité de la couche Init lors des étapes de fabrication suivant la fracture du substrat donneur décrite plus loin et illustrées en (B) et (C) de la [Fig.8].
- [0095] Une étape 920_{Don} remplace l'étape 620_{Don} : au lieu de former un super réseau sur le substrat donneur, une couche d'amorce Init est formée. Il peut s'agir d'une couche de même nature et de mêmes caractéristiques que l'une des couches sacrificielles Sac2. La [Fig.7] illustre en (A), (B) et (C) l'état d'avancement du procédé de fabrication après les étapes 620_{Car}, 930_{Don} et 640_{Don}, respectivement.
- [0096] Une étape 930Don est sensiblement identique à l'étape 630Don. Simplement, au lieu de former la couche Cap2 sur un second super réseau, cette couche Cap2 est formée sur la couche d'amorce Init.

- [0097] Les étapes suivantes ne changent pas jusqu'à l'étape 970 qui remplace l'étape 670 du premier mode de réalisation. Celle-ci est sensiblement identique à l'étape 670, à la différence près que l'étape 670B est remplacée par une étape 970B au cours de laquelle c'est la couche d'amorce Init qui est dégagée et mise au jour. La [Fig.8] illustre en (C) la structure illustrée en (B) après qu'elle a été soumise à des attaques mécaniques et/ou chimiques d'élimination de la partie Don_a du substrat donneur Don, de la couche d'arrêt d'attaque Stp, et de la couche de protection Cap2' au cours de l'étape 970B. Ainsi, la couche Init d'amorce est dégagée au cours de cette étape, et accessible pour la suite du procédé de fabrication.
- [0098] Le procédé de fabrication s'achève par la mise en œuvre d'une étape 980 de formation du second super réseau Stck2 par épitaxie. Une étape préalable est d'éliminer, au sein d'un bâti de dépôt de couches minces, un éventuel oxyde natif de la surface de la couche Init, grâce à la fonction de gravure « in-situ » disponible dans un grand nombre de bâti d'épitaxie. Cette opération permet de nettoyer la couche Init et de garantir la qualité de sa surface afin d'assurer la qualité de la croissance des couches y étant déposées. On forme alors le second super réseau Stck2 directement sur la couche d'amorce Init, au cours d'une étape 980, selon des modalités décrites pour l'étape 620_{Don}, en considérant la couche d'amorce Init comme l'une des couches sacrificielles Sac2 du second super réseau Stck2 et comme couche de départ de la croissance par épitaxie. On forme ainsi en succession des couches Ch2 en alternance avec des couches Sac2.
- [0099] L'opération de nettoyage de la couche Init préalablement aux dépôts de couches est conventionnelle et est considérée comme faisant partie de l'étape de formation des couches Ch2 et Sac2 par épitaxie. Alternativement, d'autres méthodes connues de nettoyage de la surface de la couche Init pourraient être envisagées, comme l'oxydation complète de la couche Cap2' et son élimination par HF directement dans le bâti. L'essentiel est d'obtenir une surface propre, non oxydée, avant de procéder au dépôt de couches minces sur cette surface, que l'on commence la séquence de dépôt par une couche Sac2 ou une couche Ch2. A la suite de cette étape, l'une ou l'autre des structures illustrées par la [Fig.3] sont obtenues.
- [0100] Les modes de réalisation ci-dessus ont pris pour exemple des associations entre des couches de silicium en alternance avec des couches d'alliages de silicium et de germanium pour former le premier super réseau et le second super réseau. Cependant, l'invention ne se limite pas à ce cas particulier, et pourrait s'appliquer par exemple (i) à des super réseaux constitués de couches de germanium en alternance avec des couches d'un alliage de silicium et de germanium, (ii) à des super réseaux constituées de couches formées d'un premier alliage de silicium et de germanium à teneur de germanium par exemple inférieure à 20% en alternance avec des couches formées d'un

second alliage de silicium et de germanium à haute teneur de germanium, par exemple supérieure à 75%, (iii) à des super réseaux présentant des couches d'orientations cristallographiques différentes, ou (iv) à des super réseaux comprenant des couches de matériaux semiconducteurs III-V.

[0101] Les modes de réalisation décrits ci-dessus portent sur une association de super réseaux prévue pour former des transistors, et plus spécifiquement des transistor Nanosheet ou CFET. La portée de l'invention s'étend cependant au-delà de ce domaine, et comprend la combinaison de super réseaux en général, pas uniquement dans le domaine des semiconducteurs.

[0102] L'invention n'est pas limitée aux modes de réalisation décrits ci-dessus et on peut y apporter des variantes sans sortir du cadre de l'invention tel que défini par les revendications.

Revendications

[Revendication 1]

Procédé (600 ; 900) de fabrication d'une structure (Strc, Strc') comprenant au moins un super réseau, comprenant les étapes de :

- former (610_{Car}) un premier super réseau (Stck1) sur un premier substrat (Car), par empilement d'une pluralité de premières couches (Ch1) de canal en alternance avec une pluralité de premières couches (Sac1) sacrificielles ;
- former (620_{Car}) une première couche de recouvrement (Cap1) sur le premier super réseau (stck1) ;
- former (620_{Don} ; 920_{Don}) au moins une seconde couche sacrificielle (Stck2 ; Init) sur une surface (S_{Don}) d'un second substrat (Don) ;
- former (630_{Don} ; 930_{Don}) une seconde couche de recouvrement (Cap2) sur la au moins une seconde couche sacrificielle (Stck2 ; Init) ;
- former (640Don) un plan de fragilisation (Imp) du substrat porteur par implantation d'ions d'une espèce légère dans le substrat donneur (Don) à travers la surface (S_{Don}) du second substrat (Don), au moins une seconde couche sacrificielle (Stck2 ; Init) et la seconde couche de recouvrement (Cap2) ;
- assembler (660) la au moins une couche sacrificielle (Stck2 ; Init) au premier super réseau (Stck1) par mise en contact de la seconde couche de recouvrement (Cap2) avec la première couche de recouvrement (Cap1) qui forment ensemble une couche de liaison (Bnd), le premier super réseau (Stck1), la couche de liaison (Bnd) et la au moins une couche sacrificielle (Stck2 ; Init) étant empilés dans cet ordre ; et
- fracturer (670A) le substrat donneur (Don) au niveau du plan de fragilisation (Imp) et retirer une partie (Don_b) du substrat donneur (Don) après l'étape d'assemblage (660), dans lequel la première couche de recouvrement (Cap1) et la seconde couche de recouvrement (Cap2) ont chacune une épaisseur inférieure à 2 nm.

[Revendication 2]

Le procédé (600) selon la revendication 1, dans lequel l'étape de former au moins une seconde couche sacrificielle sur le second substrat (Don) consiste à former (620_{Don}) un second super réseau (Stck2) par empilement d'une pluralité de secondes couches (Ch2)

- de canal en alternance avec une pluralité de secondes couches (Sac2) sacrificielles.
- [Revendication 3] Le procédé (900) selon la revendication 1, dans lequel l'étape de former au moins une seconde couche sacrificielle (Stck2) sur le second substrat (Don) consiste à former (920_{Don}) une couche d'amorce (Init), le procédé comprenant en outre une étape (980) de formation d'un second super réseau (Stck2) sur la couche d'amorce (Init) après l'étape (660) d'assemblage, par empilement d'une pluralité de secondes couches (Ch2) de canal en alternance avec une pluralité de secondes couches (Sac2) sacrificielles.
- [Revendication 4] Le procédé selon l'une quelconque des revendications 1 à 3, dans lequel la couche de liaison (Bnd) est continûment formée dans un plan parallèle à une surface (S_{Car}) du premier substrat (Car) sur laquelle le premier super réseau (Stck1) est formé.
- [Revendication 5] Le procédé selon l'une quelconque des revendications 2 à 4, dans lequel :
- les premières couche de canal (Ch1) et les secondes couches de canal (Ch2) sont chacune formées d'un matériau semiconducteur, et
 - les premières couches sacrificielles (Sac1) et les secondes couches sacrificielles (Sac2) sont chacune formées d'un matériau susceptible de présenter une vitesse de gravure plus rapide que les premières couche de canal (Ch1) et les secondes couches de canal (Ch2), respectivement.
- [Revendication 6] Le procédé selon la revendication 5, dans lequel les couches sacrificielles (Sac1₀, Sac2₀) en contact direct avec la couche de liaison (Bnd) présentent chacune une épaisseur (t_{Sac10}, t_{Sac20}) égale ou inférieure à la moitié des épaisseurs (t_{Sac}, t_{Sac}) des autres couches sacrificielles (Sac1, Sac2).
- [Revendication 7] Le procédé selon l'un quelconque des revendications 1 à 6, comprenant en outre une étape d'élimination (670A) d'au moins une partie (Don_b) du second substrat (Don) après l'étape d'assemblage (660).
- [Revendication 8] Le procédé selon la revendication 7, comprenant en outre une étape de dégagement (670B) d'une couche de canal (Ch2) du second super réseau (Stck2) après l'étape de retrait (670A) du second substrat (Don).

- [Revendication 9] Le procédé selon l'une quelconque des revendications 1 à 8, dans lequel la première couche de recouvrement (Cap1) et la seconde couche de recouvrement (Cap2) sont chacune formées de silicium.
- [Revendication 10] Le procédé selon la revendication 9, dans lequel l'une de la première couche de recouvrement et de la seconde couche de recouvrement est formée de silicium amorphe et l'autre est formée de silicium cristallin.
- [Revendication 11] Le procédé selon la revendication 3, comprenant en outre une étape de formation (610_{Don}) d'au moins une couche d'arrêt d'attaque (Stp) sur le second substrat (Don) avant la formation de la couche d'amorce (Init).
- [Revendication 12] Le procédé selon la revendication 11, dans lequel la au moins une couche d'arrêt d'attaque comprend une couche (Stp) d'un même matériau que la couche d'amorce (Init).
- [Revendication 13] Le procédé selon l'une quelconque des revendications 1 à 12, dans lequel :
- les premières couches (Ch1) de canal sont formées de silicium ;
 - les premières couches (Sac1) sacrificielles sont formées d'un premier alliage de silicium et de germanium ;
 - la première couche de recouvrement (Cap1) est formée sur et en contact direct avec une des couches sacrificielles (Sac1) du premier super réseau ;
 - la seconde couche sacrificielle (Stck2 ; Init) est formée d'un second alliage de silicium et de germanium ;
 - la seconde couche de recouvrement (Cap2) est formée sur et en contact direct avec la au moins une seconde couche sacrificielle (Stck2 ; Init) ; et
 - la première couche de recouvrement (Cap1) et la seconde couche de recouvrement (Cap2) sont chacune formées de silicium.
- [Revendication 14] Structure (Strc, Strc') d'un empilement de super réseaux, comprenant :
- un substrat porteur (Car) ;
 - un premier super réseau (Stck1) sur le substrat porteur ;
 - une couche de liaison (Bnd) sur le premier super réseau (Stck1), formée d'une première couche de recouvrement (Cap1) et d'une seconde couche de recouvrement (Cap2) ; et
 - un deuxième super réseau (Stck2) sur la couche de liaison (Bnd), dans laquelle :

- le premier super réseau est formé d'un empilement d'une pluralité de premières couches (Ch1) de canal formées de silicium en alternance avec une pluralité de premières couches (Sac1) sacrificielles formées d'un premier alliage de silicium et de germanium ;
- le second super réseau est formé d'un empilement d'une pluralité de secondes couches (Ch2) de canal formées de silicium en alternance avec une pluralité de secondes couches (Sac2) sacrificielles formées d'un second alliage de silicium et de germanium ;
- la première couche de recouvrement (Cap1) et la seconde couche de recouvrement (Cap2) sont chacune formées de silicium, en contact direct avec l'une des couches sacrificielles respectives du premier super réseau et du second super réseau, et ont chacune une épaisseur inférieure à 2 nm.

[Revendication 15] La structure d'un empilement de super réseaux selon la revendication 14, dans laquelle la couche de liaison (Bnd) est continûment formée dans un plan parallèle à une surface (S_{Car}) du substrat porteur (Car) supportant le premier super réseau (Stck1).

[Revendication 16] La structure d'un empilement de super réseaux selon la revendication 14 ou 15 dans laquelle :

- les premières couche de canal (Ch1) et les secondes couches de canal (Ch2) sont chacune formées d'un matériau semiconducteur, et
- les premières couches sacrificielles (Sac1) et les secondes couches sacrificielles (Sac2) sont chacune formées d'un matériau susceptible de présenter une vitesse de gravure plus rapide que les premières couche de canal (Ch1) et les secondes couches de canal (Ch2), respectivement.

[Revendication 17] La structure d'un empilement de super réseaux selon l'une quelconque des revendication 14 à 16, dans laquelle l'une de la première couche de recouvrement (Cap1) et de la seconde couche de recouvrement (Cap2) est formée de silicium cristallin et l'autre de la première couche de recouvrement (Cap1) et de la seconde couche de recouvrement (Cap2) est formée de silicium amorphe.

[Revendication 18] La structure selon l'une quelconque des revendications 14 à 17, dans laquelle les couches sacrificielles ($Sac1_0$, $Sac2_0$) en contact direct avec la couche de liaison (Bnd) présentent chacune une épaisseur (t_{Sac1_0} , t_{Sac2_0}) égale ou inférieure à la moitié des épaisseurs (t_{Sac1} , t_{Sac2}) des autres couches sacrificielles (Sac1, Sac2).