

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本発明の実施形態は、不良情報を記憶可能な半導体記憶装置に関する。

背景技術

[0002] メモリセルの不良情報をブロック単位あるいはカラム単位で記憶するロムヒューズブロックをメモリセルアレイ内に設ける場合がある。

[0003] ロムヒューズブロックは、通常のブロックと同じサイズであり、複数のメモリセルを備える。ロムヒューズブロックのメモリセルに許容限度を超える不良が生じた場合、ロムヒューズブロックに保存されているロムヒューズデータ自体が不良になるおそれもある。そして、ロムヒューズデータに不良が生じた場合、エラー訂正のために時間がかかり、半導体記憶装置の動作速度が低下する可能性がある。特に、メモリセルが微細化するに従って、メモリセルは不良になりやすくなるため、ロムヒューズブロックの不良チェックは重要になる。

[0004] ロムヒューズブロックの不良チェックは、一般には、電源投入時のパワーオンリード期間中に行われる。

[0005] しかしながら、メモリセルが微細化するに従って、消去レベルが変動しやすくなり、消去レベルと読み出しレベルの差が小さくなって、誤読み出しが生じる可能性が高くなる。

[0006] また、メモリセルの微細化が進んでメモリ容量が増え、ブロック数も増えるため、ロムヒューズブロックに記録すべき不良情報も増えることから、ロムヒューズブロックから不良情報を読み出すのに時間がかかるおそれがある。

発明の開示

[0007] 本実施形態によれば、複数のメモリセルと、前記メモリセルの少なくとも一部の複数の前記メモリセルに接続された複数のワード線と、前記メモリセ

ルの少なくとも一部の複数の前記メモリセルに接続された複数のビット線と、前記メモリセルの少なくとも一部の複数の前記メモリセルの一群を含む複数のブロックとを有するメモリセルアレイと、

前記複数のブロックの少なくとも1つであって、前記メモリセルアレイ内の不良情報を記憶する不良情報記憶ブロックと、

前記不良情報記憶ブロック内の少なくとも一部の前記メモリセルのデータを読み出して、該データを検証することにより、前記不良情報記憶ブロックに不良があるか否かを判定する第1不良検出部と、

前記第1不良検出部により不良があると判定されると、前記メモリセルのデータの読み出し電圧レベルを変更して、再び前記不良情報記憶ブロック内の少なくとも一部の前記メモリセルのデータを読み出して、該データを検証することにより、前記不良情報記憶ブロックに不良があるか否かを判定する第2不良検出部と、

前記第2不良検出部により不良があると判定されると、前記不良情報記憶ブロックを不良と決定する不良決定部と、を備える半導体記憶装置が提供される。

図面の簡単な説明

[0008] [図1]第1の実施形態に係る半導体記憶装置1の概略構成を示すブロック図。

[図2]セルアレイ2周辺の詳細な構成を示すブロック図。

[図3]第1の実施形態によるロムヒューズブロックの不良チェック処理を示すフローチャート。

[図4]第2の実施形態によるロムヒューズブロックの不良チェック処理を示すフローチャート。

[図5]リフレッシュ時に不良情報を再書き込みする場合のタイミング図。

[図6]第3の実施形態によるロムヒューズブロックの不良チェック処理を示すフローチャート。

[図7]図6のステップS31～S38の処理タイミングを示すタイミング図。

[図8]ロムヒューズブロック31を含むメモリセルアレイ2のメモリマップを

示す図。

[図9] (a) はロムヒューズブロック 31 の各データ領域に記憶されるバッドブロック情報のデータ構成を示す図、(b) は、商Block Add Xと 8 ビットデータBlock IOとの対応関係を示す図。

[図10] 不良ブロック情報を転送する処理手順の一例を示すフローチャート。

[図11] ロムヒューズブロック 31 に不良情報を記憶する処理手順の一例を示すフローチャート。

発明を実施するための形態

[0009] 以下、図面を参照しながら、本発明の実施形態を説明する。

[0010] (第 1 の実施形態)

図 1 は第 1 の実施形態に係る半導体記憶装置 1 の概略構成を示すブロック図である。図 1 の半導体記憶装置 1 は、NAND型フラッシュメモリの例を示している。

[0011] 図 1 の半導体記憶装置 1 は、セルアレイ 2 と、ロウデコーダ 3 と、ワード線ドライバ 4 と、カラムデコーダ 5 と、センスアンプ (S/A) 6 と、データラッチ回路 7 と、コントローラ 8 と、高電圧発生器 9 と、アドレスレジスタ 10 と、コマンドデコーダ 11 と、I/Oバッファ 12 とを備えている。

[0012] セルアレイ 2 は、複数個のメモリセルを直列接続した NANDストリング 20 を有する。図 2 はセルアレイ 2 周辺の詳細な構成を示すブロック図である。図 2 に示すように、セルアレイ 2 は、複数のブロック BLK0 ~ BLK n に分かれている。各ブロックには、上述した NANDストリング 20 がカラム方向に複数個配列されている。各 NANDストリング 20 は、直列接続された複数のメモリセル 21 と、これらメモリセル 21 の一端側に接続された選択ゲートトランジスタ S1 と、他端側に接続された選択ゲートトランジスタ S2 とを有する。

[0013] NANDストリング 20 内の各メモリセル 21 のゲートは、対応するワード線 WL0 ~ WL n+1 (n は 0 以上の整数) にそれぞれ接続されている。選択ゲートトランジスタ S1 のゲートは選択ゲート線 SGD に接続されている。

選択ゲートトランジスタ S2 のゲートは選択ゲート線 S G S に接続されている。各 N A N D ストリング 20 は、対応する選択ゲートトランジスタ S1 を介して、共通のセルソース線に接続されている。また各 N A N D ストリング 20 は、対応する選択ゲートトランジスタ S2 を介して、対応するビット線 B L 0 ~ B L n に接続されている。

[0014] N A N D ストリング 20 内の各メモリセル 21 のゲートに接続される各ワード線 W L 0 ~ W L n+1 は、ロウデコーダ 3 に接続されている。ロウデコーダ 3 は、アドレスレジスタ 10 から転送されてきたロウアドレスをデコードする。ロウデコーダ 3 の近傍には、ワード線ドライバ 4 が配置されている。ワード線ドライバ 4 は、デコードしたデータに基づいて、各ワード線を駆動するための電圧を生成する。

[0015] 各 N A N D ストリング 20 に接続されるビット線 B L 0 ~ B L n は、ビット線選択トランジスタ Q0 を介してセンスアンプ 6 に接続されている。センスアンプ 6 で検出された読み出しデータは、例えば二値データとしてデータラッチ回路 7 に保持される。

[0016] 図 1 に示すカラムデコーダ 5 は、アドレスレジスタ 10 からのカラムアドレスをデコードする。またカラムデコーダ 5 は、このデコードした結果に基づいて、データラッチ回路 7 に保持されたデータをデータバスに転送するかどうかを決定する。

[0017] I / O バッファ 12 は、I / O 端子から入力されたアドレス、データおよびコマンドをバッファリングする。また I / O バッファ 12 は、アドレスをアドレスレジスタ 10 に転送し、コマンドをコマンドデコーダ 11 に転送し、データをデータバスに転送する。

[0018] コントローラ 8 は、アドレスとコマンドを識別するとともに、後述するロムヒューズブロックの不良チェックやセンスアンプ 6 等の動作を制御する。

[0019] 図 2 に示すように、セルアレイは複数のブロックに分かれているが、そのうちの二つは、ロムヒューズ (ROM FUSE) ブロック (不良情報記憶ブロック) とスペアロムヒューズブロック (スペア記憶ブロック) である。ロムヒューズ

ーズブロックとスペアロムヒューズブロックには、セルアレイ内の不良情報などが記憶されている。スペアロムヒューズブロックは、ロムヒューズブロックが不良になったときに使用されるものであり、ロムヒューズブロックに新たな不良情報が記憶されるときには、スペアロムヒューズブロックにも同じ不良情報が記憶される。スペアロムヒューズブロックを使用するか否かは設定により切り替えることができる。

[0020] ロムヒューズブロックとスペアロムヒューズブロックに記憶される不良情報は、セルアレイ内の各ブロックが不良か否かを示すバッドブロック情報や、セルアレイ内の各カラムが不良か否かを示すバッドカラム情報などである。この他、ロムヒューズブロックには、内部電圧の電圧レベルを調整するためのパラメータ情報などを記憶してもよい。

[0021] 図1のコントローラ8は、例えばパワーオンリード（POR）時に、ロムヒューズブロックに不良があるか否かをチェックする処理を行う。図3は第1の実施形態によるロムヒューズブロックの不良チェック処理を示すフローチャートである。

[0022] NAND型フラッシュメモリの中には、メモリセルへの書き込み方法として、SLC（Single Level Cell）方式とMLC（Multi Level Cell）方式とのいずれにも対応しているものがあるが、本実施形態では、SLCを採用することにする。その理由は、MLCは多値書き込みを行うため、読み出しマージンが小さくて、誤読み出しが生じやすいことから、より信頼性の高い読み出しが可能なSLCを利用してロムヒューズブロックの不良チェックを行うようにしたものである。

[0023] まず、ロムヒューズブロック内の複数のワード線のうち、特定のワード線上の複数のメモリセルに記憶されているデータを読み出す（ステップS1）。特定のワード線は、基本的にはどのワード線であってもよいが、ロムヒューズブロック内の複数のワード線のうち、できるだけ信頼性よくデータを読み出せるワード線を特定のワード線とするのが望ましい。本明細書では、特定のワード線をWL15にする例を説明する。

- [0024] 次に、ステップS 1で読み出したデータを用いて、メモリセルの消去レベルの閾値電圧分布が、消去レベルの隣のAレベルの閾値電圧分布の方向にシフトして正常な読み出しができなくなったか否かのチェック（以下、Eー t oー A検知）を行う（ステップS 2）。上述したステップS 1とS 2が第1不良検出部に対応する。
- [0025] Eー t oー A検知の具体的な手法として、例えば以下の3通り（Eー t oー A検知手法1～3）が考えられ、いずれの手法を採用してもよい。
- [0026] ロムヒューズブロック内の各ワード線には、例えば16Kバイト分のビット線がつながっている。これらビット線は、2Kバイト分のビット線ごとにセグメントに分割されている。これらセグメントのうち、未使用のセグメントを用いて、Eー t oー A検知ではメモリセルの読み出しチェックを行う。
- [0027] Eー t oー A検知手法1では、未使用のセグメントの全メモリセルを消去した状態で、未使用のセグメントの全メモリセルを読み出して、消去状態である「1」データではなく、「0」データとして読み出されたデータの数が所定値を超えればEー t oー A検知にフェイルしたと判断する。
- [0028] Eー t oー A検知手法2では、ロムヒューズブロック内の未使用のセグメントにおける特定のビット線上の全メモリセルを消去した状態で、これら全メモリセルを読み出して、「0」データとして読み出されたデータの数が所定値を超えればEー t oー A検知にフェイルしたと判断する。
- [0029] Eー t oー A検知手法3では、ロムヒューズブロック内の未使用のセグメントのメモリセルに相補データを書き込み、書き込んだ相補データを読み出して、相補データのビット論理が入れ替わった数が所定値を超えればEー t oー A検知にフェイルしたと判断する。
- [0030] 上述したEー t oー A検知手法1～3のいずれかで行われるステップS 2のEー t oー A検知でフェイルした場合は、Eレベルの閾値電圧分布がAレベルの閾値電圧分布の方向にシフトしたと判断して、メモリセルの読み出し電圧レベルを上げて、再度メモリセルからの読み出し（以下、再ロムリード）を行う（ステップS 3）。この再ロムリードでは、メモリセルのゲートー

ソース間に印加する電圧を高くして、再度メモリセルからの読み出しを行う。

[0031] 次に、ステップS 3で読み出したデータを用いて、再度Eー t ー A検知を行う（ステップS 4）。この場合のEー t ー A検知も、上述した検知手法1～3のいずれを採用してもよい。上述したステップS 3とS 4が第2不良検出部に対応する。

[0032] ステップS 4のEー t ー A検知がフェイルすると、ロムヒューズブロックのチェックにフェイルしたと決定する（ステップS 5、不良決定部）。この場合、このロムヒューズブロックを含むNAND型フラッシュメモリは、不良品とみなされる。

[0033] 一方、上述したステップS 2のEー t ー A検知にパスした場合は、通常のパワーオンリード動作で行われるブロックチェックを行う（ステップS 6、第3不良検出部）。このブロックチェックでは、例えば、ロムヒューズブロック内にバッドブロック情報やバッドカラム情報等を記憶する際に、これら情報を相補データとして記憶しておき、記憶された相補データを読み出して、相補データを構成する2種類のデータを互いにビット単位で比較することで、読み出しエラーの有無を判断する。ブロックチェックは、ロムヒューズブロック内の全メモリセルについて行う必要はなく、特定のワード線上のメモリセルについて行ってもよい。

[0034] ステップS 6のブロックチェックにフェイルした場合は、ステップS 3の再ロムリードを行い、ブロックチェックにパスした場合は、ロムヒューズブロックは正常と判断する（ステップS 7）。

[0035] 同様に、ステップS 4のEー t ー A検知にパスした場合も、ブロックチェックを行い（ステップS 8、第3不良検出部）、このブロックチェックにフェイルした場合は、フェイルと決定し（ステップS 5）、ブロックチェックにパスした場合は、ロムヒューズブロックのチェックにパスしたと決定する（ステップS 7）。

[0036] 上述した図3のフローチャートでは、Eー t ー A検知と、読み出し電圧

レベルを変更した再ロムリードとを組み合わせる例を説明したが、Eー t ー A 検知を行わずに再ロムリードを行ってもよい。この場合、ステップ S 2 および S 4 の Eー t ー A 検知の代わりに、既存のブロックチェックを行えばよい。

[0037] また、再ロムリードを行わずに Eー t ー A 検知のみを行ってもよい。この場合、1 回の Eー t ー A 検知の結果により、ロムヒューズブロックが正常か否かを判断することになるため、ロムヒューズブロックの不良率が上がるおそれがある。よって、ロムヒューズブロックの不良率を下げたい場合は、上述した再ロムリードを行うのが望ましい。

[0038] このように、第 1 の実施形態では、Eー t ー A 検知やブロックチェック等により、ロムヒューズブロックが不良と判断されると、読み出し電圧レベルを上げて、再度ロムヒューズブロックが不良か否かを判断するため、製造ばらつき等により、メモリセルの E レベルの閾値電圧分布が A レベルの閾値電圧分布側に多少シフトしたとしても、ロムヒューズブロックを不良と判断しなくて済み、ロムヒューズブロックの不良率を低減できる。

[0039] (第 2 の実施形態)

以下に説明する第 2 の実施形態は、ロムヒューズブロックを不良と判断したときに、ロムヒューズブロックのリフレッシュを行うものである。

[0040] 第 2 の実施形態に係る NAND 型フラッシュメモリは、図 1 と同様のブロック構成を備え、コントローラ 8 の処理動作が第 1 の実施形態とは異なるため、以下では、コントローラ 8 の処理動作を説明する。

[0041] 図 4 は第 2 の実施形態によるロムヒューズブロックの不良チェック処理を示すフローチャートである。まず、ロムヒューズブロックの不良チェックを行う（ステップ S 1 1、第 1 不良検出部）。このステップ S 1 1 の不良チェックは、例えば、ロムヒューズブロック内の特定のワード線上のメモリセルを対象として、上述した既存のブロックチェックを行う。あるいは、上述した Eー t ー A 検知手法 1 ～ 3 のいずれかを採用してもよい。

[0042] ステップ S 1 1 で、ロムヒューズブロックが正常と判断されると、ロムヒ

ューズブロックのチェックにパスしたと決定して（ステップS 1 9）、図4の処理を終了する。この場合は、ロムヒューズブロックのリフレッシュは行わない。

[0043] 一方、ステップS 1 1で、ロムヒューズブロックが不良と判断されると、スペアロムヒューズブロックにアクセスするためにアドレスを発行し（ステップS 1 2）、スペアロムヒューズブロックの不良チェックを行う（ステップS 1 3、第2不良検出部）。

[0044] スペアロムヒューズブロックが不良と判断されると、スペアロムヒューズブロック内の不良情報を有効に活用できないことから、ロムヒューズブロックのリフレッシュを行う意味がないと判断して、ロムヒューズブロックのチェックにフェイルしたと決定する（ステップS 1 4）。この場合、このロムヒューズブロックを含むNAND型フラッシュメモリは、不良品とみなされる。

[0045] スペアロムヒューズブロックが正常と判断されると、ロムヒューズブロック内の全メモリセルを消去する（ステップS 1 5、データ消去部）。これにより、ロムヒューズブロック内の全メモリセルには、「1」データが書き込まれる。

[0046] ステップS 1 5の処理の後に、スペアロムヒューズブロックに記憶されている全不良情報を、例えばセンスアンプ6内のデータラッチ回路7に一時的にラッチする（ステップS 1 6、一時保持部）。

[0047] 次に、ステップS 1 6で一時的にラッチしたスペアロムヒューズブロック内の不良情報を、ロムヒューズブロックに書き込む（ステップS 1 7、不良情報書き込み部）。ステップS 1 5～S 1 7はリフレッシュ処理部に対応する。

[0048] ステップS 1 7の書き込みは、ロムヒューズブロック内の、ステップS 1 1で不良と判断されたワード線上のメモリセルにも不良情報を書き込む場合と、不良と判断されたワード線以外のワード線上のメモリセルに不良情報を書き込む場合とがある。不良が特定のメモリセル内の構造的な故障により生

じた場合は、そのメモリセルは使わないのが望ましいが、不良が一時的なリードディスタ urb で生じた場合は、不良を起こしたメモリセルに再書き込みをしても問題が生じないこともありうる。そこで、本実施形態では、いったん不良と判断されたメモリセルに対しても再書き込みを許容している。

[0049] ステップ S 1 5 ~ S 1 7 のリフレッシュ処理が終了すると、ロムヒューズブロックには不良がないとみなしてパス決定する（ステップ S 1 8 ）。

[0050] 図 5 は、図 4 のステップ S 1 7 で、過去に不良と判断されたメモリセルにもリフレッシュ時に不良情報を再書き込みする場合のタイミング図である。図 5 は、レディビジー信号 R B と、ロムヒューズブロックのワード線 WL15 PB 0 と、このワード線に接続されたメモリセルの基板ウェル領域 CPWELL PB0 と、スペアロムヒューズブロックのワード線 WL15 PB1 との信号波形を示している。

[0051] パワーオンリード動作は、レディビジー信号 R B がハイからロウに遷移した後に開始され、パワーオンリード動作中にリフレッシュ動作が行われる。まず、ロムヒューズブロック内の特定のワード線（例えば WL 1 5 ）上のメモリセルからデータを読み出す（時刻 t 1 ）。時刻 t 1 では、ロムヒューズブロックの WL 1 5 を読み出し電圧 V C G R V に設定する。

[0052] 読み出したデータによりロムヒューズブロックが不良と判断されると、次に、スペアロムヒューズブロック内の特定のワード線（例えば WL 1 5 ）上のメモリセルからデータを読み出して（時刻 t 2 ）、スペアロムヒューズブロックに不良があるか否かを判断する。

[0053] スペアロムヒューズブロックが正常であると判断されると、不良と判断されたロムヒューズブロック内の全メモリセルのデータを消去する（時刻 t 3 ）。消去をしたメモリセルは、ベリファイを行って、正しく消去されたことを確認する（時刻 t 4 ）。ロムヒューズブロック内のメモリセルのデータ消去とベリファイは、ロムヒューズブロック内の全メモリセル分のデータ消去とベリファイが終了するまで繰り返される。

[0054] ロムヒューズブロックのデータ消去が終了すると、スペアロムヒューズブ

ロックからの不良情報を読み出してセンスアンプ内のラッチ回路に一時保持した後、保持した不良情報をロムヒューズブロックに書き込む（時刻 t 5）。続いて、書き込んだ不良情報が正常に読み出せるか否かのベリファイを行う（時刻 t 6）。時刻 t 5 と t 6 の処理は、スペアロムヒューズブロック内の全不良情報がロムヒューズブロックに書き込まれるまで継続される。

[0055] ロムヒューズブロックのリフレッシュを行ったか否かを示す情報を、例えばコントローラ 8 の内部のレジスタ回路 8 a（図 1 参照）に記憶してもよい。例えば、少なくとも 1 バイト分のデータを記憶可能な S R A M 等の不揮発性メモリで構成されるレジスタ回路（リフレッシュ履歴情報記憶部） 8 a を設けて、1 バイトのうちの一つのビットにロムヒューズブロックのリフレッシュを行ったか否かを示す情報を記憶し、外部からの特定のコマンドで、このレジスタ回路 8 a の 1 バイトのデータを外部に出力できるようにしてもよい。これにより、ロムヒューズブロックのリフレッシュを過去に行ったか否かの履歴情報を N A N D 型フラッシュメモリの外部から検出でき、この履歴情報によりロムヒューズブロックの信頼性を評価できる。

[0056] このように、第 2 の実施形態では、ロムヒューズブロックが不良と判断されると、ロムヒューズブロック内の全メモリセルのデータを消去した後に、スペアロムヒューズブロック内の不良情報を書き込むリフレッシュを行うため、ロムヒューズブロック内の不良情報の信頼性が向上し、ロムヒューズブロックの不良率を低下させることができる。

[0057] （第 3 の実施形態）

以下に説明する第 3 の実施形態は、ロムヒューズブロックのリフレッシュを過去に行ったことがあるか否かを自動判別して、過去にリフレッシュを行ったロムヒューズブロックは再度のリフレッシュを行わないようにするものである。

[0058] 第 3 の実施形態に係る N A N D 型フラッシュメモリは、図 1 と同様のブロック構成を備え、コントローラ 8 の処理動作が第 1 および第 2 の実施形態とは異なるため、以下では、コントローラ 8 の処理動作を説明する。

- [0059] 図6は第3の実施形態によるロムヒューズブロックの不良チェック処理を示すフローチャートである。まず、ロムヒューズブロック内の特定のワード線上のメモリセルのデータを読み出す（ステップS31）。
- [0060] 特定のワード線上の未使用のセグメントの全メモリセルはオール「1」である。一方、リフレッシュを行っていないロムヒューズブロック内の特定のワード線上の未使用のセグメントの全メモリセルは、初期状態でオール「0」を書き込んでおけば、オール「0」のままのはずである。
- [0061] そこで、ロムヒューズブロック内の特定のワード線上の未使用のセグメントのメモリセルのデータがオール「1」か否かを判定する（ステップS32、リフレッシュ判定部）。オール「1」であれば、過去にロムヒューズブロックのリフレッシュを行ったと判断し、ロムヒューズブロック内の特定のワード線以外の所定のワード線上のメモリセルのデータを読み出して、不良があるか否かを判定する（ステップS33）。ここでは、予めバッドブロック情報やバッドカラム情報などを相補データでロムヒューズブロックに記憶しておき、この相補データを読み出して、相補データを構成する2種類のデータを比較することで、不良か否かを判断する。
- [0062] ステップS33で、ロムヒューズブロックからのデータ読み出しを正常に行えた場合は、ロムヒューズブロックのチェックにパスしたと決定し（ステップS34）、図6の処理を終了する。
- [0063] 一方、ステップS33で、ロムヒューズブロックが不良と判断されると、ロムヒューズブロックのリフレッシュは行わずに、スペアロムヒューズブロックにアクセスするためのアドレス変更を行う（ステップS35）。そして、スペアロムヒューズブロック内の特定のワード線上のメモリセルを読み出して、スペアロムヒューズブロックが不良か否かのチェックを行う（ステップS36）。ここでは、ステップS33と同様に、例えば相補データを読み出して、不良か否かを判定する。この結果、スペアロムヒューズブロックが不良と判定されると、ロムヒューズブロックのチェックにフェイルしたと決定する（ステップS37）。この場合、このロムヒューズブロックを含むN

AND型フラッシュメモリは不良品とみなす。

- [0064] ステップS 3 6でスペアロムヒューズブロックが不良でないと判定されると、ロムヒューズブロックのチェックにパスしたと決定する（ステップS 3 4）。この場合、ロムヒューズブロックは使用せずに、スペアロムヒューズブロック内の不良情報を使用することになる。
- [0065] 一方、ステップS 3 2で、ロムヒューズブロック内の特定のワード線上の未使用のセグメントの全メモリセルがオール「0」の場合は、まだリフレッシュを行ったことがないロムヒューズブロックと判断して、既存のブロックチェックを行う（ステップS 3 8）。このステップS 3 8では、例えば、ロムヒューズブロック内の特定のワード線上のメモリセルの相補データを読み出して、不良の有無を判断する。
- [0066] ステップS 3 8でロムヒューズブロックは正常と判断されると、ロムヒューズブロックのチェックにパスしたとみなす（ステップS 3 4）。一方、ステップS 3 8でロムヒューズブロックは不良と判断されると、図4のフローチャートのステップS 1 2～S 2 0のリフレッシュ処理を行う。
- [0067] このように、図6の処理では、過去にリフレッシュを行ったことのあるロムヒューズブロックか否かを確認して、過去にリフレッシュを行ったことのあるロムヒューズブロックであれば、再度不良になっても、再リフレッシュは行わずに、スペアロムヒューズブロックを使用する。一方、過去にリフレッシュを行ったことのないロムヒューズブロックであれば、不良になったときに、リフレッシュを行って、スペアロムヒューズブロック内の不良情報をロムヒューズブロックに書き込んで、ロムヒューズブロックを使い続ける。
- [0068] 図7は、図6のステップS 3 1、S 3 2、S 3 3およびS 3 5に遷移した場合、すなわちロムリフレッシュ後のパワーオンリードの処理タイミングを示すタイミング図である。まず、ロムヒューズブロック内の特定のワード線（例えばWL 1 5）上のメモリセルのデータを読み出す（時刻t 1 1）。読み出したデータがオール「1」であれば、過去にリフレッシュを行ったことがあるロムヒューズブロックと判断して、ロムヒューズブロックの再リフレ

ッシュは行わずに、ロムヒューズブロック内の特定のワード線以外の所定のワード線上のメモリセルのデータを読み出す（時刻 t_{12} ）。そして、読み出したデータに基づいてロムヒューズブロックのブロックチェックを行い、不良と判断されると、スペアロムヒューズブロック内の特定のワード線（例えばWL 15）上のメモリセルのデータを読み出す（時刻 t_{13} ）。

[0069] このように、第3の実施形態では、ロムヒューズブロック内の特定のワード線上のメモリセルのデータを読み出して、読み出したデータがオール「1」か否かによって、ロムヒューズブロックが過去にリフレッシュを行ったことがあるか否かを的確に判断できる。

[0070] また、過去にリフレッシュを行ったことがあるロムヒューズブロックは、再リフレッシュを行わないようにしたため、信頼性の低いロムヒューズブロックを使い続けるおそれがなくなる。

[0071] さらに、過去にリフレッシュを行ったことがないロムヒューズブロックが不良と判断されると、第2の実施形態と同様にロムヒューズブロックのリフレッシュを行うため、ロムヒューズブロックの不良率を低減できる。

[0072] （第4の実施形態）

以下に説明する第4の実施形態は、ロムヒューズブロックへの不良情報の格納の仕方に特徴を持たせたものである。

[0073] 図8はロムヒューズブロック31を含むメモリセルアレイ2のメモリマップを示す図である。図示のように、ロムヒューズブロック31は、メモリセルアレイ2内に複数設けられるブロックのうちの一つである。ロムヒューズブロック31は、例えば4つのデータ領域d0～d3に分けられている。4つのデータ領域d0～d3に記憶される情報は同じである。各データ領域に記憶される情報の種類としては、例えばバッドカラム情報d00と、パラメータ情報d01と、バッドブロック情報d02とが含まれる。一つのデータ領域が不良と判定されると、別のデータ領域から同じ種類の情報を読み出すことができる。

[0074] 図9（a）はロムヒューズブロック31の各データ領域に記憶されるバッ

ドブロック情報のデータ構成を示す図である。図9（a）のバッドブロック情報は、8ブロック分の不良情報を4バイトで記憶するものである。より具体的には、1バイト目には、ブロックアドレスを8で割った商を表す8ビットのアドレス情報が記憶される。2バイト目には、1バイト目の8ビットのアドレス情報の反転データが記憶される。3バイト目には、8ブロックのそれぞれが不良か否かを示すフラグ情報が1ビットずつ記憶される。4バイト目には、3バイト目の8ビットデータの反転データが記憶される。

[0075] 図9（a）では、ブロックアドレスを8で割った商をBlock Add Xと表記し、8ブロック中の各ブロックが不良か否かを示す8ビットのフラグ情報からなる8ビットデータをBlock IOと表記している。

[0076] 図9（b）は、メモリセルアレイ2内の各ブロックと、各ブロックのブロックアドレスを8で割った商Block Add Xと、各ブロックが不良か否かを示す8ビットデータBlock IOとの対応関係を示す図である。

[0077] 図9（a）および図9（b）からわかるように、本実施形態では、8つのブロックアドレスを1つのアドレス情報Block Add Xに変換し、各ブロックが不良か否かを示すフラグ情報を1ビットで表現して8ブロック分のフラグ情報を1バイトとして、ロムヒューズブロック31に記憶する。また、本実施形態では、Block Add Xで表される8ブロック中に不良のブロックが一つも存在しない場合は、ロムヒューズブロック31に記憶しない。これにより、ロムヒューズブロック31内に、できるだけ多くのブロックの不良情報を格納できる。

[0078] 図9（a）および図9（b）に従ってロムヒューズブロック31に記憶された不良情報は、ロウデコーダ3内の不図示のブロック選択回路に設けられるラッチ回路（不良情報保持部）3aにラッチされる。ブロック選択回路は、このラッチ回路3aにラッチされているデータを参照することで、各ブロックへのアクセスを行うか否かを選択する。

[0079] 図10はロムヒューズブロック31からブロック選択回路内のラッチ回路3aに不良ブロック情報を転送する処理手順の一例を示すフローチャートで

ある。このフローチャートは、例えばコントローラ 8 により実行される。まず、ロムヒューズブロック 31 から不良ブロック情報を読み出す（ステップ S 61）。読み出した不良ブロック情報は、いったん一時的に保持される。次に、図 9（a）の 1 バイト目と 2 バイト目に記憶されていたアドレス情報 Block Add X とその反転データを比較するとともに、図 9（a）の 3 バイト目と 4 バイト目に記憶されていたフラグ情報 Block IO とその反転データを比較する（ステップ S 62）。

[0080] ステップ S 62 の比較が成功した場合は、ロムヒューズブロック 31 には不良はないと判断して、アドレス情報 Block Add X と Block IO を元のブロックアドレスに変換する（ステップ S 63、アドレス変換部）。ステップ S 63 で変換したブロックアドレスに対応するブロック選択回路内のラッチ回路に、対応するブロックの不良情報を記憶する（ステップ S 64）。

[0081] 次に、ロムヒューズブロック 31 内の最後のデータまで読み出したか否かを判定し（ステップ S 65）、まだ読み出していないデータがあれば、ロムヒューズブロック 31 内の次の 4 バイトデータを読み出して（ステップ S 66）、ステップ S 62 に進む。

[0082] 図 11 は出荷前のテスト時にロムヒューズブロック 31 に不良情報を記憶（登録）する処理手順の一例を示すフローチャートである。まず、メモリセルアレイ 2 内のブロック 0 を選択する（ステップ S 71）。本実施形態では、少なくとも一つのブロックが不良である 8 ブロック分のブロックアドレスを 1 つのアドレス情報としてロムヒューズブロック 31 に記憶するため、ブロック 0 から順番に、8 ブロック分の既存のブロックチェックを行って、ブロック内に不良があるか否かをチェックする（ステップ S 72）。

[0083] 選択したブロックに不良があると判定されると、そのブロックに対応するブロックアドレスを 8 で割った商で表されるアドレス情報 Block Add X をセンスアンプ内のラッチ回路にラッチする（ステップ S 73）。次に、ステップ S 73 でラッチしたアドレス情報 Block Add X の反転データをステップ S 73 とは別個のラッチ回路にラッチする（ステップ S 74）。

[0084] 次に、8ブロックのうちどのブロックに不良があるか否かを示すフラグ情報を8ビットのデータとして、ステップS73, S74とは別個のラッチ回路に保持する(ステップS75)。次に、ステップS75で保持したデータの反転データを、ステップS73～S75とは別個のラッチ回路に保持する(ステップS76)。

[0085] 次に、選択したブロックが、まとめて記憶する8ブロックの最終ブロックか否かを判定し(ステップS77)、最終ブロックでなければ、ブロック番号を1増やして(ステップS78)、ステップS72以降の処理を繰り返す。ステップS77で最終ブロックと判定されると、ステップS73～S76で保持した4つのラッチ回路のラッチデータを4カラムアドレス分のデータとして、全不良ブロック分のデータをまとめてロムヒューズブロック31に転送する。(ステップS79)。ステップS72のブロックチェックで不良がないと判断されると、ステップS77の処理を行う。以上の処理を、メモリセルアレイ2のすべてのブロックについて行う。

[0086] このように、第4の実施形態では、各ブロックアドレスや各カラムアドレスを8で割った商をアドレスとして、各ブロックまたは各カラムの不良情報を1ビットで表したデータをロムヒューズブロック31に記憶するため、ロムヒューズブロック31に記憶可能な不良情報を増やすことができる。また、本実施形態では、不良でないブロックやカラムについては、ロムヒューズブロック31には記憶しないため、ロムヒューズブロック31の記憶領域を有効活用できる。したがって、パワーオンリード時に、ロムヒューズブロック31からの不良情報の読み出しを高速化できる。本実施形態によれば、例えば8ブロックの不良情報をわずか4バイトで記憶でき、1ブロックの不良情報を4バイトで記憶する比較例に比べて、8倍もの多くのブロックの不良情報を記憶できる。

[0087] 上述した第4の実施形態によるロムヒューズブロック31のデータ構成は、第1～第3の実施形態によるロムヒューズブロック31に適用することが可能である。これにより、第1～第3の実施形態においても、より多くの不

良情報をロムヒューズブロック 31 に記憶可能となり、NAND型フラッシュメモリの大容量化に対応できるようになる。

[0088] 上述した実施形態では、本発明をNAND型フラッシュメモリに適用する例を説明したが、本発明は、NOR型フラッシュメモリやMRAM、ReRAMなど、ロムヒューズブロックを有する種々の不揮発性半導体記憶装置に適用可能である。

[0089] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

請求の範囲

- [請求項1] 複数のメモリセルと、前記メモリセルの少なくとも一部の複数の前記メモリセルに接続された複数のワード線と、前記メモリセルの少なくとも一部の複数の前記メモリセルに接続された複数のビット線と、前記メモリセルの少なくとも一部の複数の前記メモリセルの一群を含む複数のブロックとを有するメモリセルアレイと、
- 前記複数のブロックの少なくとも1つであって、前記メモリセルアレイ内の不良情報を記憶する不良情報記憶ブロックと、
- 前記不良情報記憶ブロック内の少なくとも一部の前記メモリセルのデータを読み出して、該データを検証することにより、前記不良情報記憶ブロックに不良があるか否かを判定する第1不良検出部と、
- 前記第1不良検出部により不良があると判定されると、前記メモリセルのデータの読み出し電圧レベルを変更して、再び前記不良情報記憶ブロック内の少なくとも一部の前記メモリセルのデータを読み出して、該データを検証することにより、前記不良情報記憶ブロックに不良があるか否かを判定する第2不良検出部と、
- 前記第2不良検出部により不良があると判定されると、前記不良情報記憶ブロックを不良と決定する不良決定部と、を備える半導体記憶装置。
- [請求項2] 前記第1不良検出部および前記第2不良検出部は、当該半導体記憶装置がパワーオンリードを行うたびに前記不良情報記憶ブロックに不良があるか否かを判定する請求項1に記載の半導体記憶装置。
- [請求項3] 前記第1不良検出部および前記第2不良検出部の少なくとも一方は、前記不良情報記憶ブロック内の特定の前記ワード線上の少なくとも一部の前記メモリセルの記憶データが反転した数が所定個を超えると、不良があると判定する請求項1に記載の半導体記憶装置。
- [請求項4] 前記第1不良検出部および前記第2不良検出部の少なくとも一方は、前記不良情報記憶ブロック内の特定の前記ビット線に与えられた特

定のデータを、特定の前記ビット線に接続される前記メモリセルに書き込んだ後に、これらメモリセルから読み出したデータと前記特定のデータとを比較して、不良があるか否かを判定する請求項1に記載の半導体記憶装置。

[請求項5] 前記第1不良検出部および前記第2不良検出部の少なくとも一方は、前記不良情報記憶ブロック内の特定の前記ワード線上の少なくとも一部の前記メモリセルに相補データを書き込んだ後に、当該相補データを読み出して比較して、不良があるか否かを判定する請求項1に記載の半導体記憶装置。

[請求項6] 前記第1不良検出部および前記第2不良検出部の少なくとも一方で不良がないと判定されると、前記不良情報記憶ブロックの少なくとも一部に相補データを書き込んだ後に、書き込んだ前記相補データを読み出して比較することにより、前記不良情報記憶ブロックに不良があるか否かを判定する第3不良検出部を備える請求項1に記載の半導体記憶装置。

[請求項7] 前記不良情報記憶ブロックは、前記メモリセルアレイをブロック単位またはカラム単位に分割した各ブロックまたは各カラムを指定するアドレスを n （ n は2以上の整数）で割った商出表されるアドレス情報と、 n 個のブロックまたはカラムのそれぞれの不良情報を1ビットとする n ビットデータと、を対応づけて記憶する請求項1に記載の半導体記憶装置。

[請求項8] 前記不良情報記憶ブロックは、前記アドレス情報と、前記アドレス情報の反転データと、前記 n ビットデータと、前記 n ビットデータの反転データと、を対応づけて記憶する請求項7に記載の半導体記憶装置。

[請求項9] 前記不良情報記憶ブロックに記憶されている不良情報を読み出して保持する不良情報保持部と、

前記不良情報記憶ブロックをアクセスするための前記アドレスを、

前記不良情報保持部をアクセスするための前記アドレスに変換するアドレス変換部と、を備え、

前記不良情報保持部は、前記アドレス変換部で変換された前記アドレスに対応づけて、前記不良情報記憶ブロックに記憶されているブロック単位またはカラム単位の不良情報をそれぞれ別個に記憶する複数のラッチ回路を有する請求項 7 に記載の半導体記憶装置。

[請求項10]

複数のメモリセルと、前記メモリセルの少なくとも一部の複数の前記メモリセルに接続された複数のワード線と、前記メモリセルの少なくとも一部の複数の前記メモリセルに接続された複数のビット線と、前記メモリセルの少なくとも一部の複数の前記メモリセルの一群を含む複数のブロックとを有するメモリセルアレイと、

前記複数のブロックの少なくとも1つであって、前記メモリセルアレイ内の不良情報を記憶する不良情報記憶ブロックと、

前記不良情報記憶ブロックと同じ不良情報を記憶するスペア記憶ブロックと、

前記不良情報記憶ブロックに不良があるか否かを検出する第1不良検出部と、

前記第1不良検出部により前記不良情報記憶ブロックに不良があることが検出されると、前記不良情報記憶ブロック内の全メモリセルの記憶データを消去するデータ消去部と、

前記スペア記憶ブロックに記憶されている不良情報を読み出して一時的に保持する一時保持部と、

前記一時保持部に保持された不良情報を、前記データ消去部で消去後の前記不良情報記憶ブロックに書き込む不良情報書き込み部と、を備える半導体記憶装置。

[請求項11]

前記不良情報記憶ブロックに不良があることが検出されると、前記スペア記憶ブロックに不良があるか否かを検出する第2不良検出部を備え、

前記データ消去部は、前記第1不良検出部により前記不良情報記憶ブロックに不良があることが検出され、かつ前記第2不良検出部により前記スペア記憶ブロックに不良がないと検出されたときに、前記不良情報記憶ブロック内の前記メモリセルの記憶データを消去する請求項10に記載の半導体記憶装置。

[請求項12] 前記第1不良検出部および前記第2不良検出部は、当該半導体記憶装置がパワーオンリードを行うたびに不良があるか否かを判定する請求項10に記載の半導体記憶装置。

[請求項13] 前記第1不良検出部は、前記不良情報記憶ブロックの中の特定のワード線上の前記メモリセルのデータを読み出した結果に基づいて、前記不良情報記憶ブロックに不良があるか否かを検出し、

前記不良情報書き込み部は、前記不良情報記憶ブロックのうち、前記第1不良検出部で不良が検出された前記特定のワード線以外の前記ワード線上の前記メモリセルに前記一時保持部に保持された不良情報を書き込む請求項10に記載の半導体記憶装置。

[請求項14] 前記第2不良検出部にて不良があると判定されると、当該半導体記憶装置を不良とみなす不良決定部と、を備える請求項10に記載の半導体記憶装置。

[請求項15] 前記不良情報記憶ブロックは、前記メモリセルアレイをブロック単位またはカラム単位に分割した各ブロックまたは各カラムを指定するアドレスを n （ n は2以上の整数）で割った商出表されるアドレス情報と、 n 個のブロックまたはカラムのそれぞれの不良情報を1ビットとする n ビットデータと、を対応づけて記憶する請求項10に記載の半導体記憶装置。

[請求項16] 前記不良情報記憶ブロックは、前記アドレス情報と、前記アドレス情報の反転データと、前記 n ビットデータと、前記 n ビットデータの反転データと、を対応づけて記憶する請求項15に記載の半導体記憶装置。

[請求項17] 前記不良情報記憶ブロックに記憶されている不良情報を読み出して保持する不良情報保持部と、

前記不良情報記憶ブロックをアクセスするための前記アドレスを、前記不良情報保持部をアクセスするための前記アドレスに変換するアドレス変換部と、を備え、

前記不良情報保持部は、前記アドレス変換部で変換された前記アドレスに対応づけて、前記不良情報記憶ブロックに記憶されているブロック単位またはカラム単位の不良情報をそれぞれ別個に記憶する複数のラッチ回路を有する請求項15に記載の半導体記憶装置。

[請求項18] 複数のメモリセルと、前記メモリセルの少なくとも一部の複数の前記メモリセルに接続された複数のワード線と、前記メモリセルの少なくとも一部の複数の前記メモリセルに接続された複数のビット線と、前記メモリセルの少なくとも一部の複数の前記メモリセルの一群を含む複数のブロックとを有するメモリセルアレイと、

前記複数のブロックの少なくとも1つであって、前記メモリセルアレイ内の不良情報を記憶する不良情報記憶ブロックと、

前記不良情報記憶ブロックと同じ不良情報を記憶するスペア記憶ブロックと、

前記不良情報記憶ブロックに不良があるか否かを検出する第1不良検出部と、

前記第1不良検出部により前記不良情報記憶ブロックに不良があることが検出されると、前記不良情報記憶ブロック内の前記メモリセルの記憶データを消去した後に、前記スペア記憶ブロックに記憶されている不良情報を前記不良情報記憶ブロックに再書き込みするリフレッシュを行うリフレッシュ処理部と、

前記リフレッシュを行ったか否かを含むリフレッシュ履歴情報を記憶するリフレッシュ履歴情報記憶部と、を備える半導体記憶装置。

[請求項19] 特定のコマンドが発行されると、前記リフレッシュ履歴情報記憶部

に記憶されたリフレッシュ履歴情報を読み出すコマンド処理部を備える請求項 18 に記載の半導体記憶装置。

[請求項20] 前記リフレッシュ処理部が前記不良情報記憶ブロックのリフレッシュを最初に行う前に前記メモリセルアレイ内の一部の前記メモリセルに、消去データの論理と異なる論理のデータを書き込んでおき、前記一部のメモリセルが前記消去データの論理と同じか否かにより、前記リフレッシュが行われたか否かを判定するリフレッシュ判定部を備える請求項 18 に記載の半導体記憶装置。