(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
11. Oktober 2012 (11.10.2012)

WIPO | PCT

(10) Internationale Veröffentlichungsnummer
WO 2012/136176 A1

(51) Internationale Patentklassifikation:
H01L 21/02 (2006.01)

(21) Internationales Aktenzeichen: PCT/DE2012/000054

(22) Internationales Anmeldedatum:
25. Januar 2012 (25.01.2012)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2011 016 366.2 7. April 2011 (07.04.2011) DE

(71) Anmelder *(für alle Bestimmungsstaaten mit Ausnahme von US)*: **NASP III/V GMBH** [DE/DE]; Am Knechtacker 19, 35041 Marburg (DE).

(72) Erfinder; und
(75) Erfinder/Anmelder *(nur für US)*: **KUNERT, Bernadette** [DE/DE]; Zur Kaute 7, 35041 Marburg (DE).

(74) Anwälte: **JUNGBLUT, Bernhard** et al.; Jungblut & Seuss, Max-Dohrn-Strasse 10, 10589 Berlin (DE).

(81) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart)*: AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten *(soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart)*: ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

(54) Title: METHOD FOR PRODUCING A III/V SI TEMPLATE

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG EINES III/V-SI-TEMPLATS

(57) Abstract: The invention relates to a method for producing a monolithic template containing an Si wafer having a layer of a III/V semiconductor that is epitaxially applied to a surface of the Si wafer, wherein the III/V semiconductor comprises a lattice constant that deviates from the constant of the Si by less than 10%, comprising the following steps: A) the surface of the Si wafer is optionally deoxidized, B) an Si layer is optionally grown epitaxially on the surface of the deoxidized Si wafer, C) the surface of the Si wafer or the surface of the Si layer is optionally subjected to an etching and/or bake-out step, D) a layer made of a III/V semiconductor is epitaxially grown on the surface of the Si wafer or a surface produced in steps A) to C) at a wafer temperature of 350-650 °C, a growth rate of 0.1-2 µm/h, and a layer thickness of 1-100 nm, E) a layer made of a III/V semiconductor equal to or different from the III/V semiconductor applied in step D) is epitaxially grown on the layer obtained in step D) at a wafer temperature of 500-800 °C, a growth rate of 0.1-10 µm/h, and a layer thickness of 10-150 nm.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Herstellung eines monolithischen Templates enthaltend einen Si Wafer mit einer auf eine Oberfläche des Si Wafers epitaktisch aufgebrachten Schicht eines III/V Halbleiters, wobei der III/V Halbleiter eine Gitterkonstante aufweist, welche weniger als 10% von jener des Si abweicht, mit den folgenden Verfahrensstufen: A) optional wird die Oberfläche des Si Wafers deoxidiert, B) optional wird auf die Oberfläche des deoxidierten Si Wafers eine Si Schicht epitaktisch aufgewachsen, C) optional wird die Oberfläche des Si Wafers oder die Oberfläche der Si Schicht einer Ätz- und/oder Ausheizverfahrensstufe unterworfen, D) auf die Oberfläche des Si Wafers oder eine im Zuge einer der Stufen A) bis C) entstandenen Oberfläche wird bei einer Wafertemperatur von 350-650 °C, einer Wachstumsrate von 0,1-2 µm/h und einer Schichtdicke von 1-100 nm eine Schicht aus einem III/V Halbleiter epitaktisch aufgewachsen, E) auf die in Stufe D) erhaltene Schicht wird bei einer Wafertemperatur von 500-800 °C, einer Wachstumsrate von 0,1-10 µm/h und einer Schichtdicke von 10-150 nm eine Schicht aus einem III/V-Halbleiter, gleich mit oder verschieden von dem in Stufe D) aufgebrachten III/V Halbleiter, epitaktisch aufgewachsen.

WO 2012/136176 A1