明 細 書

半導体集積回路装置およびその製造方法ならびに製造装置

技術分野

本発明は、半導体集積回路装置およびその製造技術に関し、特に、小型・高性能のマルチチップ・モジュールを有する半導体集積回路装置に適用して有効な技術に関するものである。

背景技術

ＳＩＭＭ(Single In-line Memory Module)に代表されるメモリモジュールは、エンジニアリング・ワークステーション（ＥＷＳ）やパーソナル・コンピュータなどに搭載する半導体メモリとして広く利用されている。ＳＩＭＭは、通常、ＤＲＡＭ(Dynamic Random Access Memory)やＳＲＡＭ(Static Random Access Memory)などのメモリＬＳＩを形成した半導体チップをＳＯＪ(Small Out-line J-leaded Package)などのＬＳＩパッケージに封止し、これをプリント配線基板に実装した構成となっている。

ところが、近年のＥＷＳや並列処理コンピュータは、大量のデータを高速で処理するために大容量のメモリ（ＲＡＭ）を必要としている。そこで、これに対応するために、メモリモジュールの三次元化技術が検討されている。これは、従来のＳＩＭＭのように、プリント配線基板上に平面的（二次元的）にＬＳＩパッケージを実装する方式では、メモリ容量の増加につれてプリント配線基板のサイズが著しく大型化してしまうからである。

三次元メモリモジュールの具体例としては、例えばＴＳＯＰ(Thin Small Out-line Package)などの超薄型ＬＳＩパッケージを何層か積み重ねてその両側壁にプリント配線基板を配置し、それぞれのＴＳＯＰのリードをこの側面基板で保持する構造のもの（工業調査会、1993年９月１日発行「電子材料」p.33～p.39）などが知られている。

この種の三次元メモリモジュールによれば、同一面積のプリント配線基板上により多くのＬＳＩパッケージを搭載できるので、小型で大容量のメモリモジュー

ルを実現することができる。また、プリント配線基板上に平面的にＬＳＩパッケージを実装する場合に比べてパッケージ間を接続する配線長を短くすることができるので、高速化の面からも利点が大きい。

しかしながら、ＴＳＯＰなどの超薄型ＬＳＩパッケージを積み重ねた従来構造の三次元メモリモジュールは、モジュールの小型化とパッケージの熱抵抗の低減を両立させることが困難である。

すなわち、ＴＳＯＰなどのＬＳＩパッケージを積み重ねると、上下の半導体チップ間の樹脂の肉厚が二倍になるので、パッケージの熱抵抗が大きくなってしまう。従って、この熱抵抗を低減するために、パッケージとパッケージの間に適当な隙間を設けなければならないので、モジュールの縦方向の外形寸法が大きくなってしまう。

三次元メモリモジュールを小型化する有効な手段は、一つのパッケージに複数の半導体チップを一括して封止することである。このようにすると、上下の半導体チップ間に充填される樹脂の肉厚が薄くなるので、パッケージの縦方向の外形寸法が小さくなるのみならず、パッケージの熱抵抗も小さくなる。

しかし、一つのパッケージに複数の半導体チップを単純に一括封止しただけでは、信頼性の高いメモリモジュールを得ることはできない。すなわち、一つのパッケージに複数の半導体チップを一括封止した場合は、パッケージの中心部と周辺部の温度差が大きくなり、パッケージの内部に大きな熱ストレスの生ずることが予想される。従って、パッケージの中心部の熱を速やかに外部に放散させるための構造設計が不可欠である。

また、一つのパッケージに複数の半導体チップを一括封止する場合は、テスティング、選別、エージングなどをどのような方法で行うかが問題となる。すなわち、一つのパッケージに複数の半導体チップを一括封止したモジュールは、パッケージの封止後にいずれかの半導体チップが不良であることが判明しても、その半導体チップを交換することができない。従って、モジュールの製造歩留りを向上させるためには、半導体チップをリードフレームに搭載してワイヤボンディングを行った後、半導体チップを封止する工程の直前にすべての半導体チップが正常に動作するか否かを確認するためのテスティング、選別、エージングを行う必

要がある。しかし、封止工程前のリードフレームは、全てのリードがタイバーを介して電気的に導通した状態になっているため、そのままではテスティング、選別、エージングを行うことができない。

また、一つのパッケージに複数の半導体チップを一括封止する場合は、封止工程の歩留り、スループットも問題となる。通常、ＴＳＯＰなどのＬＳＩパッケージは、上型と下型との間にリードフレームを挟んでその隙間に樹脂を注入するインサート・モールド法により成形するが、半導体チップを搭載したリードフレームを積層して一括封止する場合は、上型と下型とで構成される従来の金型ではパッケージの離型が困難となるのでその対策が必要である。また、重なり合ったリードフレームの隙間には樹脂が流入し難く、ボイド（空隙）などが発生し易いので、これを防ぐ対策も必要である。

また、従来構造の三次元メモリモジュールは、全ての半導体チップを同一ピン配列のリードフレームに搭載している。しかし、データピンの接続は半導体チップごとに異なるので、同一ピン配列のリードフレームを使用したのでは、リードフレーム間を縦方向に単純に接続することができない。従って、例えば前述した文献に記載されたメモリモジュールのように、積層したＬＳＩパッケージの両側壁にプリント配線基板を配置するなどの対策が必要となり、モジュールの小型化が制約される。

さらに、従来構造の三次元メモリモジュールは、多ビット化への対応が困難である。すなわち、例えば３６ビットメモリモジュールのようにデータ幅の広い多ビット製品は、データ線が多いためにリードフレームを小型に設計することが困難で、パッケージサイズ、ボンディングワイヤ長が長くならざるを得ない。従って、従来技術では、多ビット品を小型のメモリモジュールに搭載することは困難である。

本発明の目的は、小型・高性能のマルチチップ・モジュール、特に小型・大容量のメモリモジュールを提供することにある。

本発明の目的は、小型・高性能のマルチチップ・モジュールの製造方法を提供することにある。

本発明の目的は、小型・高性能のマルチチップ・モジュールの製造装置を提供

することにある。

本発明の他の目的は、小型・高性能のマルチチップ・モジュールを安価に提供することのできる技術を提供することにある。

本発明の他の目的は、多ビット品を搭載したマルチチップ・モジュールを小型化することのできる技術を提供することにある。

本発明の他の目的は、マルチチップ・モジュールの放熱性を改善することのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本発明の半導体集積回路装置は、半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在する前記ソケットのリードとを電気的に接続したマルチチップモジュールである。このマルチチップモジュールによれば、複数の半導体チップを一括してパッケージに封止するので、半導体チップを１個ずつ樹脂封止したＴＳＯＰのようなＬＳＩパッケージを何層か積み重ねて構成したモジュールに比べて外形寸法を大幅に縮小することができる。また、パッケージから引き出したアウターリードとソケットのリードを交差させて接続することにより、マトリクス状の放熱経路が形成され、パッケージの中心部の熱を速やかに外部に放散させることができる。また、パッケージの側面からアウターリードを引き出して板バネ構造としているので、積層されたリードフレームの隙間に充填される樹脂の縦方向の伸縮を緩和することができる。

本発明の半導体集積回路装置は、上記のマルチチップモジュールにおいて、前記樹脂パッケージに一括封止された前記それぞれの半導体チップは、多ビットの入出力端子を有すると共に、前記入出力端子の一部に前記リードフレームと電気的に接続されていない不良の端子を含み、前記樹脂パッケージは、前記半導体チップの全体で前記リードフレームと電気的に接続された所定数の入出力端子を構

成しているものである。これにより、入出力端子の一部に不良の端子を含む多ビットの半導体チップの正常な入出力端子のみを選択的にリードフレームにボンディングすることによって、正常な入出力端子を持つ多ビットのマルチチップ・モジュールを得ることができる。

本発明の半導体集積回路装置は、上記のマルチチップモジュールにおいて、前記樹脂パッケージから引き出した前記リードフレームのアウターリードと、前記アウターリードの延在する方向と交差する方向に延在するリードとを電気的に接続し、前記リードの下端部をＪ型に成形して前記樹脂パッケージの外部端子を構成したマルチチップモジュールである。これにより、樹脂パッケージのリードをプリント配線基板に直接接続することができるので、前記ソケットが不要となり、部品点数の低減によるマルチチップ・モジュールの低価格化と外形寸法の小型化とを併せて実現することができる。

本発明の半導体集積回路装置は、上記のマルチチップモジュールを製造する際、上型および下型と、前記所定数のリードフレームのそれぞれの隙間に挿入され、それぞれが２分割可能な所定数の可動金型とで構成される金型を用いて、前記所定数のリードフレームを一括封止するものである。これにより、モールド後、それぞれの可動金型を左右に２分割することによって、パッケージを簡単に金型から離型することができる。

図面の簡単な説明

第１図は本発明の一実施例であるＤＲＡＭモジュールの前方斜視図、第２図はＤＲＡＭモジュールの後方斜視図、第３図はＤＲＡＭモジュールの裏面斜視図、第４図はＤＲＡＭモジュールの内部構成を示すブロック図、第５図はＤＲＡＭモジュールに使用される半導体チップのパッドレイアウトを示す平面図、第６図～第１４図は半導体チップが搭載される９枚のリードフレームの平面図、第１５図は半導体チップを搭載したリードフレームの平面図、第１６図はパッケージの斜視図、第１７図はパッケージを搭載するマザーソケットの斜視図、第１８図はパッケージの成形に用いる入れ子金型の斜視図、第１９図は入れ子金型の上金型を持ち上げた状態を示す斜視図、第２０図は入れ子金型の分解斜視図、第２１図は

入れ子金型の可動金型を示す平面図（ａ）および側面図（ｂ）、第２２図はパッケージの他の実施例を示す斜視図、第２３図はＤＲＡＭモジュールの他の実施例を示す斜視図、第２４図～第３２図はリードフレームの他の実施例を示す平面図、第３３図は入れ子金型の内部を上下方向に貫通するゲートラインの斜視図、第３４図はリードフレームを分解した状態を示す平面図、第３５図はマザーソケットの製造に用いる金型の一対の可動金型を示す斜視図、第３６図はマザーソケットの製造に用いる金型の一対の中央金型を示す斜視図、第３７図～第３９図はマザーソケットの製造に用いるリードフレームの平面図、第４０図～第４９図はリードフレームの他の実施例を示す平面図、第５０図はリードを保持している外側の金属部分を切り離した状態を示すリードフレームの平面図、第５１図は第２４図～第３２図に示した９枚のリードフレームで構成された一枚の組みリードフレームの全体平面図、第５２図、第５３図はダミーのリードフレームの平面図、第５４図はＤＲＡＭモジュールの等価回路図、第５５図はデュアルインライン構造に対応したマザーソケットのピン配列を示す平面図、第５６図～第６７図はリードフレームの他の実施例を示す平面図、第６８図はデュアルインライン構造のマザーソケットの斜視図、第６９図はマザーソケット上にパッケージを１段搭載した状態を示す斜視図、第７０図はＤＲＡＭモジュールの他の実施例を示す斜視図、第７１図はマザーソケットの上面側のピン配列を示す平面図、第７２図、第７３図はマザーソケット用リードフレームの他の実施例を示す平面図、第７４図はＤＲＡＭモジュールに放熱フィンを取り付けた実施例を示す斜視図、第７５図は放熱フィンの一部をカットした状態を示す斜視図、第７６図は放熱フィンの側面図、第７７図は放熱フィンの斜視図、第７８図は放熱フィンの他の実施例を示す斜視図、第７９図はＤＲＡＭモジュールの他の実施例を示す等価回路図、第８０図はＤＲＡＭモジュールの他の実施例を示す斜視図、第８１図はＤＲＡＭモジュールをＳＩＭＭのプリント配線基板に実装した状態を示す斜視図、第８２図はパッケージの成形に用いる入れ子金型の他の実施例を示す構成図、第８３図は可動金型の平面図（ａ）、側面図（ｂ）、第８４図は下金型の斜視図（ａ）、平面図（ｂ）、断面図（ｃ）、第８５図、第８６図はパッケージの成形方法を示す入れ子金型の構成図、第８７図はモールド装置の全体構成図、第８８図はパッケージの成

形方法を示す入れ子金型の構成図、第８９図はパッケージの成形方法を示す入れ子金型の斜視図、第９０図はパッケージの成形方法を示す入れ子金型の構成図、第９１図は可動金型の他の実施例を示す平面図（ａ）、側面図（ｂ）、第９２図はパッケージの断面図、第９３図は３００mil-ＳＯＪのＥＩＡＪ規格を示す説明図、第９４図はＤＲＡＭモジュールの一部を破断して示す断面図、第９５図、第９６図はモジュールリードの他の実施例を示す斜視図、第９７図は半田フィレットのパターンを示す側面図（ａ）、斜視図（ｂ）、第９８図（ａ）～（ｃ）はリードの他の実施例を示す平面図、第９９図はモジュールリードとリードの一括接続方法を示す側面図（ａ）、平面図（ｂ）、第１００図、第１０１図はリードの他の実施例を示す斜視図、第１０２図はパッケージの底面に窪みを設けた状態を示す斜視図、第１０３図は従来の単層パッケージの底面に窪みを設ける方法を示す説明図、第１０４図、第１０５図は可動金型の他の実施例を示す断面図、第１０６図（ａ）～（ｃ）は可動金型の他の実施例を示す側面図、（ｄ）、（ｅ）は（ｂ）の可動金型を上方から見た平面図、（ｆ）は可動金型のゲート孔の拡大平面図、第１０７図（ａ）は可動金型のゲート孔、ガイドピン孔、下金型のゲート孔の位置関係を示す平面図、（ｂ）はスリットゲートの平面図、第１０８図（ａ）はスリットゲートの拡大斜視図、（ｂ）はピンゲートの拡大斜視図、第１０９図（ａ）はゲート孔の平面図、（ｂ）はゲート孔の変形例を示す（ａ）のＸ－Ｘ’線に沿った断面図、第１１０図（ａ）、（ｂ）は可動金型の製造方法を示す斜視図、第１１１図はＤＲＡＭモジュールの他の実施例を示す斜視図、第１１２図はＤＲＡＭモジュールを裏面から見た斜視図、第１１３図はＤＲＡＭモジュールの内部構成を示すブロック図、第１１４図はマザーソケットの底面を示す平面図、第１１５図はマザーソケットの上面を示す平面図、第１１６図はマザーソケットの上面のソルダーレジストパターンを示す平面図、第１１７図はマザーソケットの底面側に設けられた冗長階層セレクタの等価回路図、第１１８図は冗長階層セレクタの選択的な接続方法を説明するための概念図、第１１９図はマザーソケットの底面側に設けられる冗長階層セレクタの他の等価回路図、第１２０図はＤＲＡＭチップのブロック図、第１２１図はＤＲＡＭチップの制御信号に着目したブロック図、第１２２図はＤＲＡＭモジュールの他の実施例のブロック図、第

１２３図は欠陥救済用ＬＳＩの一実施例のブロック図、第１２４図はインテリジェント化モジュールのブロック図、第１２５図（ａ）は誤り訂正回路を組み込んだモジュールの製造方法を示すパッケージの構成図、同図（ｂ）はマザーソケットの構成図、第１２６図、第１２７図はインテリジェント化モジュールの斜視図、第１２８図、第１２９図はインテリジェント化モジュールに使用するリードフレームの平面図、第１３０図はＤＲＡＭモジュールの他の実施例の等価回路図、第１３１図はリードとモジュールリードの接続方法の他の実施例を示す平面図（ａ）、側面図（ｂ）、第１３２図はリードとモジュールリードの接続方法の他の実施例を示す斜視図、第１３３図はマザーソケットの他の実施例を示す斜視図、第１３４図はＤＲＡＭモジュールの他の実施例を示す斜視図である。

発明を実施するための最良の形態

本発明をより詳述するために、添付の図面に従ってこれを説明する。

第１図は、本発明の一実施例であるＤＲＡＭモジュールを前方から見た斜視図、第２図は、このＤＲＡＭモジュールを後方から見た斜視図、第３図はこのＤＲＡＭモジュールを裏面から見た斜視図、第４図は、このＤＲＡＭモジュールの内部構成を示すブロック図である。

本実施例のＤＲＡＭモジュール１Ａは、モジュール本体であるパッケージ２Ａとこれを搭載するマザーソケット３Ａとで構成されている。パッケージ２Ａとマザーソケット３Ａは、エポキシ系の合成樹脂や耐熱液晶ポリマーなどからなり、後述する金型を使ってインサート・モールドされる。

パッケージ２Ａの内部には、９個の半導体チップ（M0～M8)とこれらの半導体チップ（M0～M8)を１個ずつ搭載（チップボンディング）した合計９枚のリードフレームがパッケージ２Ａの上下方向に積層された状態で一括封止されている。パッケージ２Ａに封止された９個の半導体チップ（M0～M8)のそれぞれには、１６メガビット[Mbit]の大容量を有する〔１６７７７２１６ワード×１ビット〕構成のＣＭＯＳ－ＤＲＡＭが形成されている。そして、これら９個の半導体チップ（M0～M8)を相互に結線することによって、第４図に示すような〔１６７７７２１６ワード×９ビット〕構成のＤＲＡＭモジュールが構成されている。

つまり、本実施例のＤＲＡＭモジュール１Ａは、１ビット単位でメモリアクセスを行う９個の１６メガビット[Mbit]ＤＲＡＭチップ（M0～M8)を並列に接続することによって、９ビット単位でメモリアクセスを行う大容量のＤＲＡＭモジュールを実現している。

第５図は、上記１６メガビット[Mbit]ＤＲＡＭが形成された半導体チップ（M）のパッドレイアウトを示す平面図である。この半導体チップ（M）は、〔４１９４３０４ワード×４ビット〕モードと〔１６７７７２１６ワード×１ビット〕モードがボンディングオプションで切換えられるように構成されており、〔１６７７７２１６ワード×１ビット〕モードで動作させるときには、図示のＦＰ２パッドをVss（ＧＮＤ）にショートさせる。また、この半導体チップ（M）は、ピン（端子）数の増加を防ぐために、ワイヤボンディング時に前記第４図に示すデータ入力ピンDinとデータ出力ピンDoutが同一のリードに内部接続される。

第６図～第１４図は、上記半導体チップ（M0～M8)が搭載される９枚のリードフレーム（Ｓ１～Ｓ９)の平面図である。それぞれのリードフレーム（Ｓ１～Ｓ９)には、長辺方向に沿ってリード６が二列に配置されている。リード６の数は、各列１６本の合計３２本である。それぞれのリード６の先端には、後述するマザーソケット３Ａのモジュールリードが挿入される四角い開孔８が形成されている。また、リードフレーム（Ｓ１～Ｓ９)の外周部には、後述する金型のガイドピンが挿入される丸い開孔４が設けられている。

リード６のパターン（ピン配置）は、リードフレーム（Ｓ１～Ｓ９)ごとに個別に設計されている。すなわち、電源（およびＧＮＤ）ピン、アドレス信号ピン、コントロール信号ピンなどのような共通接続されるピンはすべてのリードフレーム（Ｓ１～Ｓ９)で共通の配置となっているが、データ入出力用のピン（データピン）の配置はすべてのリードフレーム（Ｓ１～Ｓ９)で異なっている。電源（およびＧＮＤ）ピンは、バスバーリードとして構成されている。電源（およびＧＮＤ）ピンは、配線インピーダンスを低くするために、複数箇所で半導体チップの電源用パッド（およびＧＮＤパッド）に接続される。

上記９枚のリードフレーム（Ｓ１～Ｓ９)は、第６図に示すリードフレーム（Ｓ１)がパッケージ２Ａの最下層に配置され、その上に第７図～第１４図に示す８枚

のリードフレーム（S2～S9)が下層からS2,S3…S9の順に積層される。リードフレーム（S1～S9)は、42アロイ、コバールなどの導電材料からなり、その標準的な板厚は0.1～0.125mm程度である。

第15図は、半導体チップ（M0）を搭載したリードフレーム（S1)の平面図である。半導体チップ（M0）は、絶縁テープ5を用いたLOC(Lead On Chip)方式によってリードフレーム（S1)に搭載されている。絶縁テープ5は、半導体チップ（M0）の主面とリードフレーム（S1)の下面との間に挿入され、熱圧着によってリードフレーム（S1)に接着されている。半導体チップ（M0）は、接着剤によって絶縁テープ5に接着されている。絶縁テープ5は、パッケージ2Aを構成している合成樹脂との界面に生じる熱応力などを緩和する目的で4分割されている。絶縁テープ5は、ポリイミド樹脂、高耐熱・高強度液晶ポリマー（例えばポリプラスチック社の「ベクトラ E130 」のようなガラス繊維強化高耐熱液晶ポリマー）などからなり、その標準的な厚さは0.1～0.05mm程度である。

半導体チップ（M0）の主面上には、ボンディングパッド（BP）が長辺方向に沿って一列に配置されている。これらのボンディングパッド（BP）とリードフレーム（S1)の対応するリード6とは、Auのワイヤ7によって電気的に接続されている。ボンディングパッド（BP）とリード6の接続は、加熱または超音波もしくはこれらを併用した周知のワイヤボンディング装置を使って行われる。図示は省略するが、その他のリードフレーム（S2～S9)のそれぞれにも上記した方法で半導体チップ（M1～M8)が搭載されている。

また、第15図にはリードフレーム（S1)のピン（ピン1～ピン32）の配列が示してある。同図には使用パット（BP）のみが示されているが、データ出力ピンDoutは前記第5図に示すIO3パッド、データ入力ピンDinはDinパッドであり、ピン31に内部接続されている。ピン1～ピン32の構成を順に説明すると、ピン1はVss、ピン2はNC、ピン3は第2層目のリードフレーム（S2)のデータ1、ピン4は第4層目のリードフレーム（S4)のデータ3、ピン5は第6層目のリードフレーム（S6)のデータ5、ピン6は第8層目のリードフレーム（S8)のデータ7、ピン7は／WE、ピン8はロウアドレスストローブ信号／RAS、ピン9はA（アドレス）11、ピン10はA10、ピン11はA0、ピ

ン１２はＡ１、ピン１３はＡ２、ピン１４はＡ３、ピン１５はVcc、ピン１６は同じくVcc、ピン１７はVss、ピン１８は同じくVss、ピン１９はＡ４、ピン２０はＡ５、ピン２１はＡ６、ピン２２はＡ７、ピン２３はＡ８、ピン２４はＡ９、ピン２５は第９層目のリードフレーム（S9)の（パリティ用）のカラムアドレスストローブ信号／ＰＣＡＳ（第１層目～第８層目のリードフレーム（S1～S8)はピン２６で使用しているＣＡＳパッドに接続）、ピン２６はチップセレクト信号（カラムアドレスストローブ信号）／ＣＡＳ（第９層目のリードフレーム（S9)を除く）、ピン２７は第９層目のリードフレーム（S9)のパリティ用データ８、ピン２８は第７層目のリードフレーム（S7)のデータ６、ピン２９は第５層目のリードフレーム（S5)のデータ４、ピン３０は第３層目のリードフレーム（S3)のデータ２、ピン３１は第１層目のリードフレーム（S1)のデータ０、ピン３２はVssである。

第１６図は、上記のような内部構造を有するパッケージ２Ａの斜視図である。図示のように、パッケージ２Ａの長辺方向の両側面には、前述した９枚のリードフレーム（S1～S9)のリード６が水平方向に引き出されている。これらのリード６のうち、電源（およびＧＮＤ）ピン、アドレス信号ピン、コントロール信号ピンなどを構成するリード６は、すべてのリードフレーム（S1～S9)で共通の配置となっているため、パッケージ２Ａの側面において上下方向に重なり合うように配置されている。ただし、コントロール信号の／ＣＡＳは、最上層のリードフレーム（S9)を除く他のリードフレーム（S1 ～S8)で共通の配置となっている。これに対し、データピンを構成するリード６の配置は、リードフレーム（S1～S9)ごとに異なっているので、上下方向に重なり合わないように、それぞれのリードフレーム（S1～S9)から１本（１ビット）ずつ引き出されている。

第１７図は、上記パッケージ２Ａが搭載されるマザーソケット３Ａの斜視図である。図示のように、マザーソケット３Ａには、上下方向に延在するモジュールリード９がその長辺方向の両側面に沿って一列ずつ配置されている。モジュールリード９の配置は、リードフレーム（S1～S9)のリード６の配置に対応している。モジュールリード９の下部は、マザーソケット３Ａを貫通してその裏面側に延在し、ＤＲＡＭモジュール１ＡをＳＩＭＭのプリント配線基板に実装する際の

外部端子を構成している。

上記マザーソケット３Ａにパッケージ２Ａを搭載するには、マザーソケット３Ａのモジュールリード９をパッケージ２Ａの対応するリード６の開孔８に挿入し、両者を半田、ろう付けあるいは溶接などといった周知の手段で接続、固定する。半田を使って両者を接続する場合は、リード６の表面とモジュールリード９の表面とに半田メッキを施しておき、モジュールリード９をリード６の開孔８に挿入した後、加熱炉内でこの半田メッキを溶融させる。その際、リード６またはモジュールリード９の一方にパラジウム（Ｐｄ）のような半田フローを阻止する金属をメッキしておくことにより、半田の溶融によってリード６同士やモジュールリード９同士がショートする危険を少なくすることができる。

半導体チップが１個だけ封止されたＬＳＩパッケージ（例えばＴＳＯＰ）を何個か積み重ねて構成した従来のメモリモジュールは、パッケージを構成する樹脂の厚みに加えて放熱のためにそれぞれのパッケージの間に隙間を設ける必要があるので、積層方向の寸法の縮小には限界がある。これに対し、本実施例のＤＲＡＭモジュール１Ａは、複数個の半導体チップ（M0 ～M8)を１個のパッケージ２Ａに一括して封止するので、上記した従来のメモリモジュールに比べて上下方向の外形寸法（高さ）が大幅に縮小される。

また、本実施例のＤＲＡＭモジュール１Ａは、前述したような構造のリードフレーム（Ｓ１～Ｓ9)を使用したことにより、パッケージ２Ａの平面的な寸法がその内部に封止された半導体チップ（M0 ～M8) １個分の大きさよりも僅かに大きくなるだけで済む。ただし、リードフレーム（Ｓ１～Ｓ9)のデータピン（リード６）をパッケージ２Ａの上下方向に重ならないように分散させて配置する必要上、通常のＤＲＡＭ用リードフレームに比べてリード６の本数が各列で４本程度多くなり、その分、パッケージ２Ａの長辺方向の寸法が大きくなる。しかし、リード６のピッチは極く狭いので、長辺方向の寸法の増加は僅かである。

また、本実施例のＤＲＡＭモジュール１Ａは、１個のパッケージ２Ａに多数の半導体チップ（M0 ～M8)が封止されているにもかかわらず、パッケージ２の熱抵抗が非常に小さい。これは、一つには半導体チップ（M0 ～M8)の隙間に充填される樹脂の肉厚が極めて薄いためである。また、パッケージ２Ａの側面から水

平方向に引き出したリード６と上下方向に延在するマザーソケット３Ａのモジュールリード９を交差接続したことによって、マトリクス状の放熱経路が形成されるので、パッケージ２Ａの中心部の熱がリード６とモジュールリード９とを通じて速やかに外部に放散されるためである。

また、本実施例のＤＲＡＭモジュール１Ａは、パッケージ２Ａの側面から引き出された多数のリード６が板バネ構造を形成しているため、パッケージ２Ａ内のリードフレーム（Ｓ１～Ｓ９)の隙間に充填された樹脂の上下方向の伸縮応力がリード６の変形によって吸収、緩和される構造になっている。これにより、樹脂とリードフレーム（Ｓ１～Ｓ９)の界面剥離や樹脂のクラックが抑制されるので、パッケージ２Ａの信頼性が向上する。

また、本実施例のＤＲＡＭモジュール１Ａは、データピンの配置をリードフレーム（Ｓ１～Ｓ９)ごとに変えてあるので、リードフレーム（Ｓ１～Ｓ９)間を直接接続することができる。つまり、別途、リードフレーム（Ｓ１～Ｓ９)間の接続を目的としたプリント配線基板などを必要としないので、ＤＲＡＭモジュール１の外形寸法を小さくすることができる。

なお、上記の説明では、データピンを構成するリード６をそれぞれのリードフレーム（Ｓ１～Ｓ９)から１本ずつ引き出すものとしたが、さらにダミーのリードを引き出すようにしてもよい。その実例が前記第１６図に示すパッケージ２Ａの手前左側から９番目のリード６（ピン２５）である。このピン２５は、第９層目（最上層）のリードフレーム（Ｓ９)のＰＣＡＳであるため、本来は第９層目のリードフレーム（Ｓ９)からのみ引き出されるものであるが、同図に示すように、下層の各リードフレーム（Ｓ１～Ｓ８)の同じ箇所からもリード６が１本ずつ、合計８本引き出されている。この８本のリード６は、いずれも半導体チップ（Ｍ０～Ｍ８)とは電気的に接続されていないダミーのリードである。

上記のようなダミーリードをパッケージ２Ａから引き出してマザーソケット３のモジュールリード９に接続した場合は、パッケージ２Ａの放熱経路が増えるので、その熱抵抗がさらに小さくなる。また、マザーソケット３Ａのモジュールリード９に接続されるリード６の本数が増えるので、リード６とモジュールリード９の接合強度が向上する。

次に、本実施例のＤＲＡＭモジュール１Ａの製造方法を説明する。

通常、ＴＳＯＰなどのＬＳＩパッケージは、上金型と下金型の間にリードフレームを挟み込んでその隙間に樹脂を注入するインサート・モールド法で成形される。しかし、本実施例のＤＲＡＭモジュール１Ａのパッケージ２Ａには、多数のリードフレーム（Ｓ１～Ｓ8)が一括封止されるので、上金型と下金型だけで構成される従来のモールド金型を使用したのでは、モールド後にパッケージ２Ａを金型から離型するのが難しい。

そこで、本実施例では、第１８図～第２０図に示すような入れ子金型を使用してパッケージ２Ａをモールド成形する。第１８図は入れ子金型の斜視図、第１９図は入れ子金型の上金型を持ち上げた状態を示す斜視図、第２０図は入れ子金型の分解斜視図、第２１図は入れ子金型の可動金型を示す平面図（ａ）および側面図（ｂ）である。

図示のように、入れ子金型１０は、上金型１１と下金型１２と複数組の可動金型（スペーサ型）１３とで構成されている。１組の可動金型１３は２枚の薄板で構成され、積層された（チップボンディング済みの）リードフレーム（Ｓ）の隙間に１組ずつ挿入される。本実施例のパッケージ２Ａのように９枚のリードフレーム（Ｓ１～Ｓ9)を封止する場合は、８組の可動金型１３が必要となる。

第２１図に示すように、上記可動金型１３は、パーティングライン（ＰＬ）を中心にして水平方向に左右２分割される。図示のように、このパーティングライン（ＰＬ）と直交する方向に沿った可動金型１３の４辺には、パッケージ２Ａの離型を容易にする目的で、例えば４° 程度の離型角（θ）が設けられている。

リードフレーム（Ｓ１～Ｓ9)の隙間に１組ずつ挿入される上記のような可動金型１３を使用することにより、多数のリードフレーム（Ｓ１～Ｓ9)を特別な構造補強を行うことなく入れ子金型１０の所定の位置に高精度に３次元配置することが可能となる。また、モールド後は、上金型１１と下金型１２を上下方向に分割すると共に、それぞれの可動金型１３を水平方向に２分割するだけでパッケージ２Ａを簡単に離型することができるので、モールド工程の歩留りおよびスループットが向上する。

可動金型１３の厚さは、半導体チップ（Ｍ）の厚さ、絶縁テープ５の厚さ、ワ

イヤ７のループ高さ、および半導体チップ（M）間に充填される樹脂の厚さを合計した厚さに相当する。一例として半導体チップ（M）の厚さが0.２８mm、絶縁テープ５の厚さが0.１mm、ワイヤ７のループ高さが0.１５mm、半導体チップ（M）間に充填される樹脂の厚さが0.１５mmのとき、可動金型１３の厚さは0.６８mmである。

また、リードフレーム（S）の板厚を0.１mmとし、パッケージ２Aの上、下端部の厚さは、半導体チップ（M）を含む上端部の厚さを0.５８mm（絶縁テープ５の厚さ＋半導体チップ（M）の厚さ＋樹脂の厚さ＝0.１mm＋0.２８mm＋0.１５mm）、半導体チップ（M）を含まないワイヤ７のみの下端部の厚さを0.３５mm（ワイヤ７のループ高さ＋樹脂の厚さ＝0.１５mm＋0.２mm）として計算すると、パッケージ２Aの上下方向の外形寸法は、パッケージ２Aの上端部の厚さ（0.５８mm）＋〔リードフレーム（S）の板厚（0.１mm）×９〕＋〔可動金型１３の厚さ(0.６８mm）×８〕＋パッケージ２Aの下端部の厚さ（0.３５mm）＝7.２７mmとなる。

上記したパッケージ２Aの外形寸法（＝7.２７mm）は、例えば厚さ1.１mmのＴＳＯＰを隙間なく９個積層した場合の寸法（1.１mm×９＝9.９mm）に比べて２７%程度小さい。しかも、実際にＴＳＯＰを積層する場合は、放熱を考慮してそれぞれのＴＳＯＰの間に１mm程度の隙間を設ける必要があるので、（1.１mm×９）＋（１mm×８）＝１８mm程度になる。つまり、本実施例のパッケージ２Aの上下方向の外径寸法は、ＴＳＯＰを積層したものに比べて約４０%も小さくなる。また、上記のような可動金型１３を備えた記入れ子金型１０を使用してパッケージ２Aを成形することにより、半導体チップ（M0 ～M8)の隙間に充填される樹脂の肉厚を最小限にすることができるので、パッケージ２Aの中心部の温度上昇を抑えることができる。

本実施例のＤＲＡＭモジュール１Aは、上記したワイヤ７のループ高さ、絶縁テープ５の厚さ、半導体チップ（M）の厚さ、半導体チップ（M）の隙間に充填される樹脂の厚さなどをさらに薄くすることにより、パッケージ２Aの上下方向の外形寸法をさらに小さくすることが可能である。

例えばワイヤ７のループ高さを0.１５mmから0.１２mm、絶縁テープ５の厚さ

を0.1mmから0.05mm、半導体チップ（M）の厚さを0.28mmから0.2mmへとそれぞれ薄くした場合は、リードフレーム（S）の板厚を0.1mmとしたとき、リードフレーム（S）一層あたりの厚さは0.57mmとなる。さらに、半導体チップ（M）とリードフレーム（S）の接続をワイヤボンディング方式からバンプ電極方式に代えた場合は、ワイヤ7のループ高さを考慮しなくともよいので、バンプ電極の高さを0.03mmとすると、リードフレーム（S）一層あたりの厚さは0.45mmまで薄くなる。

ただし、リードフレーム（S）一層あたりの厚さを極めて薄くした場合は、上層の半導体チップ（M）の裏面と、下層の半導体チップ（M）のワイヤ7とがショートする危険が高くなる。これを防止するには、半導体チップ（M）の裏面に絶縁性の樹脂膜を薄くコーティングすればよい。また、上下のリードフレーム（S）同士が極めて接近した場合は、リードフレーム（S）間のクロストークノイズが問題となる。その場合は、半導体チップ（M）の裏面に薄いAu箔やAl箔などのシールド層を設けることで対策する。

第22図は、上記した方法でリードフレーム（S）一層あたりの厚さを薄くしたパッケージ2Bの斜視図、第23図は、このパッケージ2Bをマザーソケット3Bに搭載した超小型DRAMモジュール1Bの斜視図である。このDRAMモジュール1Bを前記第1図～第3図に示すDRAMモジュール1Aと比較すると、上下方向の寸法が大幅に縮小されていることが判る。

次に、パッケージ2Aのモールド工程の歩留りとスループットをさらに向上させるための改良されたリードフレーム構造について説明する。

前記入れ子金型10にリードフレーム（S1～S9)をセットして一括モールドした場合、使用するエポキシ樹脂の粘度が高いときには、重ね合せたリードフレーム（S1～S9)の隙間が狭いためにこの隙間に樹脂が流入し難くなり、ボイド（空隙）が発生することがある。

これを防止するためには、第24図～第32図に示すようなリードフレーム（S1～S9)を使用する。これらのリードフレーム（S1～S9)は、前記第6図～第14図に示したリードフレーム（S1～S9)と同一の、それぞれが個別に設計されたリードパターン（ピン配置）を有しているが、樹脂によって封止される矩

形の領域（パッケージ領域）の向かい合った２つの短辺の外側に一対のモールド用ゲート孔１４が設けられている。このモールド用ゲート孔１４を備えたリードフレーム（Ｓ１～Ｓ9)を使用するときは、前記入れ子金型１０の対応する箇所にも同様のゲート孔を設けておく。

モールド用ゲート孔１４を設けたリードフレーム（Ｓ１～Ｓ9)を積層して入れ子金型１０にセットした場合は、第３３図に示すように、入れ子金型１０の内部を上下方向に貫通する一対の円筒状のゲートライン２７、２８が形成される。そのため、上金型１１に設けられた一方のゲート１５から溶融樹脂を注入すると、この溶融樹脂は一方のゲートライン２７を通ってキャビティ内に速やかに充満する。そして、入れ子金型１０の内部で発生したボイドなどの不均一な樹脂分は、もう一方のゲートライン２８を通り、下金型１２に設けられたゲート１６に排出される。

このように、上記のようなモールド用ゲート孔１４を設けたリードフレーム（Ｓ１～Ｓ9)を使用することにより、重なり合ったリードフレーム（Ｓ１～Ｓ9)の狭い隙間に樹脂を充分に流入させることが可能となる。これにより、この隙間にボイドが生じたりする不具合を防止することができるので、パッケージ２Ａのモールド工程の歩留りが向上する。

第２４図～第３２図に示すリードフレーム（Ｓ１～Ｓ9)の第２の特徴は、長辺方向の枠部にリードフレーム（Ｓ）ごとに異なるパターンのインデックス孔１７が設けられていることである。これにより、量産時にリードフレーム（Ｓ）の層番号識別（インデックス孔１７のパターン）を自動的に読み取り、リードフレーム（Ｓ１～Ｓ9)が正しい順序で積層されているか否かを容易に判定することができるので、パッケージ２Ａのモールド工程の歩留り、スループットを向上させることができる。

また、第２４図～第３２図に示すリードフレーム（Ｓ１～Ｓ9)は、長辺方向の枠部の端部にもリードフレーム（Ｓ）ごとに異なるパターンのインデックス孔１８が設けられている。この位置にインデックス孔１８を設けることにより、層番号識別（インデックス孔１８のパターン）を側面から容易に読み取ることが可能となるので、リードフレーム（Ｓ１～Ｓ9)を入れ子金型１０にセットした後から

でも、リードフレーム（S1～S9)が正しい順序で積層されているか否かを容易に判定することができる。

第24図～第32図に示すリードフレーム（S1～S9)の第3の特徴は、パーティングライン上にセンタ孔26が設けられていることである。このセンタ孔26にピンなどを挿入してリードフレーム（S1～S9)を上金型11および／または下金型12に固定することにより、モールド後、可動金型13を抜き取る際にパッケージ2Aの動きが規制されるので、可動金型13の抜き取り作業を短時間で行うことができる。また、可動金型13を抜き取る際のリード6の変形を防止することができる。

第24図～第32図に示すリードフレーム（S1～S9)の第4の特徴は、リード6を支持する枠体の一部などにハーフエッチライン19が設けられていることである。このハーフエッチライン19は、リードフレーム製造用の導電材料（フープ材）をエッチングしてリード6のパターンを形成する際に同時に形成したもので、リードフレーム（S）の板厚の半分程度の深さの狭い凹溝によって構成されている。このハーフエッチライン19に沿ってリードフレーム（S）を折り曲げると、第34図に示すように、リードフレーム（S）の各部が簡単に切り離される。そのため、モールド後、パッケージ2Aの外部に露出しているリードフレーム（S1～S9)の不要箇所を短時間で除去することができる。また、リードフレーム（S1～S9)の不要箇所を除去する際にリード6が不所望に変形する危険も少なくなる。

次に、前記第17図に示すマザーソケット3Aを高い寸法精度で製造するためのモールド金型について説明する。このモールド金型は、第35図に示すような水平方向に可動する左右一対の可動金型21L、21Rと、第36図に示すような上下方向に可動する中央金型22とで構成されている。

上記モールド金型を使ってマザーソケット3Aを製造するには、第37図に示すようなマザーソケット用リードフレーム20を2枚用意する。そして、その1枚を可動金型21Lと中央金型22との間に、もう1枚を可動金型22Rと中央金型22との間にそれぞれセットし、マザーソケット用リードフレーム20の外周部に形成された開孔29に中央金型22のガイドピン30を挿入してインサー

ト・モールドする。

上記マザーソケット用リードフレーム２０は、前記リードフレーム（Ｓ１～Ｓ9)と同じ４２アロイ、コバールなどからなり、その標準的な板厚は0.１５mm程度である。マザーソケット３の本体は、パッケージ２Ａと同じエポキシ系の樹脂や高耐熱液晶ポリマーなどからなる。なお、第３７図に示すマザーソケット用リードフレーム２０を２枚１組で使用する代わりに、例えば第３８図に示すマザーソケット用リードフレーム２３Ｌ（左用）と第３９図に示すマザーソケット用リードフレーム２３Ｒ（右用）のように、パッケージ２Ａのデータピンに接続されるモジュールリード９をあらかじめ必要な長さに切断したものを２枚１組で使用してもよい。

上記マザーソケット３Ａにパッケージ２Ａを搭載するには、マザーソケット３Ａのモジュールリード９をパッケージ２Ａのリード６の開孔８に挿入した後、周知の半田ディップ装置を使って両者を一括接続する。半田ディップ後、不要の半田は高速回転の遠心分離で簡単に除去すればよいので、モジュールリード９とリード６を高スループットで接続することができる。モジュールリード９とリード６は、後述するような半田ペーストによるリフロー半田付け法で接続することもできる。

ところで、本実施例のＤＲＡＭモジュール１Ａのように、１個のパッケージ２Ａに多数の半導体チップ（Ｍ）を一括封止した場合は、エポキシ樹脂が１０ppm/℃程度と比較的大きい熱膨張係数を有しているために、上下方向と水平方向とでパッケージ２Ａの熱膨張に異方性が生じることがある。このような異方性が生じると、パッケージ２Ａのリード６とマザーソケット３Ａのモジュールリード９の接続部に熱応力ストレスが加わり、リード６とモジュールリード９のオープン不良が発生する虞れがある。

このような不良が懸念される場合は、マザーソケット３Ａのモジュールリード９を前述した４２アロイやコバールのような低膨張係数材料で構成する代わりに、エポキシ樹脂に近い熱膨張係数を持った導電材料、例えばリン青銅などの銅合金で構成する。エポキシ樹脂に近い熱膨張係数を持った導電材料を使用した場合は、パッケージ２Ａの上下方向の伸縮にモジュールリード９が追従できるようになる

ので、リード６とモジュールリード９の接続部に加わる熱応力ストレスが小さくなり、上記したオープン不良の発生率を低下させることができる。また、銅合金は熱伝導率が高く放熱効果が大きいので、モジュールリード９のみならずリードフレーム（Ｓ）の材料として用いることにより、ＤＲＡＭモジュール１Ａの熱抵抗をより一層小さくすることができる。

前記第６図～第１４図および第２４図～第３２図に示したリードフレーム（Ｓ）は、全てのリード６が金属タイバーを介して電気的に導通された状態になっている。そのため、このままではリードフレーム（Ｓ）に搭載されたワイヤボンディング済みの半導体チップ（Ｍ）が正常に動作するか否かを確認するためのテスティング、選別、エージングをモールド工程の直前に行うことができない。

その対策として、第４０図に示すような、モールドライン上に絶縁テープ２４を接着したテープダム方式のリードフレーム（Ｔ）を使用する。絶縁テープ２４は、前記リードフレーム（Ｓ）の絶縁テープ４と同様、ポリイミド樹脂や高耐熱液晶ポリマーなどからなる。絶縁テープ２４は、接着剤を使ってリードフレーム（Ｔ）に接着する方法の他、例えばインジェクション・モールドによって形成してもよい。

本実施例のＤＲＡＭモジュール１Ａの製造に使用する９枚のテープダム方式のリードフレーム（T1～T9)を第４１図～第４９図に示す。なお、これらの図には絶縁テープ２４の図示が省略してある。

これらのリードフレーム（T1～T9)は、半導体チップ（M0～M8)を搭載してワイヤボンディングを行った後、第５０図に示すように、リード６を保持している外側の金属部分を切り離すことによって、各リード６を電気的にフローティング状態にすることができるので、モールド工程の直前に半導体チップ（M0～M8)のテスティング、選別、エージングを行うことができる。リードフレーム（T1～T9)には、リード６を保持している金属部分を容易に分離できるようにするため、当該部分にハーフエッチライン１９が設けてある。なお、これらのリードフレーム（T1～T9)を使用した場合は、モールド後のタイバー切断工程が不要になる。

本実施例のＤＲＡＭモジュール１Ａの製造に使用する前記リードフレーム（Ｓ

1～S9、T1～T9)は、互いの寸法が高精度に揃っている必要がある。寸法精度が低い場合は、マザーソケット3Aのモジュールリード9とパッケージ2Aのリード6の接続部に大きな機械的ストレスが加わるため、この部分の接続信頼性が低下する。

そこで本実施例では、前記9枚のリードフレーム（S1～S9またはT1～T9)を一つの組みリードフレームとし、同一工程で一括フォトエッチング処理して製造する。第51図は、前記第24図～第32図に示した9枚のリードフレーム（S1～S9)で構成された一枚の組みリードフレームの全体平面図である。

上記のような組みリードフレームを使用してパッケージ2Aをモールドすることにより、パッケージ2Aの側面で上下方向に重なり合ったリード6の開孔8の位置を高精度に揃えることができるので、モジュールリード9とリード6の接続部に加わる機械的ストレスを小さくすることができる。

本実施例のDRAMモジュール1Aは、9個の半導体チップ（M0～M8)をパッケージ2Aに一括封止したものであるが、10個あるいはそれ以上の数の半導体チップ（M）を一括封止することも可能である。しかし、封止される半導体チップ（M）の数が増え、パッケージ2Aの上下方向の寸法が大きくなると、それに伴ってマザーソケット3Aのモジュールリード9も長くなるので、その変形が問題となる。

その対策としては、半導体チップ（M）と電気的に接続しない、全ピンが電気的にフローティング状態になったダミーのリードフレームをリードフレーム（S1～S9またはT1～T9)の層間あるいは最上層部などに配置して一括封止する。このようなダミーのリードフレームの実例を第52図と第53図に示す。第52図のリードフレーム（S0）は金属タイバー方式のものであり、前記第24図～第32図のリードフレーム（S1～S9)と組み合わせて使用される。また、第53図に示すリードフレーム（T0）はテープダム方式のものであり、前記第41図～第49図のリードフレーム（T1～T9)と組み合わせて使用される。

上記したダミーのリードフレーム（S0，T0)のリード6をマザーソケット3のモジュールリード9に接続することにより、モジュールリード9に接続されるリード6の数が増えるので、モジュールリード9が変形しにくくなる。また、パ

ッケージ２Ａの放熱経路が増えるので、その熱抵抗がさらに小さくなる。

次に、本発明をデータ幅の広い多ビット構成のＤＲＡＭモジュールに適用した実施例を説明する。

×３６ビットのような多ビット構成のＤＲＡＭモジュールを実現するには、例えば、

（１）〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを９個組み合わせて〔４１９４３０４ワード×９ビット〕構成のＤＲＡＭモジュールを作成し、これをＳＩＭＭのプリント配線基板に４個実装する。

（２）〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを８個組み合わせて作成じた〔４１９４３０４ワード×８ビット〕構成のＤＲＡＭモジュール４個と、〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを封止したＳＯＪ４個とをＳＩＭＭのプリント配線基板に実装する。

（３）〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップを８個組み合わせて作成した〔４１９４３０４ワード×８ビット〕構成のＤＲＡＭモジュール４個と、ＣＡＳが４個、／ＲＡＳが２個独立なパリティ専用の〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップを封止したＳＯＪ１個とをＳＩＭＭのプリント配線基板に実装する。

などといった幾つかの方法が考えられる。

これらの方法に従えば、例えば〔１６７７７２１６ワード×１ビット〕構成の１６メガビットＤＲＡＭを９個積層して前記実施例のような×９ビット構成のＤＲＡＭモジュール１Ａを作成し、これをＳＩＭＭのプリント配線基板に４個実装することにより、〔１６７７７２１６ワード×３６ビット〕構成のＤＲＡＭモジュールを実現することができる。

しかし、上記の方法では、ＳＩＭＭのプリント配線基板に多数のＤＲＡＭモジュールを実装しなければならないので、実装密度が低下する。このとき、例えば〔４１９４３０４ワード×３６ビット〕構成のＤＲＡＭモジュールを実現する場合に、〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップを１個のＬＳＩパッケージに９個積層して×３６ビット構成のＤＲＡＭモジュー

ルを作成することができれば、ＳＩＭＭのプリント配線基板に実装するＤＲＡＭモジュールは１個で済むので、実装密度が大幅に向上する。

ところが、多ビット構成のＤＲＡＭモジュールはデータ線が多いために、半導体チップを単純に積層するとデータ入出力用のピンが同一方向に集中し、リードフレームのレイアウト設計が困難となる。例えば×３６ビット構成のＤＲＡＭモジュールの場合、デュアルインラインでピンを引き出すと１８ピン×２列となるが、ピンのライン／スペースを考慮すると、リードフレームのデータ領域が非常に大きくなる。しかし、これに対応する半導体チップのボンディングパッド領域、すなわち前記第５図に示すＩＯ０～ＩＯ３の４つのボンディングパッド（ＢＰ）が配置される領域は非常に狭い。そのため、リードの引き回しが非常に長くなり、リードフレームひいてはこれを封止するＬＳＩパッケージのサイズが大型化してしまう。

以下、上記の問題を解消した多ビット構成の小型・高性能ＤＲＡＭモジュールを実現する方法を、〔４１９４３０４ワード×４ビット〕構成のＤＲＡＭチップを１２個積層し、第５４図に示すような×３６ビット構成のＤＲＡＭモジュールを等価的に実現する方法を例にとって説明する。

第５４図に示す１２個の半導体チップのうち、８個の半導体チップ（D0～D7)は、〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップであり、残り４個の半導体チップ（M0～M3)は、〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップである。なお、ここでは説明を簡単にするために、同図に示す〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップ（M0～M3)の代わりに、〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップの中の１ビットのみを使用した場合を例に説明するが、これを〔４１９４３０４ワード×１ビット〕構成の４メガビットＤＲＡＭチップ（M0～M3)にレイアウト変更することは容易である。

まず、本実施例では、〔４１９４３０４ワード×４ビット〕構成の１６メガビットＤＲＡＭチップを１２個使用するにあたり、ピンの配置を片側２列のデュアルインライン構造とする。また、本実施例では、半導体チップを搭載したリードフレームを積層してパッケージに封止する際、一部のリードフレームを水平面内

で１８０度反転して配置し、反転したリードフレームに搭載された半導体チップのパッドと、非反転のリードフレームに搭載された半導体チップのパッドを、反転軸を中心として互いに逆向きの配置とする。さらに、本実施例では、上記１２個の半導体チップを２個のパッケージに分けて６個ずつ一括封止し、この２個のパッケージをマザーソケット上に重ねて搭載する。

第５５図は、上記したデュアルインライン構造に対応したマザーソケット３Ｃのピン（モジュールリード９）の配列（ＳＩＭＭのプリント配線基板に接続する部分を上方から見た配列）を示す平面図である。

このピン配列は１７ピン×４列の６８ピンであり、ピン９とピン６０はＮＣまたはピン無し構造とする。ピンピッチはマザーソケット３Ｂの長辺方向、短辺方向共に５０mil(1.２７mm）である。Vccはピン１、１７、１８、３４に、Vssはピン３５、ピン５１、ピン５２、ピン６８にそれぞれ配置し、給電時のインピーダンス低減を並列接続によって実現する。アドレスピンは、反転チップと非反転チップとで対応が異なるが、XアドレスとYアドレスの共有できる１０ビット（Ａ０～Ａ９）は、一対一で対応させる。アドレスピンＡ１０は、反転チップと非反転チップとで配置を異ならせ、リフレッシュアドレスやXアドレス／Yアドレスの指定に対応できるようにする。実際の使用時には、反転チップのアドレスピン（Ａ１０）と非反転チップのアドレスピンＡ１０とを外部結線あるいは内部結線により接続する。

ピン７はＡ４（Ａ９）、ピン８はＡ５（Ａ０）、ピン１０はＡ７（Ａ２）、ピン１１はＮＣ、ピン２５はＡ８（Ａ３）、ピン２６はＡ６（Ａ１）、ピン２７は（Ａ１０）で非反転チップ対応なし、ピン４２はＡ３（Ａ８）、ピン４３はＡ１（Ａ６）、ピン４４はＡ１０で反転チップ対応なし、ピン５８はＡ９（Ａ４）、ピン５９はＡ０（Ａ５）、ピン６１はＡ２（Ａ７）、ピン６２はＮＣである（カッコ内は反転チップの場合）。／WEは非反転チップがピン４１、反転チップがピン２４である。前記第５４図に示す／ＲＡＳ０、／ＲＡＳ２、／ＣＡＳ０、／ＣＡＳ１、／ＣＡＳ２、／ＣＡＳ３はそれぞれピン２８、ピン４５、ピン６、ピン２９、ピン５７、ピン４６である。残りのピンは、データピン（ＤＱ０～ＤＱ３５）である。

上記デュアルインライン構造のピン配列に対応する１２枚のリードフレーム（L1 ～L12）のリードパターンを第５６図～第６７図に示す。これらの図には、パッケージ２Ｃの外形線、半導体チップ（M）、ボンディングパッド（ＢＰ）、ワイヤ７および後述するデカップリングコンデンサ３１も示されている。ただし、半導体チップ（M）とリードフレーム（L）の間に配置された絶縁テープ（５）の図示は省略されている。

第５６図に示すように、パッケージ２Ｃの外形寸法は7.6mm（短辺）×20.7mm（長辺）である。リードフレーム（L）のリード６には長短２種類あり、各リード６にはマザーソケット３Ｃのモジュールリード９が挿入される開孔８が１個または２個設けられている。パッケージ２Ｃの一方の側面から引き出されたリード６と、反対側の側面から引き出されたリード６のピッチは、それぞれの開孔８を中心として短いアウターリード６が４００mil(10.16mm)、長いアウターリード６が５００mil(12.7mm)である。このピッチは前記第５５図に示したマザーソケット３Ｃの２列のピンのピッチに対応している。また、リード６の幅は0.55mm、開孔８の径は0.25mm×0.25mmであるが、リード６のピッチは、マザーソケット３のピンピッチ（５０mil(1.27mm))よりも狭く、0.8mmである。

１２枚のリードフレーム（L1 ～L12）のうち、第５６図～第５８図に示す３枚のリードフレーム（L1～L3)と第５９図～第６１図に示す３枚のリードフレーム（L4 ～L6)、および第６２図～第６４図に示す３枚のリードフレーム（L7～L9)と第６５図～第６７図に示す３枚のリードフレーム（L10～L12)は、それぞれパッケージ２Ｃの長辺方向の中心線を反転軸として水平面内で互いに１８０度反転した配置となっている。

このようにすると、反転したリードフレーム（L）に搭載された半導体チップ（M）のボンディングパッド（ＢＰ）と、非反転のリードフレーム（L）に搭載された半導体チップ（M）のパッドボンディングパッド（ＢＰ）は、反転軸を中心として互いに逆方向の配置となる。従って、リードフレーム（L1～L12)のデータピンが一方向に集中しないので、リード６の引き回しが容易となり、リードフレーム（L1～L12)を小型に設計することができる。

また、上記１２枚のリードフレーム（L1～L12)のうち、反転して配置されたリードフレーム（L）と非反転のリードフレーム（L）とは、リード６のパターンが反転軸に対して対称となる。つまり、リードフレーム（L1)とリードフレーム（L4)、リードフレーム（L2)とリードフレーム（L5)、リードフレーム（L3)とリードフレーム（L6)、リードフレーム（L7)とリードフレーム（L10)、リードフレーム（L8)とリードフレーム（L11)、リードフレーム（L9)とリードフレーム（L12)は、それぞれ同一のリードパターンを有し、一方のリード６と他方リード６が反転軸を中心として互いに反転された状態で配置されている。

このようにすると、１２枚のリードフレーム（L1～L12)を設計する際、半分の品種（６品種）で済むので、リードフレーム（L1～L12)の製造コストを低減することができる。また、エージングの品種を少なくすることができるので、ＤＲＡＭモジュールの製造コストを低減することができる。

また、第５６図～第６７図に示すように、１２枚のリードフレーム（L1～L12)に搭載された半導体チップ（D0～D7，M0～M3)は、その中心がパッケージ２Ｃの中心よりもリードフレーム（L）のデータピン側（図の右側）にずれた位置に配置されている。このずれは1.6mm程度である。

このようにすると、リードフレーム（L1～L12)のデータピンが多い場合でも、そのレイアウト面積を充分に確保することが可能となる。これにより、リード６の引き回しが容易になるので、リードフレーム（L1～L12)を小型に設計することができる。

また、半導体チップ（M）をデータピン側にずらして配置した場合は、データピンと反対側のパッケージ２Ｃ内に空領域が生じる。そこで、本実施例では、リードフレーム（L1～L12)の電源（ＧＮＤ）ピンであるバスバーリードの一端をこの空領域まで延長し、その端部にデカップリングコンデンサ３１を搭載する。このデカップリングコンデンサ３１の平面的な寸法は1mm×0.5mm、厚さは0.5mm程度である。

リードフレーム（L1～L12)にデカップリングコンデンサ３１を搭載することにより、半導体チップ（M）に給電する際の電源インピーダンスを低減することができるので、大電流を給電した場合でもＤＲＡＭモジュールを安定に動作さ

せることが可能となる。なお、給電時の電源インピーダンスを低減する方法としては、デカップリングコンデンサ３１をリードフレーム（L1～L12)の一端に搭載する上記の方法の他にも、デカップリングコンデンサ３１をマザーソケット３Cの近傍またはその内部に搭載したり、バスバーリードの一端をパッケージ２Cの外部に引出してそこにデカップリングコンデンサ３１を搭載したりする方法がある。デカップリングコンデンサ３１の外形寸法が大きい場合は、一部のリードフレーム（L)だけに搭載するようにしてもよい。

また、上記のように、半導体チップ（M）をデータピン側にずらして配置した場合は、パッケージ２Cをモールドする際に樹脂の流れが不均一になるので、モールド後のパッケージ２Cの内部に構造的なストレスが生じる虞れがある。しかし、データピンの反対側に生じた空領域にバスバーリードを延長して前記のようなデカップリングコンデンサ３１を配置した場合は、樹脂の流れが均一になるので、上記のような不具合が回避される。また、上記したパッケージ２C内の空領域にデカップリングコンデンサ３１を搭載する代わりに、小型のダミーチップなどを搭載することによっても同様の効果が得られる。さらに、このダミーチップの内部にデカップリングコンデンサを形成することにより、前記した構造的なストレスと給電時の電源インピーダンスを共に低減することができる。

また、パッケージ２Cに封止される半導体チップ（M）の数が多くなると、構造設計上の制約や半導体チップ（M）のボンディングパッドの制約が増え、同一レベルの信号ピンが複数生じたり、チップ識別用の信号を発生できなくなったりすることがある。このような場合は、リードフレーム（L1～L12)の層間にダミーのリードフレームを挿入し、このダミーのリードフレームを介してパッケージ２内の配線接続を行うようにすればよい。ダミーのリードフレームを使用した場合は、パッケージ２Cから引き出されるリード６の数が多くなるので、マザーソケット３Cのモジュールリード９とリード６の接合強度も向上する。また、パッケージ２Cの放熱経路も増えるので、その熱抵抗がさらに小さくなる。

第６８図は、上記デュアルインライン構造のマザーソケット３Cの斜視図、第６９図は、このマザーソケット３C上にパッケージ２Cを１段搭載した状態を示す斜視図、第７０図は、このパッケージ２Cを２段積層して〔４１９４３０４ワ

ード×３６ビット〕構成を実現した本実施例のＤＲＡＭモジュール１Ｃの斜視図である。

第６８図に示すように、マザーソケット３Ｃの中央付近には、後述する放熱フィンを装着するための開孔が設けられている。第６９図に示すパッケージ２Ｃには６枚のリードフレーム（Ｌ７　～Ｌ12）　が封止され、第７０図に示す上段のパッケージ２Ｃには残り６枚のリードフレーム（Ｌ１～Ｌ6)が封止されている。マザーソケット３Ｃとパッケージ２Ｃの接続は、前記実施例のＤＲＡＭモジュール１Ａに準じて行えばよい。

マザーソケット３Ｃの内側の対向する二列のデータピンとＣＡＳピン（前記第５４図に示すピン１９～２３、ピン２９～３３、ピン３６～４０、ピン４６～５０）は、下段のパッケージ２Ｃとのみ接続されている。マザーソケット３Ｃの裏面側は前記第５５図に示したものと同じピン配列になっている。一方、上面側は第７１図に示すようなピン配列となっている。

マザーソケット３Ｃの裏面側と上面側とでピン配列を変えるためには、第７２図に示すマザーソケット用リードフレームと第７３図に示すマザーソケット用リードフレームを使用する。第７２図は内側の対向する二列用、第７３図は外側の対向する二列用である。それぞれのリードフレームの両端のモジュールリード９は電源ピン（Vcc) である。この電源ピン（Vcc) は、パッケージ２Ｃ内のリードフレーム（Ｌ1 ～Ｌ6,Ｌ7 ～Ｌ12) の電源インピーダンスを低減するために、上部を２本に分岐してピン数の増加を図っている。

パッケージ２ＣのデータピンとＣＡＳピンは、内側の列と外側の列とが千鳥状に配置され、内側（＝0.８mmピッチ）と外側（＝0.８mmピッチ）とが半分のピッチ（＝0.４mmピッチ）mmで交互に配置されるようになっているので、稠密実装が可能である。これは、下段のパッケージ２ＣのデータピンとＣＡＳピンとが下段のパッケージ２Ｃで終端し、上段のパッケージ２Ｃにまで延在していないためである。上段のパッケージ２ＣのデータピンとＣＡＳピンとは、５００milピッチのリード６を通じてマザーソケット３Ｃの外側の列のモジュールリード９に接続されている。

第７４図は、上記〔４１９４３０４ワード×３６ビット〕構成のＤＲＡＭモジ

ュール１Ｃの熱抵抗をさらに低減するために、２段に積層したパッケージ２Ｃの周囲に放熱フィン３２を取り付けた実施例を示す斜視図である。第７５図には、内部の状態を見易くするために、放熱フィン３２の４分の１をカットした状態が示されている。第７６図は放熱フィン３２の側面図、第７７図は放熱フィン３２の斜視図である。図の符号３３は熱伝導板であり、２段に積層されたパッケージ２Ｃの隙間に挿入される。

第７５図に示すように、放熱フィン３２は、２個のパッケージ２Ｃおよびマザーソケット３Ｃと広い面積で接触できるようにするため、パッケージ２Ｃの長辺方向に２分割されている。マザーソケット３Ｃと接する放熱フィン３２の底面（第７６図の矢印Ａで示す箇所）は、マザーソケット３Ｃの脱落を防止するために槍状に加工されている。

パッケージ２Ｃの周囲に放熱フィン３２を取り付けるには、２段に積層されたパッケージ２Ｃの横方向から放熱フィン３２を挿入し、両者の界面に熱伝達媒体となるシリコーングリスやシリコーンゴムを充填した後、マザーソケット３Ｃのモジュールリード９とパッケージ２Ｃのリード６を半田などで接続する。また、放熱フィン３２を横方向から挿入する方法に代えて、例えば第７８図に示すように、上下方向に４分割された放熱フィン３２ａ～３２ｄをパッケージ２Ｃの上に積み重ねてもよい。放熱フィン３２を横方向から挿入する場合は、モジュールリード９とリード６を接続した後に取り付けることもできる。また、４分割された放熱フィン３２ａ～３２ｄを積み重ねる場合は、最上段の放熱フィン３２ａを組み立て工程の最終工程で取り付けてもよい。

本実施例では、〔４１９４３０４ワード×３６ビット〕構成のＤＲＡＭモジュールの場合について説明したが、例えば本実施例のパッケージ２Ｃを下段に２個、上段に２個の合計４個積み重ね、前記第５５図に示したピン１１とピン６２とがそれぞれＲＡＳ３、ＲＡＳ１となるように、ＲＡＳピンをパッケージ２Ｃごとに分離することにより、第７９図に示すような〔８３８８６０８ワード×３６ビット〕構成のＤＲＡＭモジュールを容易に実現することができる。

また、本実施例のマザーソケット３Ｃは、内側の対向する二列のデータピンとＣＡＳピンのモジュールリード９の長さを短くして下段のパッケージ２Ｃとのみ

接続したが、パッケージ２Ｃのリード６のスペースが充分あり、モジュールリード９が不要のリード６と接触する虞れがない場合は、ハーフピッチのレイアウトであっても、モジュールリード９とリード６を不要のリード６と接触することなく接続することができる。つまり、下段のパッケージ２Ｃと上段のパッケージ２Ｃを入れ換えることができる。この場合は、上段のパッケージ２Ｃに接続されるデータピンとＣＡＳピンのモジュールリード９の長さを短くすることができる。

次に、本発明をＳＯＪ(Small Outline J-leaded package) 型のＤＲＡＭモジュールに適用した実施例を説明する。

第８０図は、本実施例のＳＯＪ型ＤＲＡＭモジュールの斜視図である。このＤＲＡＭモジュール１Ｄは、〔１６７７７２１６ワード×１ビット〕構成の１６メガビットＤＲＡＭチップを４個積層してパッケージ２Ｄに一括封止することによって、〔１６７７７２１６ワード×４ビット〕構成のＤＲＡＭモジュールを実現している。

図示のように、このＤＲＡＭモジュール１Ｄは、パッケージ２Ｄのリード６と交差接続したモジュールリード９の下端部がＪ字状に折り曲げられ、プリント配線基板に直接接続できるようになっている。そのため、このＤＲＡＭモジュール１Ｄは、第８１図に示すように、パッケージ２Ｄを通常のＳＯＪと同じ方法でＳＩＭＭのプリント配線基板３５に表面実装することができる。つまり、このＤＲＡＭモジュール１Ｄは、パッケージ２Ｄを搭載するマザーソケットを不要とすることによって、部品点数の低減による低価格化と外形寸法の小型化とを併せて実現している。

上記パッケージ２Ｄは、前記第１８図～第２１図に示した入れ子金型１０を使ってモールド成形することもできるが、本実施例では、第８２図に示すような縦積み方式の入れ子金型４０を使用する。

図示のように、この入れ子金型４０は、上下方向に配置された２つのキャビティ４１Ａ、４１Ｂを備えている。それぞれのキャビティ４１Ａ、４１Ｂは、可動金型４２、４３、４４によって構成されている。可動金型４２はパッケージ２Ｄの最上部を成形し、可動金型４３は最下部を成形する。可動金型４４は、半導体チップの層間距離を一定に保ち、上層の半導体チップの底面と下層の半導体チッ

プのワイヤとの距離を制御するためのもので、前記第１８図～第２１図に示した入れ子金型１０の可動金型１３に相当する。これらの可動金型４２、４３、４４は、いずれも水平方向に２分割される構造になっている。本実施例のパッケージ２Ｄには４個の半導体チップが封止されるので、可動金型４４はそれぞれのキャビティ４１Ａ、４１Ｂに３組ずつ必要となる。

それぞれのキャビティ４１Ａ、４１Ｂの上部には可動金型４５が配置され、底部には可動金型４６が配置される。可動金型４５、４６は、上記可動金型４２、４３、４４と同じく水平方向に２分割される構造になっている。上段のキャビティ４１Ａの可動金型４５の上部にはさらに上金型４７、４８が配置され、下段のキャビティ４１Ｂの可動金型４６の下部にはさらに下金型４９が配置される。上金型４７と下金型４９のそれぞれの側面には、キー溝６９が設けられている。

上金型４７、４８には上下方向にテーパを設けたゲート孔５０が、またこのゲート孔５０の直下の可動金型４５にはゲート孔５１がそれぞれ形成されている。上金型４７、４８と可動金型４５とからなる連続した領域は、前記入れ子金型１０の上金型１１に相当し、ゲート孔５０、５１は、上金型１１に設けられたゲート１５（第３３図参照）を垂直化した構造に相当する。

可動金型４６にはゲート孔５２が形成され、下金型４９にはゲート孔５３が形成されている。また、下金型４９にはゲート孔５３から排出された不要の樹脂を溜めるダミーキャビティ５４が形成されている。可動金型４６と下金型４９とからなる連続した領域は、前記入れ子金型１０の下金型１２に相当する。上金型と下金型とをこのような複数の組み金型で構成したのは、後述するように、モールド後の離型作業を効率化するためと、パッケージ２Ｄの離型ダメージを低減するためである。

上記した上金型４７、４８、可動金型４２、４３、４４、４５、４６および下金型４９のそれぞれには、ガイドピン孔５５、５６が形成されている。モールド時には、ガイドピン孔５５にガイドピン５７が挿入され、ガイドピン孔５６にガイドピン５８が挿入される。

第８３図（ａ）、（ｂ）に示すように、可動金型４４は、パーティングライン（ＰＬ）を中心にして水平方向に左右２分割される（可動金型４２、４３、４５、

４６も同じ）。このパーティングライン（ＰＬ）と直交する方向に沿った可動金型４４の一部には、パッケージ２Ｄの離型を容易にする目的で、例えば4°程度の離型角（θ）が設けられている。可動金型４４は、前記第２１図に示す可動金型１３にガイドピン孔５５、５６を設けたものに相当する。

第８４図（ａ）は下金型４９の斜視図、同図（ｂ）は下金型４９の平面図、同図（ｃ）は同図（ｂ）のＣ－Ｃ’線における下金型４９の断面図である。下金型４９のゲート孔５３とダミーキャビティ５４には、いずれも樹脂の離型を容易にするための離型角が設けられている。図示のように、ダミーキャビティ５４の一端には浅い溝（エアーベント）５９が形成され、ダミーキャビティ５４内の不要のエアーがここから排出されるようになっている。また、図示は省略するが、ダミーキャビティ５４内の樹脂の離型をさらに容易にするために、通常の金型のカル部に設けられるようなイジェクタピン構造を組み入れてもよい。

上記入れ子金型４０を使ってパッケージ２Ｄをモールド成形するには、まず第８５図に示すように、下金型４９の上に下段のキャビティ４１Ｂの可動金型４６、４３を積層した後、チップボンディングとワイヤボンディングが済んだリードフレーム（Ｓ）と可動金型４４とを交互に積層し、その上に可動金型４２、４５を積層する。続いて第８６図に示すように、上記と同じ操作を繰り返して上段のキャビティ４１Ａにもリードフレーム（Ｓ）を積層し、さらにその上に上金型４８、４７を積層した後、上方からガイドピン孔５５、５６にガイドピン５７、５８を挿入する。このガイドピン５７、５８はそれぞれのリードフレーム（Ｓ）の開孔４内にも挿入される。

リードフレーム（Ｓ）の積層方向（上下方向）の位置合わせは、可動金型４２～４６によって行われる。また、水平面内の位置合わせは、最上段の上金型４７から最下段の下金型４９までガイドピン５７、５８を貫通させることによって行われる。ガイドピン５７、５８は、上金型４８、４７、可動金型４２～４６、下金型４９およびリードフレーム（Ｓ）の水平面内での並進と自由回転とを規制するので、リードフレーム（Ｓ）の積層方向の位置が一意的に定められる。

第８７図は、上記入れ子金型４０を装着したモールド装置の全体構成図である。このモールド装置６０の最大の特徴の１つは、金型系の型締め力（ｆ）のほとん

どすべてが入れ子金型４０の最上部（上金型４７、４８）から最下部（下金型４９）に至るまで直列的に荷重されるので、型締め力（ｆ）の損失が非常に少ないことである。また、入れ子金型４０は、樹脂を注入するゲート孔５０が垂直方向に配向されているため、水平面内でゲートとランナを引き回す従来のモールド金型と異なり、型締め力（ｆ）を非常に有効に利用することができる。特に、上記入れ子金型４０は、平面的な寸法が従来の金型のように数１００平方cmの大きさではなく数１０平方cm程度の大きさであるために受圧面積が小さく、従って、非常に大きな単位面積当たりの型締め力（ｆ）が得られる。

これにより、上記入れ子金型４０は、従来の金型には必須であるキャビティ境界付近の幅の狭いダム状の型締め力を集中させるための領域を省略することができるので、金型が高精度に平坦化されると共に、上記したダム状の領域の変形による金型劣化も生じない。

第８７図に示すように、モールド装置６０は、固定金型６１と可動金型６２とで構成されている。固定金型６１は、入れ子金型４０を上部から押さえつけるための温度制御された金型であり、トランスファ・モールド用のポット６３とプランジャ６４とを備えている。モールド樹脂であるミニタブレット６５は、ポット６３内に投入された後、加熱溶融され、プランジャ６４によって入れ子金型４０のキャビティ４１Ａ、４１Ｂ内に射出される。

カル部６６は、モールド後の樹脂の離型を容易にするために、固定金型６１のキャビティ内に形成されている。すなわち、モールド後に固定金型６１と可動金型６２とを型開きする際、カル部６６の樹脂が固定金型６１に付着するようであれば、プランジャ６４を型開きと同期させて下降させる。これにより、プランジャ６４がイジェクタとして作用するため、樹脂が容易に離型する。

固定金型６１と可動金型６２は、エアー漏れを防止するためのＯリング６７を挟んで上下方向にスライド可能になっている。そのため、パッケージに封止される半導体チップの個数が変わったために入れ子金型４０の高さが変化したような場合でも、上下方向の幅広いストロークによる追従が可能である。従って、このモールド装置６０は、異なる寸法の入れ子金型４０を使う場合でも連続して作業を行うことができる。

入れ子金型４０への荷重の印加は、あらかじめ設定された型締め力となるまで可動金型８９を上昇させることによって行う。プランジャ６４の下降時に排出される不要のエアーは、ミニタブレット６５がポット６３内に投入され、次いでプランジャ６４がポット６３内に挿入された後、真空引きの孔６８を通じて排出される。真空引きが特に必要ない場合は、孔６８を大気に対して開放すればよい。

上記モールド装置６０を使用する場合は、入れ子金型４０の下金型４９に設けられた前記ダミーキャビティ５４と同じものを上金型４８に設けることもできる。下金型４９と上金型４８にそれぞれダミーキャビティを設けることにより、エアーをトラップした樹脂がより速やかに排出されるようになる。

ポット６３内で溶融された流動樹脂はプランジャ６４によって射出され、垂直方向のテーパを備えた上金型４７、４８のゲート孔５０と可動金型４５のゲート孔５１とを通って上段のキャビティ４１Ａに注入され、次いで可動金型４６のゲート孔５２と可動金型４５のゲート孔５１とを通って下段のキャビティ４１Ｂに流入する。そして、第８８図に示すように、流動樹脂の先端がキャビティ４１Ｂの底部の可動金型４６のゲート孔５２を通り、さらに下金型４９のダミーキャビティ５４に達することによってモールドが完了する。

モールド後、キャビティ４１Ａ、４１Ｂからパッケージ２Ｄを離型するには、第８９図、第９０図に示すように、入れ子金型４０の最上部の上金型４７をキー溝６９を利用して持ち上げる。このとき、上金型４７がイジェクタとして働くので、ゲート孔５０内の樹脂が最も応力集中の大きいゲート孔５０の底部（上金型４８と可動金型４５の界面）で切断される。上金型４７の上面にはモールド装置６０のカル部６６で成形された樹脂７０が残っている。この樹脂７０は、ゲート孔５０内の樹脂を下から突き上げるか、または上金型４７と樹脂７０との界面にゲート孔５０を中心軸とした回転モーメントを作用させることによって簡単に離型することができる。

上金型４７を充分な高さまで持ち上げると、ガイドピン５７、５８も一緒に持ち上げられる。このとき、上金型が４７と４８とに２体化されていると、ガイドピン５７、５８を引き抜く時に要する力を上金型４８が受けるので、キャビティ４１Ａ、４１Ｂに強い力が掛かることがない。そのため、キャビティ４１Ａ、４

１Ｂ内のパッケージ２Ｄは、強い機械的ストレスを受けない。ガイドピン５７、５８は、上金型４７の中に差し込んだままにしておけばよい。このようにすると、次のショットでの上金型４７、４８の組立作業を迅速に行うことができる。

このように、入れ子金型４０の上金型を４７と４８とに２体化したことにより、ゲート孔５０内の樹脂の切断が容易になると共に、型開きの際にパッケージ２Ｄが受ける機械的ダメージを低減することができる。これに対し、上金型４７と上金型４８とが一体になっている場合は、ゲート孔５０内の樹脂は内部にイジェクタ構造がないので離型され難くなる。また、ガイドピン５７、５８を引き抜く時にキャビティ４１Ａ、４１Ｂに強い力が加わるので、パッケージ２Ｄが機械的ダメージを受ける虞れがある。

キャビティ４１Ａ、４１Ｂを構成する可動金型４２～４６は、それらのガイドピン孔５６（または５６）にピンなどを差し込んで水平方向に引っ張ることによって簡単に２分割することができる。また、左右どちらかの可動金型４２～４６にパッケージ２Ｄが付着している場合は、離型された側のリードフレーム（ｓ）の開孔４にピンなどを差し込んで水平方向に引っ張ることによって離型することができる。

上記した入れ子金型４０は、部品数を低減するために、上金型４８とそれに接する可動金型４５とを一体化したり、上金型４８と可動金型４５とそれに接する可動金型４２とを一体化したりしてもよい。同様のことは下金型７５についても可能である。

可動金型４２、４３、４４は、例えばＳＫＤ１２やＭＡＳ１Ｃのような通常の金型材料で作成する以外にも、例えば合成樹脂や、合成樹脂を含浸させた紙などを成形して作成してもよい。通常の金型材料に比べて安価な合成樹脂や紙を使用することにより、可動金型４２、４３、４４の製造コストを低減することができる。合成樹脂や合成樹脂含浸紙で作成した可動金型４２、４３、４４は、金属製のものに比べて耐久性は劣るが、使用済みのものは粉砕して何度でも再生使用することができるので、１回成形するごとに新しいものに交換してもよい。通常のモールド成形工程では、金型のキャビティ内を定期的にクリーニングして樹脂残査などを取り除く作業が必要であるが、１回成形するごとに新しい可動金型４２、

４３、４４を使用した場合は、キャビティ内が常に清浄に保たれるのでクリーニングが不要となり、モールド成形工程のスループットが向上する。

パッケージ２Ｄを１回成形するごとに新しい可動金型４２、４３、４４を使用する場合は、左右に２分割する構造に代えて、第９１図に示すように、左右一体構造にしてもよい。この場合は、可動金型４２、４３、４４を破壊することによってパッケージ２Ｄを離型する。可動金型４２、４３、４４の板厚は極めて薄いので、合成樹脂や合成樹脂含浸紙で作成したものは、折り曲げるだけで簡単に壊すことができる。

第９２図は、上記の方法で４個の半導体チップを一括封止したパッケージ２Ｄの断面図（パッケージ２Ｄを短辺方向から見た断面図）である。同図には、このパッケージ２Ｄの各部の寸法が記載されている。

ここで、ｈＡはリードフレーム（ｓ）の上面から測ったワイヤ７のループ高さ、ｔＬはリードフレーム（ｓ）の板厚、ｈＴは最上段のリードフレーム（ｓ）の上面からパッケージ２Ｄの上面までの樹脂の厚さで、前記可動金型４２の板厚に相当する。ｄＨは絶縁テープ５の厚さ、ｄＳは下層のリードフレーム（ｓ）の上面から上層のリードフレーム（ｓ）の下面までの高さで、前記可動金型４４の板厚に相当する。ｔＤは半導体チップ（Ｍ）の厚さ、ｈＢはパッケージ２Ｄの下面から最下層のリードフレーム（ｓ）の下面までの樹脂の厚さで、前記可動金型４３の板厚に相当する。ｄＲはパッケージ２Ｄの底面から最下層の半導体チップ（Ｍ）の下面までの樹脂の厚さ、ＷＤは半導体チップ（Ｍ）の短辺方向の幅、ＷＭはパッケージ２Ｄの短辺方向の幅である。

このとき、パッケージ２Ｄの厚さ（ＨＭ)は、次の式（１）で示される。

$$HM = hT + (4 \times tL) + (3 \times dS) + hB \quad \cdots \quad (1)$$

また、ここでの制約条件は、

（ａ）ワイヤ７がパッケージ２Ｄの上面を越えないこととして、

$$hT \geqq hA \quad \cdots \quad (2)$$

（ｂ）可動金型４４の板厚は、ワイヤ７が上層の半導体チップ（Ｍ）の下面に接触しないこととして、

$$dS \geqq dH + tD + hA \quad \cdots \quad (3)$$

（ｃ）最下層の半導体チップ（Ｍ）の下面がパッケージ２Ｄの底面を越えないこととして、

$$hB \geqq dH + tD + dR \quad \cdots \quad (4)$$

$$dR \geqq 0 \quad \cdots \quad (5)$$

（ｄ）半導体チップ（Ｍ）の幅がパッケージ２Ｄの幅を越えないこととして、

$$WM \geqq wD \quad \cdots \quad (6)$$

である。

従って、式（１）～（５）から、パッケージ２Ｄの厚さ（HM)は、

$$HM \geqq hA + (4 \times tL) + 3 \times (dH + tD + hA) + dH + tD$$

$$= 4 \times (tL + dH + tD + hA) \quad \cdots \quad (7)$$

となる。このことから、パッケージ２Ｄの厚さの最小値（HMmin)は、現状の技術で可能な最小値（ｈＡ＝0.1mm、ｄＨ＝0.05mm、ｔＤ＝0.2mm、ｔＬ＝0.08mm）を式（７）に代入することにより、

$$HMmin = 1.72mm \quad \cdots \quad (8)$$

となる。さらに、ｄＲ＝0.1mm、ｈＴ＝ｈＡ＋0.1mmを考慮すると、パッケージ２Ｄの厚さ（HM)は1.92mm、つまり２mm以下となる。

ＥＩＡＪ(Electronic Industries Association of Japan;日本電子機械工業会）で定められた３００mil-ＳＯＪの各部の寸法規格を第９３図に示す。図示のように、ＳＯＪのパッケージ厚（HM)の規格は、HM ≦3.124mmである。従って、本実施例のパッケージ２Ｄは、ＳＯＪのＥＩＡＪ規格を充分にクリアすることができる。

現状の技術で本実施例のパッケージ２Ｄを量産性良く製造するための各部の寸法は、ｈＡ＝0.13mm、ｔＬ＝0.125mm、ｈＴ＝0.25mm、ｄＨ＝0.08mm、ｄＳ＝0.54mm、ｔＤ＝0.28mm、ｈＢ＝0.46mm程度である。そこで、これらの値を前記式（７）に代入すると、

$$HM = 2.83mm \quad \cdots \quad (9)$$

となる。つまり、本実施例のパッケージ２Ｄは、量産レベルでもＥＩＡＪ規格（HM ≦3.124mm）を充分にクリアすることができる。

以上は４個のＤＲＡＭチップ（M0～M3）を一括封止した場合の例であるが、

一般に、N個の半導体チップを一括封止する場合は、前記式（1）を拡張することによって次の式（10）を得る。

$$HM = hT + (N \times tL) + \{(N-1) \times dS\} + hB \quad \cdots \quad (10)$$

第94図は、上記パッケージ2Dのリード6にモジュールリード（Jリード）9を接続したDRAMモジュール1Dの一部を破断して示す断面図（パッケージ2Dの短辺方向から見た断面図）である。同図には、このDRAMモジュール1Dの各部の寸法が記載されている。

ここで、WJはパッケージ2Dを挟んで対向するモジュールリード（Jリード）9、9の下端部のピッチ、WVは同じく中心部のピッチ、WOはパッケージ2Dを挟んで対向するリード6、6の外端部のピッチ、hJはパッケージ2Dの底部とモジュールリード（Jリード）9の下端部の隙間、RVはモジュールリード（Jリード）9の径、hTはパッケージ2Dの上面からモジュールリード（Jリード）9の下端部までの距離（DRAMモジュール1Dの全体の高さ）である。

前記第93図に示した300mil-SOJのEIAJ規格によれば、

$$3.251 \leqq hT \leqq 3.759 \quad \cdots \quad (11)$$

$$hJ \geqq 0.635 \quad \cdots \quad (12)$$

$$8.382 \leqq WO \leqq 8.763 \quad \cdots \quad (13)$$

$$6.604 \leqq WJ \leqq 7.112 \quad \cdots \quad (14)$$

である。また、構造上の制限として、リード6の外端部のピッチ(WO)とパッケージ2Dの短辺方向の幅(WM)との関係は、

$$WO \geqq WM + (2 \times RV) \quad \cdots \quad (15)$$

である。このとき、パッケージ2Dの厚さ（HM）が前記式（9）で示した値（2.83mm）であるとして計算すると、

$$hT \geqq HM + hJ = 2.83 + 0.635 = 3.465$$

となるので、DRAMモジュール1Dは上記式（11）、（12）を満足する。そこで、WO＝8.7、WM＝7.5、RV＝0.4、WV＝8.2とすれば、300mil-SOJのEIAJ規格に対応したDRAMモジュール1Dが得られる。

上記DRAMモジュール1Dのモジュールリード（Jリード）9は、フープ材にプレスやエッチングでリードパターンを形成した通常のリードフレームで構成

してもよいが、断面が円形のワイヤで構成することもできる。

モジュールリード９をワイヤで構成した場合、ワイヤ（モジュールリード９）とリード６の接続は前述した方法とは異なり、リード６の開孔８にワイヤを挿通した後、ワイヤを熱処理してその表面の半田メッキを溶融させ、ワイヤとリード６を自己整合的に半田接続する。ワイヤの熱処理は、例えば不活性ガス雰囲気中で高温の窒素ガスを吹き付けたり、光ビームまたはレーザビームを照射したり、外気遮蔽型のリフロー炉内で加熱したりするなどの方法で行う。

例えばパッケージ２Ｄのリード６に設けられたリード挿通用の開孔８の径を0.４２mm×0.４２mm角とした場合、直径0.３２mmφのリン青銅、ベリリウム銅、コバールなどからなる金属ワイヤの表面に、組成がＳｎ９０％／Ｐｂ１０％、あるいはＳｎ１０％／Ｐｂ９０％などといった、共晶半田（Ｓｎ６０％／Ｐｂ４０％）よりも融点の高い半田メッキを４５μｍ　厚程度施した外径0.４１mmφのワイヤを使用する。１８０℃程度の低温で溶融する共晶半田ではなく、２００℃以上の高温で溶融する高融点半田をメッキ材料に用いることにより、低融点共晶半田を使ってモジュールリード９をＳＩＭＭのプリント配線基板にリフロー半田付けする際に、リード６とモジュールリード９の接続部の半田が再溶融するのを防止することができる。

もし、モジュールリード９とリード６の接続部の半田が溶融状態になると、何らかの外力またはパッケージ２Ｄの自重によって接続部がずれてパッケージ２Ｄが下がったり、接続部の半田が重力によって下層のリード６の接続部に流れたり、接続部の半田にクラックや組成の不均一な半田再結晶領域が形成されたりするために半田の接続信頼性が著しく低下する。これは、接続部の半田量が変化すると、半田のフィレット形状のコントロールができなくなり、その結果、熱サイクルによる半田応力が大きくなって半田内部のクラックの進行が加速され、信頼度が低下するためである。特に、半田量が多い場合は、熱サイクルによる半田の熱膨張・収縮の応力も大きくなるため、塑性歪み量が大きくなって半田クラックの進行が加速される。

しかし、高融点半田メッキ処理を施したモジュールリード９とリード６を２００℃以上のリフロー温度で半田接続し、ＳＩＭＭのプリント配線基板にＤＲＡＭ

モジュールを実装する際のリフロー炉の温度を高融点半田の融点以下（例えば２００℃以下）にした場合は、モジュールリード９とプリント配線基板との接続部の低融点半田のみがモジュールリード９の付近で溶融するため、接続部の高融点半田の溶融を防止してＤＲＡＭモジュール１Ｄの形状を保持することができる。

上記した自己整合的な半田接続方法は、半田ディップ方式に比較して接続部の半田量の制御が容易である。これは、自己整合的な半田接続方法の場合は、上層のリード６と下層のリード６の中間部分のモジュールリード９の表面に施された半田が上下のリード６、６にほぼ半分ずつ供給されるからである。すなわち、従来の半田ディップ方式の場合は、ワイヤを構成する金属の表面状態などによって半田量が変動し易いのに対し、自己整合的な半田接続方法の場合は、常に一定のコントロールされた量の半田が供給されるという特徴がある。

また、上記した自己整合的な半田接続方法は、ワイヤ（モジュールリード９）に付着する半田の量が従来の噴流式半田ディップ方式に比べて少ないので、水平方向の隣り合ったリード６、６間の半田ブリッジが発生し難くなるという利点もある。特に、本発明のＤＲＡＭモジュールのように、多数のリード６とモジュールリード９とがマトリクス状に交差接続された構造は、半田吸い取りワイヤと同じ原理で表面積が大きくなるので、ガルウィング状に成形されたＱＦＰ(Quad Flat Package) のリードのように半田の除去方向を一様にできる構造とは比較にならない程半田除去性が悪く、余分な半田を除去することが非常に困難となる。すなわち、上記した自己整合的な半田接続方法によれば、本発明のＤＲＡＭモジュールの半田ブリッジ不良を極めて有効に防止することができる。また、プレス成形工程やタイバー切断工程でリード６に金属バリが発生すると、このバリに溶融半田が引っかかって半田ブリッジの核となり、ブリッジ発生率が急増する。従って、余分な半田が少ない自己整合的な半田接続方法は、この点からも半田接続工程の歩留まり向上に有効である。

モジュールリード９の径をリード６の開孔８の径よりも小さくすると、開孔８にモジュールリード９を挿入する作業を迅速に行うことができる。しかし、この場合は、開孔８にモジュールリード９を挿入しただけでは半田リフロー前にパッケージ２Ｄの自重や何らかの外力によってモジュールリード９がずれてしまうこ

とがある。その対策として、第９５図に示すように、モジュールリード９の一部にプレスで幅広の扁平部７２を設け、モジュールリード９の径を部分的に大きくすることによって、ずれや抜けを防ぐようにしてもよい。あるいは、モジュールリード９の一部の径を開孔８の径と同程度になるまでプレスで拡大し、モジュールリード９を開孔８内に「かしめ」方式で圧入してもよい。

モジュールリード９の一部に扁平部７２を設ける上記の方式をモジュールリード９の下端部（Ｊベンド部）に適用した例を第９６図に示す。この場合は、扁平部７３の幅を自由に変えることができる。また、モジュールリード９のＪベンド成形が容易になるという利点もある。さらに、プレス加工で扁平部７３を形成した場合は、金属の加工硬化によってＪベンド部分の強度が大きくなるので、モジュールリード９が変形し難くなるという利点もある。

第９７図（ａ）、（ｂ）は、半田メッキしたワイヤでモジュールリード９を構成し、その下端部をＪベンド成形したときの半田フィレット７４のパターンを示している。半田フィレット７４のパターンや大きさは、リード６のメッキ仕様によってコントロールすることもできる。例えばリード６にＡｕメッキ処理を施した場合は、リード６の表面の半田濡れ性が大きくなるので、半田フィレット７４のリード６への広がりが大きくなる。他方、リード６にＰｄ（パラジウム）メッキ処理を施した場合は、半田の濡れ性（広がり）が小さくなるので、少ない半田量で半田フィレット７４を形成することができる。

また、チップボンディング前のリードフレームに、あらかじめＡｕメッキ処理やＳｎ／Ｎｉメッキ処理を施しておくことにより、チップボンディング、ワイヤボンディング、積層モールドを行った後、リード６に外装メッキ処理を施すことなく、リード６とモジュールリード９を半田リフロー接続することができる。これは、ＡｕメッキやＳｎ／Ｎｉメッキが強い耐酸化被膜となり、リード６の表面が半田リフローに適した状態になるからである。また、外装メッキを省略することにより、メッキ処理コストの低減、樹脂内へのメッキ液浸透、イオン汚染などの不良対策が可能となる。

リード６の開孔８の形状によっては、上記した円形のワイヤに代えて断面が角柱のワイヤを使用することもできる。ただし、円形のワイヤと比較した場合、角

柱のワイヤは、軸方向のねじれによって断面が回転したときにリード６とモジュールリード９の接続が困難になるという問題がある。

一般に、ワイヤのねじれに対しては円形の断面が有利である。しかし、プリント配線基板との接続部（Ｊベンド部）のねじれ剛性に対しては角柱の断面が有利である。そこで、角柱のワイヤを使用する場合は、リード６の開孔８の形状を四角形とすることでワイヤの自由な回転を防ぎ、モジュールリード９のＪベンド部の回転を防止する。これにより、プリント配線基板にＤＲＡＭモジュールを実装する際のリフロー工程で万一、炉内の温度が高くなりすぎてリード６とモジュールリード９の接続部の高融点半田が再溶融した場合でも、モジュールリード９のＪベンド部の回転が防止されるので、モジュールリード９の配置がずれるといった実装不良を未然に防止することができる。

リード６の開孔８に円形のワイヤで構成されたモジュールリード９を挿入する際の作業性を改善するために、第９８図（ａ）～（ｃ）に示すような溝７５ａ～７５ｃを形成したリード６を使用することもできる。同図（ａ）に示すように、溝７５ａはその一端が開放されているので、破線で示すモジュールリード９は水平方向から溝７５ａに圧入される。溝７５ａの開放端にはモジュールリード９を挿入し易くするために、テーパ状のガイド７６が設けられている。また、挿入されたモジュールリード９の抜けを防止するために、溝７５ａの内径はモジュールリード９の径よりも僅かに小さくなっている。同図（ｂ）に示す溝７５ｂは、開放端の反対側に細いスリット７７が設けられている。このスリット７７を設けることにより、リード６の弾性力が高まるので、モジュールリード９を溝７５ｂに挿入する際の圧入抵抗が小さくなる。同図（ｃ）に示す溝７５ｃは、開放端側の内径が他の部分の内径よりも狭くなっているので、挿入されたモジュールリード９の抜けを確実に防止できる。

上記の溝７５ａ～７５ｃが形成されたリード６を使用する場合は、モジュールリード９を圧入するだけで両者を固定することができるので、半田を使用しなくとも両者の接続が可能になる。従って、半田リフロー工程が省略される分、組立て工数を低減することができる。また、半田クラックに起因するモジュールリード９とリード６のオープン不良を防止することができる。半田リフロー方式と併

用した場合は、半田が何らかの原因（例えば半田クラックなど）によってオープンになった場合でも、圧着効果によって接続が確保されるので、モジュールリード９とリード６のオープン不良に対して二重の信頼性が得られる。

本実施例のＤＲＡＭモジュール１Ｄのように、パッケージ２Ｄの上下方向に積層された多数のリード６にモジュールリード９を一括して挿入するには、第９９図（ａ）（側面図）、同図（ｂ）（平面図）に示すように、まず、それぞれのリード６の層間にこの層間スペースとほぼ同じ径の角柱７９を挿入し、上下両方向からリード６に押さえ治具８０ａ、８０ｂを押し当ててリード６を固定した後、圧入治具８１を使ってリード６の溝７５ａ（７５ｂまたは７５ｃ）にモジュールリード９を一括して圧入する。このような方式で圧入することにより、リード６とモジュールリード９を短時間で交差接続することができる。また、モジュールリード９を圧入する際にリード６やパッケージ２Ｄが受ける機械的ダメージを低減することができる。さらに、圧入時のリード６の倒れや変形を防止することができる。

モジュールリード９にＪベンド部を設ける代わりに、一部のリード６にＪベンド部を設けてもよい。パッケージの上下方向に積層されたリード６のうち、最下層のリード６のみにＪベンド部を設けた例を第１００図に示す。この場合、最下層のリードフレームは、上層のリードフレームと異なるリードパターンのものを使用する。あるいは、最下層のリードフレームのリード６の切断形状を変えて使用してもよい。同図に示す例では、上層のリードフレームのリード６に溝７５ａが設けられ、最下層のリードフレームのリード６に開孔８２が設けられている。

モジュールリード９やリード６にＪベンド部を設けてＳＯＪ型のパッケージとする代わりに、ＳＯ型のフラットパッケージとすることもできる。前記第９６図に示した扁平部７３の応用として、モジュールリード９の下端をプレス加工することによってフラットリード８３を形成した例を第１０１図に示す。この構造は、フラットリード８３の折り曲げが簡単で作業性が高いことに加えて、パルスヒータ方式や光ビーム半田付け方式によってフラットリード８３のみを局部的に加熱してプリント配線基板に実装することができるという利点もある。これは、フラットリード８３の先端が上層のリード６の先端よりもパッケージ２Ｄから離れた

位置にあるため、上層のリード６に接することなく、フラットリード８３のみを加熱することができるためである。

リード６とモジュールリード９の接続部の高融点半田が再溶融したり、この接続部に外力が加わったりしてモジュールリード９のピッチが不揃いになる不具合を防止する対策として、パッケージ２Ｄの底面に第１０２図に示すような窪み８４を設けることも有効である。

通常のＳＯＪのように、１個の半導体チップを封止する単層パッケージの場合は、第１０３図に示すように、下金型２００の上面に凸部２０１を設けたモールド金型を使用してパッケージ２０２の底面に窪み２０３を形成し、下金型２００の上面と垂直な方向にパッケージ２０２を引き上げて離型する。従って、窪み２０３は、パッケージ２０２の側面から離れた箇所に形成される。

一方、本実施例では水平方向に２分割される可動金型を使用するので、パッケージ２Ｄの底面に窪み８４を形成するには、第１０４図に示すような断面構造の可動金型８５を使用する。この可動金型８５は、前述した入れ子金型４０の可動金型４３の先端に、窪み８４に対応する段差部８６を設けたものに相当する。同図に示すように、可動金型８５は、パッケージ２Ｄの底面と平行な方向に２分割されるので、窪み８４はパッケージ２Ｄの側面まで達するように形成される。

上記可動金型８５は、本実施例のパッケージ２Ｄをモールド成形する場合のみならず、ＳＯＪのような従来の単層パッケージをモールド成形する場合にも使用することができる。

第１０５図に示す可動金型８７は、上記可動金型８５をＳＯＪ用に設計変更したもので、上面が上層のパッケージ２０２の底面を成形し、下面が下層のパッケージ２０２の上面を成形する。この可動金型８７を使用することにより、ＳＯＪのような従来の単層パッケージを上下方向に多数個取りすることが可能となるので、モールド工程のスループットが大幅に向上する。また、パッケージ２０２を上下方向に多数個取りするこのモールド方法によれば、パッケージ２０２を水平方向に多数個取りする従来のモールド方法に比べてキャビティ間を連結するゲートの距離が極めて短くなるので、ゲートの内部に残る無駄な樹脂の量が低減され、同一サイズのミニタブレットからより多くのパッケージ２０２を取得することが

できる。

前記可動金型８５や可動金型８７は、成形作業効率、離型時の摩擦力、ゲートカットの手順などに応じて種々の変形が可能である。

第１０６図（ａ）に示す可動金型８８は、その上下両面に成形パターンを設けたものである。同図（ｂ）に示す可動金型８８ａ、８８ｂは、上記可動金型８８を上下方向に２分割したもので、可動金型８８ａの上面と可動金型８８ｂの下面とにそれぞれ成形パターンが設けてある。同図（ｃ）に示す可動金型８８ａ～８８ｃは、上記可動金型８８を３分割したものである。可動金型８８、８８ａ～８８ｃは、それぞれ左右一組で構成されるが、図には片側のみを示してある。

同図（ｄ）は、可動金型８８ａを上方から見た平面図、同図（ｅ）は、可動金型８８ｂを上方から見た平面図である。可動金型８８ａ、８８ｂには、リードフレームを位置決めするためのガイドピンが挿入されるガイドピン孔５５、５６と、樹脂を積層方向に沿って流入させるためのゲート孔１１０と、樹脂の均一性を確保するためのエアーベント機能を持った樹脂流出用のダミーのゲート孔１１１とが設けられている。

同図（ｆ）に示すように、ゲート孔１１０、１１１は、パーティングラインＰＬに対して所定の離型角（θ）を持っている。この離型角（θ）は、$0<\theta<30°$程度である。この離型角（θ）を１５°にした実験では、熱硬化樹脂に対して優れた離型性とスペースファクタとが確認された。離型角（θ）を３０°以上にするとゲートの領域が大きくなるために、スペースファクタが低下する。また、離型角（θ）が０では離型性が悪く、ゲート孔１１０、１１１内に樹脂残りが発生し易くなる。この樹脂残りが発生すると、次の成形時にゲート断面形状が変化し、成形条件が変動してしまうため、均一な成形ができなくなる。

ゲート孔１１０、１１１の基本的な形状は、その半径をｒとして、パーティングラインＰＬに対して（９０°－θ）の角度で接するような円形状とするのがよい。このとき、円の中心は必ずしもパーティングラインＰＬ上に位置している必要はない。また、半径ｒを大きくして円の中心をパーティングラインＰＬの外側に置いた場合は、円弧の一部が離型角（θ）となり、（９０°－θ）の接続部１１４と共通化することができる。

ゲート孔１１０とゲート孔１１１は、同じ大きさにする必要はない。ゲート孔１１０は樹脂の流入口であるため、その径を小さくすると樹脂の剪断発熱が増加し、樹脂の流動性が増加する。また、ダミーゲートであるゲート孔１１１の径を大きくした場合はエアーの抵抗が小さくなるので、キャビティ内の不要なエアーの排出が容易になる。

上記可動金型８８は、その上下両面にパッケージが密着するので、離型時の摩擦力が大きくなる。これに対し、可動金型８８を２分割した可動金型８８ａ、８８ｂは、それぞれの片面のみにパッケージが密着するので離型時の摩擦力が小さくなり、パッケージの離型を容易に行うことができる。また、可動金型８８は、上下のパッケージと繋がったゲート孔１１０、１１１内の樹脂を離型時に切断するのが難しいのに対し、可動金型８８ａ、８８ｂは、両者の界面でゲート孔１１０、１１１内の樹脂をクラックさせて切断することができるので、離型の作業性が向上する。

上記可動金型８８ａ、８８ｂは、それぞれ左右一組で構成されるので、ガイドピン孔５５、５６とゲート孔１１０、１１１を左右の可動金型で対称に配置すれば左右の金型に互換性を持たせることができ、可動金型８８ａ、８８ｂの複数組を上下方向に積層する際の作業性が向上する。

しかし、可動金型８８ａ、８８ｂの複数組を上下方向に積層した際の総積層厚を一定に保つためには、むしろ左右の可動金型同士に互換性を持たせない方がよい。その理由は、左側の可動金型の総積層厚と右側の可動金型の総積層厚とを金型作成時に高精度に一致させておかないと、金型の型締め力が左右の可動金型間で不均一になるからである。すなわち、左側の可動金型同士の間、または右側の可動金型同士の間で上下方向の積層順序が入れ替わっても総積層厚は変化しないので型締め力は一定に保たれる。しかし、左右の可動金型同士に互換性を持たせ、金型作成時には左側だったものと右側だったものとを混在させて積層すると、左右の可動金型の高さにばらつきが生じる。このばらつきは、統計的には一個の可動金型の厚さのばらつきに積層数の平方根を乗じた値程度となる。

これを、高精度の研磨処理によって厚さの公差を±５μｍ以下にした金型（可動金型を含む）を使用して４個の半導体チップを積層した本実施例のパッケージ

２Ｄを上下方向に４個取りする場合について説明する。

この場合は、１個のパッケージ２Ｄを成形するのに、４個の半導体チップの隙間に挿入される３個の可動金型と上下の金型とを合わせた合計５個の金型が必要となるので、４個取りの場合は合計２０個の金型が必要となる。従って、高さの統計的なばらつきは、金型１個当たりの厚さの公差（±５μｍ）に金型の数（＝２０）の平方根を掛けた値、すなわち±２２μｍとなる。

また、半導体チップを搭載したリードフレームの板厚を0.１２５μｍ、金型１個の厚さを0.６５ｍｍとして計算すると、リードフレームは１個のパッケージ２Ｄ当たり４枚、４個取りの場合は合計１６枚となるので、金型の総積層厚は、（0.１２５×１６）＋（0.６５×２０）＝１５ｍｍとなる。従って、金型の総積層厚（１５ｍｍ）に対する高さのばらつき（±２２μｍ）、すなわち歪み量（２２μｍ／１５ｍｍ＝1.４６×１０$^{-3}$）に、金型を構成する金属（鉄）のヤング率（２×１０4kg/mm^2）を掛けると、単位平方ミリメートル当たり２９kgの荷重となる。すなわち、金型の受圧面積が４０ｍｍ×２０ｍｍ＝８００ｍｍ^{2}程度と比較的小さい場合であっても、左右の金型に生じる型締め力の差は２９×８００＝23.2トンにも達する。つまり、左右の金型の一方には２３トン以上の型締め力が加わるのに対し、もう一方は無荷重という現象が生じる。以上のことから、左右の金型には互換性を持たせるべきではない。互換性を持たせないようにすれば、左右の金型にほぼ均等な型締め力を加えることができる。

前記第１０６図（ｂ）に示した可動金型８８ａ、８８ｂの複数組を上下方向に積層した場合、樹脂はゲート孔１１０を通じて上下方向に流れる。もう一方のダミーのゲート孔１１１は、エアーベントとして機能するもので、エアーや流動樹脂先端部の不均一な樹脂をキャビティの外部に排出する。このダミーのゲート孔１１１は、エアーベントの設計の仕方によっては、あるいは均一性の高い樹脂を使用する場合には必ずしも必要ではなく、省略することもできる。

上記したエアーベントとは、通常の金型設計で使用する1/100～3/100mm程度の隙間のことであり、エアーの出入りは可能であるが樹脂の出入りはできないという特徴がある。これに対し、上記したダミーのゲート孔１１１は、モールドの初期にキャビティ内の不要なエアーを排出することによって、キャビティ内に樹

脂を均一に流入させる働きがある。このダミーのゲート孔１１１は、通常の金型設計で使用する前述のエアーベントに比べて開口部が大きいので、キャビティ内の不要なエアーを効率よく排出することができる。

第１０７図（ａ）は、前記第８２図に示した入れ子金型４０に（可動金型４３の代わりに）可動金型８８ａをセットしたときのゲート孔１１０、１１１、ガイドピン孔５５、５６、下金型４９のゲート孔５３、ダミーキャビティ５４、リードフレーム（Ｓ）の位置関係を示す平面図である。図示のように、可動金型８８ａのゲート孔１１１と下金型４９のゲート孔５３とは連結し、図示のような位置関係になっている。ゲート孔１１０、１１１はパーティングラインＰＬ上に位置している。実際は前記第８２図に示したように、下金型４９と接しているのは可動金型４６であるが、可動金型４３に相当する可動金型８８ａを用いて相対位置関係を示した。

第１０７図（ｂ）は、半導体チップの層間への樹脂の流入を良好にするために、可動金型８８ａのゲート孔１１０と入れ子金型４０のキャビティ４１Ａ（４１Ｂ）との間をスリットゲート１１２で接続した例である。第１０８図（ａ）はスリットゲート１１２の拡大斜視図である。可動金型８８ａの上に積層される可動金型４４、４２にも同様のスリットゲート１１２を設けることにより、可動金型８８ａ、４４、４２のそれぞれのスリットゲート１１２も積層方向に連結されるので、前記図３３に示した入れ子金型１０のゲートライン２７、２８と同様のゲートラインが入れ子金型４０の内部に形成される。このスリットゲート１１２は、キャビティ４１Ａ（４１Ｂ）への開孔面積を大きく取ることができるので、樹脂の流動抵抗を低減することができる。

上記スリットゲート１１２の代わりに、第１０８図（ｂ）に示すようなピンゲート１１３を設けてもよい。ピンゲート１１３の垂直面（Ｖ）はパーティングラインＰＬ上にあるので、樹脂は矢印で示す斜めにカットされた領域を通ってキャビティ４１Ａ（４１Ｂ）に流入する。このピンゲート１１３の特徴は、上記スリットゲート１１２に比べてゲートライン２７、２８の除去が容易である点と、成形時の水平方向への樹脂の流出抵抗を幅広くコントロールすることができる点である。成形条件によっては、スリットゲート１１２とピンゲート１１３をゲート

孔１１０とゲート孔１１１とで使い分けてもよい。

上記ゲート孔１１０、１１１は、キャビティ内に移動してもよい。この場合は、ゲートカット面がパッケージの表面外観や半導体チップに影響を与えないような位置にゲート孔１１０、１１１を設置する必要がある。

第１０９図（ａ）に示すゲート孔１１０、１１１のＸ－Ｘ’線（パーティングラインＰＬと直行する方向）に沿った断面は、同図（ｂ）に示すような種々の形状（ｉ）～（iv）で構成することができる。形状（ｉ）は最も単純な垂直形状であり、金型作成においてワイヤ放電加工や研磨を用いる場合、ゲート孔１１０、１１１の作成が容易になるため、金型の製造コストを安くすることができる。形状（ii）は単純な円錐状であり、形状（iii)は段差状である。この形状（iii)は径の変化が急峻なため応力変化が大きく、従って樹脂が切断され易い。形状（iv）は断面を不定形にした例である。この形状（iv）はゲート孔１１０、１１１の上下のエッジ部が鋭角になっているため、このエッジ部で樹脂に応力集中を生じさせることができる。

可動金型８８ａ（他の可動金型も同じ）の作成手順は、まず、第１１０図（ａ）に示すように、ワイヤ放電加工、ドリル加工、研磨などによって金型ブロック材からブロック１１５を作成する。このとき、ガイドピン孔５５、５６を同時に形成することにより、可動金型を積層したときの合わせ精度が向上する。次に、同図（ｂ）に示すように、放電ワイヤカット法などを用い、カットライン１１６に沿ってブロック１１５を薄くスライスすることにより、可動金型８８ａを得る。このとき、ゲート孔１１０、１１１はブロック１１５の壁面に対して引き延ばし形状になっているので、前記第１０９図（ｂ）に示す形状（ｉ）が直接得られる。スライスされた可動金型８８ａは、その厚さを高精度にするために平面研磨機によって研磨される。同一の厚みの可動金型８８ａを同時に複数個研磨機に入れて、「とも」加工することにより、相対的なばらつきを大幅に低減することができるので、それらの厚さを極めて高精度に揃えることができる。ゲート孔１１０、１１１の断面を前記第１０９図（ｂ）に示す形状（ii）～（iv）とすることにより、パッケージの成形後、ゲート孔１１０、１１１内に残った樹脂の切断が容易になる。これらの形状（ii）～（iv）は、断面の一部で内径が変化しているので、ゲー

ト孔１１０、１１１内の樹脂に応力集中を生じさせることができる。

前記第１０６図（ｂ）に示す可動金型８８ａ、８８ｂおよび同図（ｃ）に示す可動金型８８ａ、８８ｂ、８８ｃのゲート孔１１０、１１１は、形状（ｉ）～（ｉｖ）のいずれを採用することもできる。形状（ii）を採用するときは、径の小さい方をパッケージ側に配置すると、余分な樹脂がパッケージ側に残り難くなるので作業性が向上する。第１０６（ａ）に示す可動金型８８の場合は、形状（iv）を採用することで上記と同様の効果が得られる。

次に、本発明のＤＲＡＭモジュールに不良チップ救済のための冗長機能を付加した実施例を説明する。

第１１１図は、本実施例のＤＲＡＭモジュールを前方から見た斜視図、第１１２図は、このＤＲＡＭモジュールを裏面から見た斜視図である。本実施例のＤＲＡＭモジュール１Ｅは、〔１６７７７２１６ワード×１ビット〕構成の１６メガビットＤＲＡＭチップを９個積層して一括封止したパッケージ２Ｅと、このパッケージ２Ｅを搭載するマザーソケット３Ｅとで構成されている。

マザーソケット３Ｅは、標準的なプラスチックＰＧＡ(Pin Grid Array)パッケージに対応したガラス・エポキシ樹脂のプリント配線基板によって構成されている。マザーソケット３Ｅを構成するプリント配線基板の上面には、パッケージ２Ｅのリード６と交差接続された接続ピン９０が設けられている。また、プリント配線基板の裏面には、接続ピン９０と電気的に接続されたモジュールリード９が設けられている。このプリント配線基板には、後述するような冗長機能が付加されている。

第１１３図は、本実施例のＤＲＡＭモジュール１Ｅの内部構成を示すブロック図である。本実施例では、９個の１６メガビットＤＲＡＭチップ（Ｍ０～Ｍ８）を用い、１ビットのパリティビット付で８ビット構成のメモリモジュールを基本の構成にしている。また、従来のメモリモジュールとの置き換えを考慮して、８ビットのデータは、ＤＲＡＭチップ（Ｍ０～Ｍ７）において、データ入力端子Ｄinとデータ出力端子Doutとが共通化されてデータ入出力端子ＤＱ０～ＤＱ７として設けられている。これに対し、ＤＲＡＭチップ（Ｍ８）のパリティビットは、入力と出力とが分離されて入力パリティ端子ＰＤと出力パリティ端子ＰＱとが設

けられている。また、このＤＲＡＭチップ（Ｍ８）のカラムアドレスストローブ端子／ＣＡＳは、制御信号／ＰＣＳに対応している。

１２ビットからなるアドレス信号が入力されるアドレス端子Ａ０～Ａ１１は、それぞれのＤＲＡＭチップ（Ｍ０～Ｍ８）に共通に供給される。ロウアドレスストローブ信号／ＲＡＳおよびライトイネーブル信号／ＷＥも、それぞれのＤＲＡＭチップ（Ｍ０～Ｍ８）においてそれぞれに共通に供給され、チップセレクト信号（カラムアドレスストローブ信号）／ＣＡＳも上記パリティ用ＤＲＡＭチップＭ８を除いて共通に供給される。そして、電源電圧ＶＣＣと回路の接地電位ＶＳＳもそれぞれのＤＲＡＭチップ（Ｍ０～Ｍ８）に対して共通に供給される。また、本実施例のＤＲＡＭモジュール１Ｅは、電源インピーダンスを低減させるなどの目的で、それぞれのＤＲＡＭチップ（Ｍ０～Ｍ８）の電源端子間にデカップリングコンデンサＣが設けられている。

上記のように共通化されるリード６は、前記第１１１図に示すパッケージ２Ｅの積層方向に対して同じ位置に配置され、積層方向に設けられる接続ピン９０により相互に接続されている。これに対して、上記のようなデータ端子ＤＱ０～ＤＱ７、パリティ端子ＰＤ、ＰＱおよび制御信号／ＰＣＳは、パッケージ２Ｅの積層方向に対して重複しないように各層より１本ずつ引き出され、それぞれに１本ずつの接続ピン９０が設けられてマザーソケット３Ｅに導かれる。

第１１４図は、上記マザーソケット３Ｅの底面を示す平面図である。マザーソケット３Ｅの底面には、モジュールリード９が長辺方向の両側に２列ずつ、ジグザグに配置されている。各列のモジュールリード９のピッチは、３００milである。このモジュールリード９は、通常のＰＧＡパッケージに使用されるＰＧＡ端子と同様、断面が円形のリードピンで構成されている。このようなリードピンでモジュールリード９を構成した場合は、リードフレーム（例えば前記第７２図や第７３図に示すマザーソケット用リードフレーム）で構成されたものに比べて機械的強度が高くなるので、ＳＩＭＭのプリント配線基板への自動実装も容易に実現できるなど、取扱いが簡便になる。

モジュールリード９の外側には、接続ピン用の電極９１がマザーソケット３Ｅの長辺方向の両側に１列ずつ高密度に配置されている。この電極９１はスルーホ

ール構造になっており、上面側からスルーホールに接続ピン９０が挿入され、半田などによって両者の電気的な接続が行われている。モジュールリード９（ＰＧＡ端子）のうち、アドレス端子や制御信号などのようにパッケージ２Ｅに対して固定的に接続されるものは、同図の実線で示された配線９２を介して電極９１に接続されている。

本発明のパッケージのように、複数の半導体チップを積層構造にして一体に封止した場合、その初期不良洗い出しのためのエージングまたはバーンインテストにおいて半導体チップに不良が発生することがある。このような不良が発生した場合に、その半導体チップが封止されたパッケージを不良品として廃棄したのでは、ＤＲＡＭモジュールの製造歩留りが低下してしまう。例えばエージング良品率９２％の半導体チップを単純に９個積層しただけでは、エージング良品率が５０％まで低下してしまう。

そこで、本実施例のＤＲＡＭモジュール１Ｅは、基本的な構成としては８ビットのデータと１ビットのパリティビットからなる×９ビットのＤＲＡＭモジュールとしておいて、エージングによって１つのＤＲＡＭチップに不良が発生した場合には、それを切り離して８ビットのデータのみのＤＲＡＭモジュールとして用いるようにする。このようにすることによって、２種類のＤＲＡＭモジュールが形成でき、エージング良品率９２％のときでも２種類のＤＲＡＭモジュールを合わせることによってエージング良品率を８０％まで改善させることができる。

このため、データ端子に対応したモジュールリード９（ＰＧＡ端子）とパッケージ２Ｅのデータ端子に対応した接続ピン用の電極９１との間には、図示のような冗長階層セレクタ９３が設けられている。この冗長階層セレクタ９３の斜線を付した電極は、接続ピン用の電極９１と一対一に対応して接続されている。つまり、９個のＤＲＡＭチップのデータ入出力用リード６と一対一に固定的に接続されている。従って、これらの斜線を付した電極は、本実施例のＤＲＡＭモジュール１Ｅのエージング時やテスティングに利用される。

第１１５図は、上記マザーソケット３Ｅの上面を示す平面図である。マザーソケット３Ｅの上面側には、モジュールリード９が挿入されるスルーホール構造の電極９４、接続ピン用の電極９１および電源インピーダンスを低くするための回

路の接地電位ＶＳＳと電源電圧ＶＣＣを供給するための広い面積のメタルパターン９５、９６が設けられている。電源供給用のメタルパターン９５、９６は、放熱板としての機能が持たせられており、中央部分には放熱用のスルーホール９７が形成されている。

本実施例のＤＲＡＭモジュール１Ｅは、パッケージ２Ｅのリード６とマザーソケット３Ｅのモジュールリード９を交差接続してマトリクス状の放熱経路を形成しているので、パッケージ２Ｅの熱抵抗は小さいが、パッケージ２Ｅ内の最下層のＤＲＡＭチップ（M0)は、比較的板厚の大きいマザーソケット３Ｅと接しているので放熱効率が悪くなる。そこで、マザーソケット３Ｅの表面に形成される電源供給用のメタルパターン９５、９６チップの面積を広くすることによって、最下層のＤＲＡＭチップ（M0)の放熱を効率よくする工夫がされている。

上記マザーソケット３Ｅの上面には、第１１６図に示すようなパターンのソルダーレジスト９８が設けられている。ソルダーレジスト９８は、モジュールリード９と電極９４、および接続ピン９０と電極９１との接続を行う半田が流れて他の端子とショートするのを防止するものである。電源供給用のメタルパターン９５、９６のそれぞれの表面には、放熱を考慮してソルダーレジスト９８は設けられていない。なお、図示は省略するが、マザーソケット３Ｅの底面側にも電極９１や配線９２のパターンに対応したパターンのソルダーレジストが設けられている。マザーソケット３Ｅの底面側には、前記した冗長階層セレクタ９３のパターンが設けられ、しかもその選択的な接続には、後述するような半田ボールや印刷技術によって形成された半田パターンを熱処理する工程が必要となるので、これらの半田による不所望な回路ショートを防ぐためにソルダーレジストが必要となる。

第１１７図は、上記マザーソケット３Ｅの底面側に設けられた冗長階層セレクタ９３の等価回路図である。同図において、大きな二重丸はモジュールリード９（ＰＧＡ端子）に対応し、小さな丸は接続ピン用の電極に対応している。実線で示されているのは回路配線であり、この回路配線がキャパシタの回路記号のように途切れている部分ａ～ｔは、半田などによって選択的に配線間の接続を行うセレクタ部分である。

１つのモジュールリードＰＱ７は、２つのセレクタＩとｋにより接続ピン用端子Ｄ７またはＤ５に接続可能にされる。かかる一方の接続ピン用端子Ｄ５に着目すると、上記セレクタｋとは逆方向に設けられたセレクタｊによりモジュールリードＤＱ５に接続される。このモジュールリードＤＱ５は、上記セレクタｊとは逆方向に設けられたセレクタｉにより接続ピン用端子Ｄ３に接続される。以下、同様に上記のセレクタを介してモジュールリードＤＱと接続ピン用端子Ｄとが交互に並んで配置され、全体としてリング状にされる。

本実施例では、前記のような９個のＤＲＡＭチップを用いて、全チップが良品のときには８ビットのデータと１ビットのパリティビットからなるＤＲＡＭモジュールとして用い、１つのＤＲＡＭチップにおいて不良が発生したときは、パリティ無しの８ビットのデータのＤＲＡＭモジュールとして用いるようにするものである。

上記パリティビット付きメモリモジュールは、従来のＳＩＭＭなどにおけるパリティビット付きメモリモジュールと同じインターフェイスを持つようにするため、言い換えるならば、パリティビットについては入力ビットＰＤと出力ビットＰＱとを分離する必要があることに対応して、出力用パリティ端子ＰＱは、上記のようなリングから外されている。つまり、接続ピン用端子Dinに限っては、上記のようにリング状に設けられるセレタクｄとｅの他に、上記出力用パリティ端子ＰＱと接続されるセレクタｂが設けられる。この出力用パリティ端子ＰＱには、セレクタａにより上記ＤＲＡＭチップ（Ｍ８）のデータ出力端子Dout に対応した接続ピン用端子とも接続される。

本実施例において、全てのＤＲＡＭチップが良品であるときには、次の表１のように○を付したセレクタが接続状態にされ、×を付したセレクタは開放状態にされる。つまり、接続ピン用端子Ｄ０～Ｄ７はモジュールリードＤＱ０～ＤＱ７に接続され、接続ピン用端子Dout はモジュールリードＰＱに、接続ピン用端子Din はモジュールリードＰＤに接続されて、前記第１１３図のようなＤＲＡＭモジュールが構成される。

（表１）

セレクタ	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	q	r	s	t
接続／開放	○	×	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	○

（表２）

セレクタ	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	q	r	s	t
接続／開放	○	○	×	×	○	×	○	×	○	×	○	×	○	×	○	×	○	×	×	○

接続ピン用端子Ｄ２に接続されるＤＲＡＭチップＭ２に不良が発生した場合には、上記の表２のように○を付したセレクタが接続状態にされ、×を付したセレクタは開放状態にされる。このときには、上記のようなパリティビット用のＤＲＡＭチップＭ８が冗長チップとして実質的に上記不良のＤＲＡＭチップに置き換えられる。

上記のようにパリティビット用のＤＲＡＭチップＭ８は、DinとDout とが分離されているので、それをデータ入出力用のデータ端子ＤＱ１に使用するため、上記のようにセレクタａとｂおよびｅが接続されて、接続ピン用端子Dout とＤinとがモジュールリードＤＱ１に接続される。

上記不良とされたＤＲＡＭチップＭ２に対応した接続ピン用端子Ｄ２が、上記セレクタｒとｓの開放（×）により分離され、これに付随してモジュールリードＤＱ０と上記のようにＤＲＡＭチップＭ８を用いるモジュールリードＤＱ１とを除く他のモジュールリードＤＱ２～ＤＱ７は、表１の場合とは逆方向のセレクタに接続される。

パリティビットに対応されたＤＲＡＭチップＭ８に不良が発生した場合には、単純に表１の接続状態にされたセレクタａとｄの接続を開放に変えればよい。そして、他のＤＲＡＭチップＭ１やＭ２ないしＭ７において不良が発生した場合には、上記表２と同じ手法により不良ＤＲＡＭチップがモジュールリードと接続されないようにし、その不良部分を境にして反時計回りの方向においてセレタクの接続と開放とが逆にするようにして救済することができる。

その他、ＤＲＡＭチップを１０層に積層しておき、全チップ良品なら１０ビット単位でアクセスすることができるＤＲＡＭモジュールとし、１つのＤＲＡＭチップが不良なら９ビット単位でアクセスすることができるＤＲＡＭモジュールと

し、２つのＤＲＡＭチップが不良なら８ビット単位でのＤＲＡＭモジュールとして製品化するようにしてもよい。この場合、第１１７図の冗長階層セレクタにおいてモジュールリードＤＰとＤＱが第９ビットと第１０ビット目のデータＤＱ８およびＤＱ９のようにすればよい。それに対応して接続ピン用端子Dinは第９ビット目のＤＲＡＭチップＭ８のデータ入出力リードに接続し、Doutを第１０ビット目のＤＲＡＭチップＭ９のデータ入出力リードに接続すればよい。

第１１８図には、上記冗長階層セレクタの選択的な接続方法の一例を説明するための概念図が示されている。同図（ａ）に示すように、冗長階層セレクタの配置パターンに対応して半田ボールマスクが設けられる。また、同図（ｂ）に示すように、半田ボールマスクには、セレクタの２つの電極の位置に対応した半田ボール穴が設けられる。この半田ボール穴の底面には開孔が設けられる。この開孔は、半田ボールの位置合わせと共に、熱処理により溶融された余分な半田を取り除くためにも利用される。

上記のような接続を行うセレクタ部に対応した半田ボール穴には半田ボールが挿入され、開放状態のままにされるセレクタ部に対応した半田ボール穴には半田ボールが入れられる。

上記のように接続の有無に対応して半田ボール穴に半田ボールが入れられた半田ボールマスクを位置合わせしてマザーソケット３Ｅの底面に同図（ｂ）のように重ね合わされる。このような位置合わせは、例えば前記のようなＰＧＡ端子に半田ボールマスクの位置合わせ穴を形成して置くことにより簡単にしかも正確に行うことができる。この後に、熱処理を行う加熱炉において上記半田ボールを溶融させてマザーソケット３Ｅの底面に形成された配線によるセレクタ部の接続を行うことができる。なお、このような半田ボールを用いるものの他に、印刷技術により半田層を上記セレクタ部に選択的に形成し、その後に上記加熱炉により半田を溶融させてセレクタ部の配線間を接続することもできる。

第１１９図には、上記マザーソケット３Ｅの底面側に設けられる冗長階層セレクタ９３の他の等価回路図が示されている。同図においては前記同様に大きな二重丸は第１１４図のモジュールリード（ＰＧＡ端子）に対応し、小さな丸は接続ピン用の電極９１に対応している。そして、実線で示したものが回路配線であり、

点線で示した○の部分は、レーザー光線などのエネルギービームの照射によって選択的に切断される箇所を表している。つまり、この実施例では前記第１１７図の例とは逆に、全回路を形成しておいて、切り離したい部分を切断させて回路を形成する。

１つのモジュールリードＰＱ７は、２つの切断箇所ＩとＫにより接続ピン用電極Ｄ７またはＤ５に接続可能にされる。かかる一方の接続ピン用電極Ｄ５に着目すると、上記切断箇所Ｋとは逆方向に設けられた切断箇所Ｊによりモジュールリードｄｑ５に接続される。このモジュールリードＤＱ５は、上記切断箇所Ｊとは逆方向に設けられた切断箇所Ｉにより接続ピン用電極Ｄ３に接続可される。以下、同様に上記の切断箇所を介してモジュールリードＤＱと接続ピン用電極Ｄとが交互に並んで配置され、全体としてリング状にされる。

本実施例では、前記同様に９個のＤＲＡＭチップを用いて、全チップが良品のときには８ビットのデータと１ビットのパリティビットからなるＤＲＡＭモジュールとして用い、１つのＤＲＡＭチップにおいて不良が発生したときは、パリティ無しの８ビットのデータのＤＲＡＭモジュールとして用いるようにする。

上記パリティビット付きメモリモジュールは、従来のＳＩＭＭなどにおけるパリティビット付きメモリモジュールと同じインターフェイスを持つようにするため、言い換えるならば、パリティビットについては入力ビットＰＤと出力ビットＰＱとを分離させる必要があることに対応して、出力用パリティ端子ＰＱは、上記のようなリングから外されている。つまり、接続ピン用電極Dinに限っては、上記のようにリング状に設けられる切断箇所ＤとＥの他に、上記出力用パリティ端子ＰＱと接続される切断箇所Ｂが設けられる。この出力用パリティ端子ＰＱには、切断箇所Ａにより上記ＤＲＡＭチップＭ８のデータ出力端子Doutに対応した接続ピン用電極とも接続されている。

本実施例において全てのＤＲＡＭチップか良品であるときには、次の表３のように○を付した切断箇所が接続状態のままにされ、×を付した切断箇所がレーザ光線などのエネルギービームの照射により切断されて開放状態にされる。つまり、接続ピン用端子Ｄ０～Ｄ７はモジュールリードＤＱ０～ＤＱ７に接続され、接続ピン用電極Doutはモジュールリードｐｑに、接続ピン用電極Dinはモジュール

リードＰＤに接続されて、前記第１１３図のようなＤＲＡＭモジュールが構成される。このようなレーザーカット法の採用により、簡単に冗長救済ができる。

（表３）

セレクタ	ＡＢＣＤＥＦＧＨＩＪＫＬＭＮＯＰＱＲＳＴ
接続／開放	○×××○×○×○×○×○×○×○×○×○×○

（表４）

セレクタ	ＡＢＣＤＥＦＧＨＩＪＫＬＭＮＯＰＱＲＳＴ
接続／開放	○○××○×○×○×○×○×○×○×○××○

接続ピン用電極Ｄ２に接続されるＤＲＡＭチップＭ２に不良が発生した場合には上記の表４のように○を付した切断箇所が接続状態のままにされ、×を付した切断箇所が上記レーザー光線などのエネルギービームの照射によって切断されて開放状態にされる。このときには、上記のようなパリティビット用のＤＲＡＭチップＭ８が冗長チップとして実質的に上記不良のＤＲＡＭチップＭ２に置き換えられる。

上記のようにパリティビット用のＤＲＡＭチップＭ８は、ＤｉｎとＤｏｕｔとが分離されているため、それをデータ入出力用のデータ端子ＤＱ１に使用するため、上記のように切断箇所ＡとＢおよびＥが接続状態のままにされて、接続ピン用電極ＤｏｕｔとＤｉｎとがモジュールリードＤＱ１に接続される。以下は、前記の例と実質的に同様になるのでその説明を省略する。

このようなレーザーカット法による不良チップの救済のために、エージングまたはバーンイン処理は、前記の実施例と異なり、パッケージ２Ｅが形成された段階で行われる。つまり、パッケージ２Ｅが接続ピン９０を介してマザーソケット３Ｅに搭載される前の段階で、エージングボードなどにより各層の半導体チップから独立して延びているリード６に電気的に接続して回路動作を行わせるようにする。

第１２０図には、上記積層構造にされるＤＲＡＭチップの一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような１個の半導体基板上において形成される。同図における各回路ブロックは、実際の半導体チップにおける幾何学的な配置に合

わせて描かれている。

本実施例においては、メモリの大容量化に伴うチップサイズの大型化による制御信号やメモリアレイ駆動信号といった各種配線長が長くされることによって動作速度も遅くされてしまうのを防ぐなどのために、ＤＲＡＭを構成するメモリアレイ部とそのアドレス選択などを行う周辺部との配置に次のような工夫が行われている。同図において、チップの縦中央部と横中央部とから形作られる十文字エリアが設けられる。この十文字エリアには主に周辺回路が配置され、上記十文字エリアにより４分割されたエリアにはメモリアレイが配置される。すなわち、チップの縦方向と横方向の中央部に十文字状のエリアを設け、それにより４つに分割されたエリアにメモリアレイが形成される。上記４つのメモリアレイは、後述するようにそれぞれが約４Ｍビットの記憶容量を持つようにされる。これに応じて４つのメモリアレイ全体では、約１６Ｍビットの大容量を持つものとされる。

１つのメモリマットＭＥＭＯＲＹＭＡＴは、横方向にワード線が延長するよう配置され、縦方向に一対からなる平行に配置される相補ビット線（データ線又はディジット線）が延長するよう配置される。メモリマットＭＥＭＯＲＹＭＡＴは、センスアンプＳＡを中心にして左右に一対が配置される。センスアンプＳＡは、左右に配置される一対のメモリマットＭＥＭＯＲＹＭＡＴに対して共通に用いられるという、いわゆるシェアードセンスアンプ方式とされる。

上記４つに分割されたメモリアレイのうち、中央部側にＹ選択回路Ｙ－ＤＥＣＯＤＥＲがそれぞれ設けられる。Ｙ選択線はＹ選択回路Ｙ－ＤＥＣＯＤＥＲからそれに対応するメモリアレイの複数のメモリマットＭＥＭＯＲＹＭＡＴ上を延長するよう延びて、各メモリマットＭＥＭＯＲＹＭＡＴのカラムスイッチ用ＭＯＳＦＥＴのゲートのスイッチ制御を行う。

上記チップの横方向の中央部のうち、左側の部分にはＸアドレスバッファＸ－ＡＤＤＲＥＳＳＢＵＦＦＥＲ、Ｘ冗長回路Ｘ－ＲＥＤＵＮＤＡＮＣＹ ＣＫＴおよびＸアドレスドライバＸ－ＡＤＤＲＥＳＳＤＲＩＶＥＲ（論理段ＬＯＧＩＣＳＴＥＰ）とからなるＸ系回路と、ＲＡＳ系制御信号回路ＲＡＳＥ系信号制御回路ＷＥ ＳＹＳＴＥＭ、データ入力バッファＤＩＮＢＵＦＦＥＲおよび内部降圧回路ＶＣＬ ＬＩＭＩＴＥＲがそれぞれ設けられる。上記内部電源回路ＶＣＬ Ｌ

ＩＭＩＴＥＲはこのエリアの中央寄りに設けられ、約3.３Ｖのような外部電源ＶＣＣＥを受けて内部回路に供給される約2.２Ｖのような電圧に対応した定電圧ＶＣＬを形成する。

上記チップの横方向の中央部のうち、右側の部分にはＹアドレスバッファＹ－ＡＤＤＲＥＳＳＢＵＦＦＥＲ、Ｙ冗長回路Ｙ－ＲＥＤＵＮＤＡＮＣＹおよびＹアドレスドライバＹ－ＡＤＤＲＥＳＳ ＤＲＩＶＥＲ（論理段ＬＯＧＩＣ ＳＴＥＰ）とからなるＹ系回路と、ＣＡＳ系制御信号回路ＣＡＳ ＣＫＴおよびテスト回路ＴＥＳＴ ＦＵＮＣＴＩＯＮがそれぞれ設けられる。そのチップ中央部には、アドレスバッファやデコーダといったような周辺回路用の電源電圧ＶＣＬを形成する内部降圧回路ＶＤＬ·ＬＩＭＩＴＥＲが設けられる。

上記のように、アドレスバッファとそれに対応したアドレス比較回路を含む冗長回路Ｘ、Ｙ－ＲＥＤＵＮＤＡＮＣＹ、制御クロック発生を行うＣＡＳ、ＲＡＳ系制御信号回路ＲＡＳ，ＣＡＳ ＣＫＴなどを一個所に集中配置すると、例えば配線チャンネルを挟んでクロック発生回路と他の回路を振り分けること、言い換えるならば上記配線チャンネルを共用化することによって高集積化が可能になると共に、アドレスドライバ（論理段）などに最短でしかも等距離で信号を伝えることができる。

ＲＡＳ系制御回路ＲＡＳ ＣＫＴは、ロウアドレスストローブ信号ＲＡＳＢを受けてＸアドレスバッファＸ－ＡＤＤＲＥＳＳ ＢＵＦＦＥＲを活性化するために用いられる。ＸアドレスバッファＸ－ＡＤＤＲＥＳＳ ＢＵＦＦＥＲに取り込まれたアドレス信号はＸ系の冗長回路Ｘ－ＲＥＤＵＮＤＡＮＣＹに供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路の切り換えることの有無が判定される。その結果と上記アドレス信号とは、Ｘ系のプリデコーダに供給される。ここで、プリデコード信号が形成され、各メモリアレイに対応して設けられるＸアドレスドライバＤＶ２、ＤＶ３を介して、前記のようなメモリマットに対応して設けられるそれぞれのＸデコーダＸ－ＤＥＣＯＤＥＲに供給される。

一方、上記ＲＡＳ系の内部信号は、ＷＥ系のコントロール回路ＷＥ ＳＹＳＴＥＭとＣＡＳ系のコントロール回路ＣＡＳ ＣＫＴに供給される。例えば上記Ｒ

ＡＳＢ信号とカラムアドレスストローブ信号ＣＡＳＢおよびライトイネーブル信号ＷＥＢとの入力順序の判定から、自動リフレッシュモード（ＣＢＲ）、テストモード（ＷＣＢＲ）などの識別が行われる。テストモードのときには、テスト回路ＴＥＳＴ ＦＵＮＯＴＩＯＮが活性化され、公開・標準化または必要に応じて設けられる非公開の各テストモードにおいて、それぞれのタイミングで供給される特定のアドレス信号に従いテストファンクションが設定される。

ＣＡＳ系の制御回路ＣＡＳ ＣＫＴは、信号ＣＡＳＢを受けてＹ系の各種制御信号を形成するために用いられる。信号ＣＡＳＢのロウレベルへの変化に同期してＹアドレスバッファＹ－ＡＤＤＲＥＳＳ ＢＵＦＦＥＲに取り込まれたアドレス信号は、Ｙ系の冗長回路Ｙ－ＲＥＤＵＮＤＡＮＣＹに供給される。ここで記憶された不良アドレスとの比較が行われて、冗長回路への切り換えの有無が判定される。その結果と上記アドレス信号は、Ｙ系のプリデコーダに供給される。プリデコーダは、プリデコード信号を形成する。このプリデコード信号は、４つからなる各メモリアレイ対応して設けられるＹアドレスドライバＤＶ１を介して、それぞれのＹデコーダＹ－ＤＥＣＯＤＥＲに供給される一方、上記ＣＡＳ系制御回路ＣＡＳ ＣＫＴは、前記のようにＲＡＳＢ信号とＷＥＢ信号とを受けてその入力順序の判定からテストモードを判定すると、隣接するテスト回路ＴＥＳＴ ＦＵＮＣＴＩＯＮを活性化させる。

上記チップの縦方向の中央部のうち、上側の部分にはこのエリアの中心軸に対して左右対称的に合計１６個のメモリマットＭＥＭＯＲＹ ＭＡＴと８個のセンスアンプＳＡがそれぞれ配置される。そのうち、左右４組ずつのメモリマットＭＥＭＯＲＹ ＭＡＴとセンスアンプＳＡに対応して４個からなるメインアンプＭＡが設けられる。その他、この縦中央上部には、内部降圧電圧を受けてワード線選択用などの昇圧電圧発生回路ＶＣＨや、アドレス信号や制御信号などの入力信号に対応した入力パッドエリアが設けられる。

本実施例では１つのブロックには８個のメモリマットＭＥＭＯＲＹ ＭＡＴと４個のセンスアンプＳＡが配置され、上記縦軸を中心として左右対称的に合計１６個のメモリマットＭＥＭＯＲＹ ＭＡＴと８個のセンスアンプＳＡが割り当てられる。この構成では、４個からなる少ないメインアンプＭＡを用いつつ、各セ

ンスアンプＳＡからの増幅信号を短い信号伝播経路によりメンアンプＭＡに伝えることができる。

上記チップの縦方向の中央部のうち、下側の部分にもこのエリアの中心軸に対して左右対称的に合計１６個のメモリマットＭＥＭＯＲＹ　ＭＡＴと８個のセンスアンプＳＡがそれぞれ配置される。そのうち、左右４組ずつのメモリマットＭＥＭＯＲＹ　ＭＡＴとセンスアンプＳＡに対応して４個からなるメインアンプＭＡが設けられる。

上記の他に縦中央部には、内部降圧電圧を受けて基板に供給すべき負のバイアス電圧を形成する基板電圧発生回路ＶＢＢや、アドレス信号や制御信号などの入力信号に対応した入力バッドエリアおよびデータ出力バッファ回路ＯＵＴＰＵＴ　ＢＵＦＦＥＲが設けられる。上記同様に４個のような少ない数からなるメインアンプＭＡを用いつつ、各センスアンプＳＡからの増幅信号を短い信号伝播経路によりメインアンプ７に伝えることができる。

同図では省略されているが、上記縦中央部の領域には各種のボンディングパッドが配置される。これらのボンディングバッドの例としては外部電源供給用のパッドがあり、入力のレベルマージンを大きくするため、言い換えるならば電源インピーダンスを低くするために回路の接地電位を供給するバッドは、合計で十数個と比較的多くほぼ一直線上に並んで配置される。これらの接地電源用パッドは、ＬＯＣ技術により形成される縦方向に延びる接地電位用リードに接続される。これら接地用パッドのうち、リード線のクリア、ワードドライバの非選択ワード線のカップリングによる浮き上がり防止用のために特に設けられるたるものや、センスアンプのコモンソース用として設けられるものなどのように主として電源インピーダンスを下げる目的で設けられる。

これにより、回路の接地電位は内部回路の動作に対して電源インピーダンスが低くされ、かつ上記のごとく複数種類に分けられた内部回路間の接地配線が、ＬＯＣリードフレームとボンディングワイヤとからなるローパスフィルタで接続されることになるからノイズの発生を最小に抑えると共に、内部回路間の回路接地線ノイズの伝播も最小に抑えることができる。

本実施例では、約3.３Ｖのような外部電源ＶＣＣに対応したパッドは、上記電

圧変換動作を行う内部降圧回路ＶＣＬ、ＶＤＬ ＬＩＭＩＴＥＲに対応してそれぞれ設けられる。これも上記同様に電源インピーダンスを低くすると共に内部回路間の電圧（ＶＣＬ、ＶＤＬおよびＶＣＣ間）のノイズ伝播を低く抑えるためのものである。

アドレス入力用のパッドと、ＲＡＳ、ＣＡＳ、ＷＥおよびＯＥのような制御信号用のパッドは上記中央部のエリアに配置される。この他にデータ入力用やデータ出力用のパッドやボンディングマスター用、モニタ用およびモニタ用パッド制御のために以下のパッドも設けられる。

ボンディングマスター用としてはスタティックカラムモードを指定するためのもの、ニブルモードおよび×４ビット構成時のライトマスク機能を指定するためのものがある。モニタ用としてはパッド各内部電圧ＶＣＬ、ＶＤＬ、ＶＬ、ＶＢＢＶＣＨおよびＶＰＬをモニタするためのものがある。ＶＰＬのモニタは、ＶＰＬ調整が正しく行われたか否かをプロービングにおいて判定するものである。

内部降圧回路ＶＣＬ ＬＩＭＩＴＥＲは、約2.２Ｖのような周辺回路用電源電圧ＶＣＬを発生させる。内部降圧回路ＶＤＬ ＬＩＭＩＴＥＲは、約2.２Ｖのようなメモリアレイ、すなわち、センスアンプＳＡに供給される電源電圧ＶＤＬを発生させる。昇圧回路ＶＣＨは上記内部電圧ＶＣＬを受けて約3.３Ｖに昇圧されたワード線の選択レベル、シェアードスイッチＭＯＳＦＥＴを選択するブースト電源電圧を形成する。プレート電圧発生回路ＶＰＬは、メモリセルのプレート電圧を発生させる。

第１２１図には、この発明が適用されるＤＲＡＭチップにおける制御信号に着目したブロック図が示されている。同図は、前記第１２０図に示したレイアウト図に対応して描かれている。

ＲＡＳ系のコントロール回路ＲＡＳ CONTROL（CKT）は、信号ＲＡＳＢを受けてＸアドレスバッファＸ－ＡＤＤＲＥＳＳ ＢＵＦＦＥＲを活性化するために用いられる。Ｘアドレスバッファ Ｘ－ＡＤＤＲＥＳＳ ＢＵＦＦＥＲに取り込まれたアドレス信号はＸ系の冗長回路Ｘ－ＲＥＤＵＮＤＡＮＤＹ ＣＫＴに供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換えることの有無が判定される。

その結果と上記アドレス信号とは、X系のプリデコーダX－PREDECX1，AXn1）に供給される。ここで、XiとAXn1からなるプリデコード信号が形成され、各メモリアレイに対応して設けられるXアドレスドライバXiB、AXn1を介して、前記のようなメモリマットMEMORY MATに対応して設けられるそれぞれのXデコーダX－DECに供給される。同図においては1つのドライバのみが代表として例示的に示されている。

上記RAS系の内部信号は、WE系のコントロール回路WE CONTROLとCAS系のコントロール回路CAS CONTROL（CKT）に供給される、例えばRAS信号とCAS信号およびWE信号との入力順序の判定から、自動リフレッシュモード（CBR）、テストモード（WCBR）などの識別が行われる。

テストモードのときには、テスト回路TEST FUNCTIONが活性化され、前記公開・標準化テストモードと非公開テストモードのそれぞれに供給される特定のアドレス信号に従い、テストファンクションが設定される。

上記XアドレスバッファX－ADDRESS BUFFERに取り込まれたアドレス信号のうち、メモリマットの選択を指示するアドレス信号はマット選択回路MSiL／Rに伝えられ、ここから各メモリアレイに設けられた複数のメモリマットMEMORY MATのうちいずれかが選択される。ここで、メモリマットMEMORY MATに対応して設けられるCSは、コモンソーススイッチMOSFETである。

4つのメインアンプMAは、それを中心にして左右対称的に設けられた合計8個のメモリマットからの4対の相補データ線（4ビット）に対応している。メモリマット選択信号MSiL／Rにより上記8つのメモリマットのうち1つが選ばれる。このような選択動作を行うのが単位マット制御回路UMCである。同図には、4対のメインアンプMAが1組として例示的に示されており、残り3組のメインアンプは破線によりブラックボックスとして示している。

マット選択回路MSiL／Rは、4通りの選択信号MS0L／RないしMS3L／Rを形成する。例えばMS0Lが形成されると、MS0Lに対応した4つのメモリマットが選択される。これらの4つのメモリマットMS0Lは、それぞれから4ビットの入出力ノードを持つからそれが上記4個ずつのメインアンプMA

に対応される。

ＣＡＳ系のコントロール回路ＣＡＳ　　ＣＯＮＴＲＯＬ（ＣＫＴ）は、信号ＣＡＳＢを受けてＹ系の各種制御信号を形成するために用いられる。信号ＣＡＳＢのロウレベルへの変化に同期してＹアドレスバッファＹ－ＡＤＤＲＥＳＳ　ＢＵＦＦＥＲに取り込まれたアドレス信号は、Ｙ系の冗長回路Ｙ－ＲＥＤＵＮＤＡＮＣＹ　ＣＫＴに供給される。ここで、記憶された不良アドレスとの比較が行われて、冗長回路への切り換えの有無が判定される。

その結果と上記アドレス信号は、Ｙ系のプリデコーダＹ－ＰＲＥ　ＤＥＣ（Ｙ１，ＡＹｎ１）に供給される。ここで、ＹｉとＡＹｎ１からなるプリデコード信号が形成される。このプリデコード信号ＹｉとＡＹｎ１は、４つからなる各メモリアレイに対応して設けられるＹアドレスドライバ（最終段）ＹｉＢ、ＡＹｎ１を介して、それぞれのＹデコーダＹ－ＤＥＣに供給される。同図においては、つのＹドライバＹｉ　Ｂ、ＡＹｎ　１Ｂのみが代表として例示的に示されている。

上記ＣＡＳ系のコントール回路ＣＡＳ　ＣＯＮＴＲＯＬ（ＣＫＴ）は、前記のようにＲＡＳ信号とＷＥ信号とを受けてその入力順序の判定からテストモードを判定すると、隣接するテスト回路ＴＥＳＴ　ＦＵＮＣＴＩＯＮを活性化させる。同図では、省略されているが、アドレス信号や制御信号か供給されるボンディングパッドは、チップの中央部に集められて配置される。それ故、各パッドから対応する回路までの距離を短く、ほぼ均一にできる。これにより、本実施例のようなレイアウトを採ることによって、アドレス信号や制御信号の取り込みが高速に行われると共に、多数ビットからなるアドレス信号にあっては多ビットからなるアドレス信号相互において生じるスキューを最小に抑えることができる。

同図に示すように、センスアンプ（ＳＡ）用の電源ＶＤＬや周辺回路用電源ＶＣＬも、チップの中央部に配置されている。これにより、チップの４隅に配置される回路に対してなど距離でしかも短い配線により各種電圧供給を行うことができるものとなる。また、各回路に応じて図示しないが、電圧安定化、言い換えるならば、電源インピーダンスを下げるための比較的大きな容量値を持つようなキャパシタがそれぞれの電源配線に沿って回路内に分散されて設けられる。

上記のようにボンディングパッドが、チップの中央部に集められて並べられて

配置されるものであるため、積層構造にするとき、データ入出力端子のようにリードの位置が各層によって異なるようにされる場合でも、ボンディングワイヤにより接続が簡単になる。特に、リードとして複数層に対応させた共通パターン化させ、ボンディングオペション方式により接続するリードを変えることによりその間の接続が簡単となり、不要となったリードは、切断するか前記のようなスリットを設けておいて除去するようにしてもよい。

第１２２図には、本発明のＤＲＡＭモジュールの他の実施例のブロック図が示されている。この実施例は、７２ピンのマザーソケットに向けられている。つまり、約４Ｍワード×４ビット構成のダイナミック型ＲＡＭを８個組み合わせて、約１６Ｍバイトのメモリモジュールが構成される。

Ｍ０からＭ７からなる８個のＤＲＡＭチップは、それぞれが４ビットの単位でメモリアクセスが行われ、約４Ｍワードの記憶容量（全体で約１６Ｍビット）の記憶容量を持つようにされる。それ故、アドレス信号はＡ０～Ａ１１の１２ビットから構成される。積層ＬＳＩモジュールのデータ端子はＩＯ０～３１からなる３２本（ビット）とされ、各Ｄ０～Ｄ７の８個のダイナミック型ＲＡＭのそれぞれが４ビットずつ受け持つことにより、全体で３２ビットの単位でのメモリアクセスが行われる。

Ｍ０～Ｍ７からなる各ＤＲＡＭチップには、メモリモジュールとして入力される／ＲＡＳ、／ＣＡＳおよび／ＷＥからなる制御信号がパラレルに供給される。また、電源電圧Ｖｃｃおよび回路の接地電位Ｖｓｓも共通に接続される。そして、上記のように８個のダイナミック型ＲＡＭがパラレルにアクセスされるときには、従来のメモリモジュールにおいては使用されない出力イネーブル信号／ＯＥ０～／ＯＥ７を利用して、後述するような欠陥が存在するＤＲＡＭチップからの読み出し信号に対するマスクがかけられる.

上記のような積層構造のメモリモジュールにおいて、各ＤＲＡＭでのワード線単位（リフレッシュアドレス）での欠陥救済を行うようにするために、後述するような欠陥救済用ＬＳＩ（Ｓ１）が用いられる。上記のようにＤＲＡＭモジュールとしてみた欠陥救済用ＬＳＩは、ダイナミック型ＲＡＭと同じ入力インターフェイスと、メモリモジュールのデータバスに対応したデータ入出力インターフェ

イスを持つようにされる。そして、欠陥救済用ＬＳＩに設けられたマスク部で形成された出力イネーブル信号／ＯＥ０～／ＯＥ７が、Ｍ０～Ｍ７の各ＤＲＡＭチップの出力イネーブル端子／ＯＥ０～／ＯＥ７に供給される。図示されないメモリモジュールの７２ピンからなるコネタク電極は、前記のようなＰＧＡと類似のマザーソケットに形成されるものである。

第１２３図には、上記欠陥救済用ＬＳＩの一実施例のブロック図が示されている。同図の各回路ブロックは、ＤＲＡＭと同様に公知の半導体集積回路の製造技術により、単結晶シリコンのような１個の半導体基板上において形成される。

Ｘアドレスバッファ（Ｘａｄｄ）１およびＹアドレスバッファ（Ｙａｄｄ）２は、ＤＲＡＭのＸアドレスバッファおよびＹアドレスバッファと同じくされる。つまり、Ｘアドレスバッファ１は、ロウアドレスストローブ信号／ＲＡＳに同期してＸ系のアドレス信号の取り込みを行う。Ｙアドレスバッファ２は、カラムアドレスストローブ信号／ＣＡＳに同期してＹ系のアドレス信号の取り込みを行う。ここで、／（スラッシュ）は、図面上ではロウレベルがアクティブレベルであることを示すオーバーバーを表している。このことは、他の信号に付されたオーバーバーについても同様である。

Ｘアドレス（Ｘａｄｄ）比較部３は、不良アドレスを記憶する機能と、入力されたＸアドレスと記憶された不良アドレスとの比較を行う機能を持つようにされる。このような機能を簡単な構成により実現しつつ、かつそれが搭載された実装基板上において簡単に不良アドレスの書き込みが行えるようにするために、比較部３は不揮発性記憶素子からなる記憶回路から構成される。つまり、比較部３を構成する記憶回路は、ＥＰＲＯＭまたはフラッシュメモリと同じく、コントロールゲートとフローティングゲートとを備えた不揮発性記憶素子のフローティングゲートに蓄えられた電子の量により情報の記憶を行うようにされる。

上記比較部３は記憶回路により構成される。記憶回路には、Ｘ系のアドレス信号によりメモリアクセスが行われて、不良チップアドレス、救済フラグおよび不良のワード線の置き換えに用いられる冗長救済ＲＡＭ部４のＸアドレスとが書き込まれる。そして、メモリアクセスにより入力されたＸアドレスにより対応するデータを読み出して、上記救済フラグが有効とされているなら、比較一致とみな

されて読み出されたXアドレスが冗長救済ＲＡＭ部４のＸ系選択回路に供給される。

冗長救済用ＲＡＭ部４は、ＳＲＡＭから構成されており、上記比較部３から出力されたXアドレスによりワード線の選択が行われ、Yアドレスバッファ２により取り込まれたYアドレスによりＹ系の選択動作が行われる。比較部３は、特に制限されないが、／ＲＡＳ信号が供給されて、これがアクティブレベルのときに読み出し動作が有効とされることによって、ＤＲＡＭの動作に同期した動作が行われる。

リード／ライト(Read,Write)切り替え部５は、ライトイネーブル信号／ＷＥがロウレベルなら書き込み動作と判定し、ハイレベルから読み出し動作と判定して、選択部６および入出力部７の信号伝達方向を制御する。選択部６は、冗長救済用ＲＡＭ部の入出力データバスＭＯを、不良が存在するダイナミック型ＲＡＭが接続されたデータバスＩＯに対応させて接続させる。入出力部７は、複数からなるＤＲＡＭが接続されるデータバスに対応した入出力回路を持ち、上記不良とされたダイナミック型ＲＡＭが接続されたデータバスに対応された入出力回路を選択して活性化させる。マスク部８は、比較部３からの不良チップアドレスに対応して、そのダイナミック型ＲＡＭの出力回路をハイインピーダンス状態にさせる出力イネーブル信号／ＯＥを形成する。

上記比較部３は、ＥＰＲＯＭアレイにより構成される。ただし、通常のＥＰＲＯＭのように紫外線による消去を行う必要がないので、アレイ部に対応して消去用の窓は設けられない。つまり、ＥＰＲＯＭアレイというのは、ＥＰＲＯＭと同じメモリアレイを利用するという意味であり、一般的なＥＰＲＯＭとは異なり消去が不能にされているので実質的に１回限りの書き込みが許される。本実施例では、不良アドレスなどを記憶させるものであり、むしろ消去を行うことは許されないものであるからである。

比較部３としてのＥＰＲＯＭアレイは、XアドレスがＤＲＡＭのリフレッシュアドレスに対応して４０９６本のフード線を持つようにされる。そして、データ線は３２本から構成される。この３２本のデータ線は、前記のように不良アドレスなどの書き込みを電気的に行う必要があり、メモリモジュールのデータ端子３

２ビットであるので、それに対応して書き込みデータを入力することと、同じＸアドレスで２つのワード線まで救済できるようにするためである。

冗長セット数として１２８本のワード線分を確保しようとすると、７ビットのアドレス信号により指定できる。また、上記８個のＤＲＡＭの不良チップを指定するために３ビットのチップアドレスが必要となる。そして、読み出されたデータに不良アドレスが記憶されているか否かの救済フラグとして１ビットが必要になる。このため、Ｘアドレスにより１つのＤＲＡＭの不良ワード線を救済するためには、１１ビットのデータが必要になるが、上記のように３２ビットの単位で書き込み動作を行うことが便利でありデータに十分な余裕があるので、救済能力を高くするために２つまでのＤＲＡＭの不良ワード線を救済するために２領域分が確保されている。すなわち、３２ビットに読み出されたデータを１６ずつに分けて、そのうちの１１ビットずつを有効にして、救済用領域１と２用のアドレス信号、チップアドレス信号を２セット出力させる。

上記冗長セット数を６４本に減らし、そのアドレス信号を６ビットにしたときには、Ｘアドレスにより１つのＤＲＡＭを救済するのに必要なデータを１０ビットに減らすことができる。この結果、上記のように３２ビットでの記憶回路のメモリアクセスを行うようにすると、最大３セットまでの救済を行うようにすることができる。つまり、同一のＸアドレスの中で最大３個のＤＲＡＭにおいてフード線の不良が発生しても救済することができるようになる。

同図では省略されているが、書き込み用回路が設けられるものである。つまり上記のように３２ビットからなるデータを取り込みために、入出力部を通して３２ビットからなる信号が書き込み信号としてＥＰＲＯＭアレイのデータ線に供給される。不揮発性記憶素子においては、ワード線に１２Ｖ程度の高電圧を印加し、書き込みが行われるデータ線に約１０Ｖ程度の高電圧を供給し、記憶素子のドレイン近傍のホットエレクトロンをフローティングゲートに注入させる。

冗長救済用ＲＡＭ部４は、記憶部がＳＲＡＭアレイにより構成される。上記のように救済領域が２セットあるときには、同じＳＲＡＭが２個設けられ、上記のように最大１２８本の冗長用ワード線を持つようにされる。つまり、ＳＲＡＭは、１２８本のワード線を持ち、各ワード線には４０９６個のメモリセルが接続され

る。実際には、ワード線の長さが長くされることにより、メモリアクセス時間が長くされてしまうなら、適当にワード線を分割して、物理的な１本のワード線に接続されるメモリセルの数を減らすようにすることができる。

上記冗長救済用ＲＡＭ部４は、Ｙアドレス（Ｙａｄｄ）によりカラム選択動作が行われて、４ビット単位でのメモリアクセスが行われる。このため、共通データ線は４対からなり、それぞれにメインアンプか設けられたＭＯバスに接続される。上記メインアンプは、書き込み動作のときには非動作状態にされてＭＯバスからの信号を共通データ線に伝えるようにされる。

ＯＥマスク部８は、比較部から読み出された３ビットからなるチップアドレスをデコーダにより解読し、内蔵のタイミング発生回路により形成された出力イネーブル信号／ＯＥにマスクをかけて救済が行われたＤＲＡＭのチップに対応した出力イネーブル信号をハイレベルのままにして、その出力をハイインピーダンス状態にさせる。

ＯＥマスク部８に設けられたタイミング発生回路は、ライトイネーブル信号／ＷＥにより読み出し動作のときに出力イネーブル信号／ＯＥをロウレベルにする。このため、書き込み動作のときには、タイミング発生回路が出力イネーブル信号／ＯＥをハイレベルのままにするので、上記マスク部の機能は実質的に停止させられる。つまり、書き込み動作のときには、上記冗長救済ＲＡＭ部４に対して書き込みが行われると共に、不良ワード線が存在するＤＲＡＭ側にも同様に書き込み動作が行われる。

上記のように不良ワード線に対して意味の無い書き込み動作が行われるが、読み出し動作のときにそれが無視されて上記冗長救済用ＲＡＭ部から記憶データの出力が行われるので実際上は問題ない。このようにすることにより、書き込み動作のときに不良ワード線が存在するＤＲＡＭのメモリアクセスを停止させるような特別な制御回路が不用となり、回路の簡素化ができる。

ＭＯ－ＩＯ選択部６は、冗長救済用ＲＡＭ部４の入出力線と入出力部７との接続を行う。つまり、メモリモジュール上においては、Ｍ０～Ｍ７からなるＤＲＡＭは、３２ビットのデータバス上に４ビットずつ振り分けられている。このため、不良ワード線が存在するＤＲＡＭに対応したビットにはめ込むために選択部が必

要とされる。特に、上記のように同じXアドレス中に2つの救済領域を設けた場合には、1つのDRAMの救済のときと2つのDRAMの救済のときに合わせてそれぞれ接続させる必要があるからである。

冗長救済用RAM部4側のMOバスは、M0～M7からなるDRAMのそれぞれの4ビット入出力端子が接続されるデータ端子の任意の4ビットに対応させて接続させるように選択部にセレクタが設けられている。このセレクタは、クロックドインバータ回路などのような3状態出力機能を持つものからなり、1つの4ビットからなる入出力部7に対して、それを4ビット単位で2対のMOバスと接続させる。書き込み用と読み出し用に対応されて双方向に上記セレクタが設けられる。なお、CMOSトランスファゲート回路を用いた場合には、クロックドインバータ回路を用いた場合のような増幅機能は無いが、反面1つのセレクタにより双方向に信号伝送を行うようにすることができ、回路の簡素化が可能になる。

本実施例では、上記のようなDRAMモジュールにおいて各DRAMチップの不良をワード線単位で救済するものであり、各DRAMチップにおいて発生するワード線単位でみたときの不良発生率が極く小さいからDRAMモジュールとしての良品率を一層高くできる。

本発明のDRAMモジュールに搭載される半導体チップは、半導体ウエハ上に回路が形成された時点で行われるプロービングによって回路の機能試験が行われ、前記のように冗長回路を持つものでは不良ワード線および不良ビット線の救済が行われる。それ故、前記のようなマザーソケットに設けられた冗長階層セレクタや、上記の冗長救済用LSIより救済される不良は、エージングまたはバーンインテストによって発生した初期不良である。それ故、不良発生率は比較的小さいので、上記のような救済方式によりDRAMモジュールとしての良品率を高くすることができる。

上記のように冗長救済用RAM部は、比較的多くの不良ビットの救済能力を持つものである。このことを利用して、上記プロービングによって不良とされたチップを組み合わせて、それを上記冗長救済用RAM部で救済するようにしてもよい。つまり、それ自身の持つ冗長回路では救済できないことにより不良とされたチップを用いてDRAMモジュールが形成できるから、実質的な製品歩留りを高

くすることができる。

このことを利用し、本発明のＤＲＡＭモジュール用のＤＲＡＭチップには冗長機能を省略して回路の簡素化を図るようにすることもできる。つまり、プロービングにおいて検出された不良ビットをそのままにして、ＤＲＡＭモジュールに組み立てて、エージング後に検出された不良と共に上記冗長救済用ＬＳＩにより一括して救済するようにするものであってもよい。

本実施例から得られる効果は次の通りである。

（１）積層されるＤＲＡＭチップの数をデータ入出力用のビット数に対して少なくとも＋１個とし、マザーソケットに１つのモジュールリードに対して２つの半導体チップの入出力信号用リードに接続可能にされた配線パターンをリング状に形成しておいて、上記半導体チップの中の１つに不良が発生したときにかかる不良チップに対応した入出力用リードを除いてマザーソケットのモジュールリードと各半導体チップの入出力用リードとを接続させるという簡単な構成によりＤＲＡＭモジュールの良品率を実用的なレベルまで高くすることができる。

（２）ＤＲＡＭチップの数をＮ＋１個として、全ての半導体チップが良品のときには１ビットをパリティビットとして用いるように上記接続ピンとマザーソケットのモジュールリード間を接続してパリティビット付きのメモリとして用い、１つの半導体チップに不良が発生したときにはかかる不良チップに対応した入出力用リードを除いてマザーソケットのモジュールリードと各半導体チップの入出力用リードとを接続させてＮビットのメモリとして用いることより、実質的な良品率を確保しつつ、モジュール内のＤＲＡＭチップの有効利用ができる。

（３）積層される半導体チップの数をデータ入出力用のビット数Ｎに対してＮ＋１個にし、そのうちＮ個をＤＲＡＭチップとして、残り１つの半導体チップを上記Ｎ個のＤＲＡＭチップにおいて発生した欠陥ビットを救済する欠陥救済チップとすることにより、実用的なレベルまでＤＲＡＭモジュールの良品率を高くすることができる。

（４）上記Ｎ個のＤＲＡＭチップは、欠陥救済チップの救済能力の範囲内の不良を持つチップとすることにより、実質的なＤＲＡＭチップの製品歩留りを高くできる。

（５）上記配線パターンは、２つの半導体チップの入出力信号用リードに接続可能にされるようなリング状の配線パターンとし、かかる配線パターン間の接続を半田により行うことにより冗長機能や半導体チップのリードとモジュールリードとの接続に柔軟性を持たせることができる。

（６）上記配線パターンを各半導体チップの入出力信号用リードがリング状に形成させておき、かかる配線パターン間を適宜にエネルギービームの照射によって選択的に切断して１つの入出力用リードが１つのモジュールリードのみに接続させることにより、簡単に冗長機能や半導体チップのリードとモジュールリードとの接続に柔軟性を持たせることができる。

次に、本発明のＤＲＡＭモジュールに誤り訂正回路(Error Correcting Circuit)チップや、アドレス、クロック、Ｉ／Ｏバッファチップなどを結合したインテリジェント化モジュールの実施例を説明する。

第１２４図は、本実施例のインテリジェント化モジュールのブロック図であり、〔８３８８６０８ワード×８ビット〕構成の６４メガビットＤＲＡＭチップを使用した場合を示している。一般に、同時１ビット不良の誤り訂正回路で２ビット同時不良検出を行う場合、データ長８ビットのときは５ビット、データ長１６ビットのときは６ビット、データ長３２ビットのときは７ビットである。そこで、以下では８３８８６０８ワード×３２ビットの場合について説明する。

同図において、M1 ～M5 は〔８３８８６０８ワード×８ビット〕構成の６４メガビットＤＲＡＭチップである。この５個のＤＲＡＭチップは１個のパッケージに一括封止され、ブロックＧ１を構成している。それぞれのＤＲＡＭチップ（M1 ～M5)は８本の双方向Ｉ／Ｏ（Ｄｉ）を持ち、すべてのＩ／Ｏ数は４０ビットになっている。それぞれのＤＲＡＭチップ（M1 ～M5)には、バッファＢＦ１を介してアドレス信号（Ａｊ）が接続され、バッファＢＦ２を介してクロック信号（Ｃｋ）が接続されている。バッファＢＦ１、ＢＦ２は省略することもできるが、設ける場合は、後述するブロックＧ２に含める方が便利である。

４０ビットのＩ／ＯはブロックＧ２の中のＩ／ＯセレクタＭＰＸに接続され、誤り訂正回路に適した４０ビットのＩ／Ｏを任意に選択することができる。このＩ／ＯセレクタＭＰＸは、ＥＥＰＲＯＭ(Electrically erasable PROM)技術を応用

したＦＰＧＡ(Field Programmable Gate Array) 回路で構成することも可能であり、ブロックＧ１のテスティング結果に基づいて同時２ビット不良が発生していないＩ／Ｏ端子を４０本中３９本（ＤＩ）選択し、残り１本のＩ／Ｏ端子をリダンダンシーとして使用する。

双方向Ｉ／ＯセレクタＭＰＸは、誤り訂正（パリティコード発生と復元）を行う回路ＥＣＣに接続され、データ数＋パリティ数＝３２ビット＋７ビットとして使用される。これは外部に対して誤り訂正処理をした３２ビットＩ／Ｏ（Ｄｍ）として入出力される。また、必要に応じて誤り訂正回路ＥＣＣから誤りの有無、１ビット誤り検出、２ビット誤り検出を知らせるステータス出力端子（ＳＴｑ）を設けてもよい。

アドレスの変化を検出し、各クロックのインターフェースを行うことによってアクセスを高速化するため、ブロックＧ２内にアドレス（Ａｊ）とクロック（Ｃｋ）とを接続する。また、Ｉ／ＯセレクタＭＰＸと誤り訂正回路ＥＣＣは、コントロール信号（Ｓｎ）で制御する。

上記の方式によれば、パッケージに一括封止されたブロックＧ１のＤＲＡＭチップ（M1　～M5)は、バーンインテストなしの良品チップを用いることも不良チップを用いることも可能となる。すなわち、５個の良品チップを積層して一括封止したものをバーンインテストした場合には、一部に不良ビットが発生したチップも出現するが、本実施例の場合は、３９ビット中、同時１ビットまでの不良であれば訂正することができる。また、上記の条件のもとで不良チップを使用した場合でも誤りが訂正され、常に正しい３２ビットのデータを入出力することができる。これは、突発的なα線エラーや、メモリマット内に散在するリフレッシュマージン不良に対しても訂正が可能であることを意味している。

上記誤り訂正回路を組み込んだモジュールを製造するには、まず第１２５図（ａ）に示すように、ブロックＧ１を構成する５個のＤＲＡＭチップ（M1 ～M5)を前記実施例の入れ子金型４０などを使用してパッケージ２Ｆに一括封止した後、リード６とモジュールリード９を半田などを使って接続する。次に、パッケージ２Ｆのバーンインテストを行って４０ビット中の３９ビットを定めておく。パッケージ２Ｆのバーンインテストは、リード６とモジュールリード９を接続する前

に行ってもよい。

一方、第１２５図（ｂ）に示すように、ブロックＧ２を構成するＩ／Ｏセレクタ ＭＰＸや誤り訂正回路ＥＣＣは、別の半導体チップ１２０に形成しておき、ワイヤボンディング法などを使ってマザーソケット３Ｆに実装する。マザーソケット３Ｆは、ＢＴレジンなどからなるＢＧＡ(Ball Grid Array) 用のプリント配線基板で構成される。半導体チップ１２０は、ワイヤボンディング後にポッティング樹脂１２２で封止される。このブロックＧ２もパッケージ２Ｆ（ブロックＧ１）とは別にバーンイン、テスティング、選別を行う。

次に、マザーソケット３Ｆの電極１２３、１２４にポゴピン方式などの端子を当ててブロックＧ１の情報を半導体チップ１２０にプログラムする。そのため、半導体チップ１２０には、ＥＥＰＲＯＭやフラッシュメモリのようなＲＯＭ機能を有するＰＬＤ(Programmable Logic Device) やＦＰＧＡなどを形成しておく。

その後、第１２６図、第１２７図に示すように、パッケージ２Ｆをマザーソケット３Ｆに搭載することにより、本実施例のインテリジェント化モジュール１Ｆが完成する。パッケージ２Ｆのモジュールリード９とマザーソケット３Ｆの電極１２３との接続は、レーザビームや光ビームの照射、あるいはホットエアーの局所的な吹き付けによって行う。これにより、ブロックＧ１の情報がプログラムされた半導体チップ１２０への熱ストレスを防止することができる。また、マザーソケット３Ｆの裏面の電極１２４に半田バンプ１２５を取り付ける作業は、半導体チップ１２０にブロックＧ１の情報をプログラムする前に行う。これにより、ブロックＧ１の情報がプログラムされた半導体チップ１２０への熱ストレスを防止することができる。

次に、１６ＭＤＲＡＭの不完全良品に本発明のＤＲＡＭモジュール構造を適用した他の実施例を説明する。

通常、１６ＭＤＲＡＭのＩ／Ｏ４ビット品は４１９４３０４ワード×４ビットであるが、ＬＳＩ製造中に４ビットのＩ／Ｏのうち一部が不良となり、４１９４３０４ワード×３ビット、４１９４３０４ワード×２ビット，４１９４３０４ワード×１ビットが良品の不完全なＤＲＡＭができる。これらは通常不良品として扱われ商品性が低い。また商品化した場合、端子配列、安定供給、ビット価格の

面で市場を混乱させる。

そこで、本発明を適用することによってこれらの不完全ＤＲＡＭを完全な端子配列にする方法について示す。ここでは、４１９４３０４ワード×３ビットの不完全なＤＲＡＭを３積層し、４１９４３０４ワード×９ビットの端子配列一定のＤＲＡＭモジュールを得る場合を示す。

使用するリードフレーム（Ｓ）は第１２８図と第１２９図に示すものであり、ゲート孔１３０、１３１およびガイドピン孔１３２を有している。また、モールド中のリードフレーム変形を防止するために、構造強度を高めるタイバー１３３がそれぞれのリード６の先端に接続されている。また、モールド後の不要箇所の切断を容易にするため、前述したハーフエッチングなどによって溝１３４が設けられている。

それぞれのリードフレーム（Ｓ）のＩ／Ｏ端子は、符号１３５ａ～１３５ｉで示す９端子である。第１２８図のＩ／Ｏ端子１３５ｃ、１３５ｆと１３５ｉはタイバー１３３に設けられたハーフエッチングの溝１３４を利用し、タイバー切断の後除去される。第１２９図のＩ／Ｏ端子１３５ａ、１３５ｄ、１３５ｈと１３５ｅも同様に除去される。

ＤＲＡＭチップ１個当たりのＩ／Ｏ端子は３個であるため、第１層目のリードフレームには第１２８図に示すリードフレーム（Ｓ）を用い、Ｉ／Ｏ端子１３５ｂ、１３５ｈ、１３５ｅに良品のＩ／Ｏとボンディングする。第２層目のリードフレームには第１２９図に示すリードフレーム（Ｓ）を用い、Ｉ／Ｏ端子１３５ｃ、１３５ｆ、１３５ｉに良品のＩ／Ｏとボンディングする。第３層目のリードフレームには第１２８図に示すリードフレーム（Ｓ）を用い、Ｉ／Ｏ端子１３５ａ、１３５ｄ、１３５ｇに良品のＩ／Ｏとボンディングする。不良のＩ／Ｏパッドはボンディングしない。

上記リードフレーム（Ｓ）を３積層するとＩ／Ｏは１３５ａ～１３５ｉの９ビットのＩ／Ｏが引き出される。すなわち、不完全な４１９４３０４ワード×３ビットのＤＲＡＭチップを良品Ｉ／Ｏのみ選択的にリードフレーム（Ｓ）にボンディングすることにより、積層後に完全なＩ／Ｏ端子を持つ４１９４３０４ワード×９ビットのＤＲＡＭモジュールを得ることができる。

本実施例の３積層モールドパッケージはＳＯＪパッケージより薄く、しかも集積度が３６メガビット相当であるため、８３８８６０８ワード×３５ビットや４１９４３０４ワード×３６ビット構成の７２ピンＳＩＭＭモジュールを小型化することができる。すなわち、通常４１９４３０４ワード×３６ビットは４１９４３０４ワード×４ビットＤＲＡＭチップを８個、４１９４３０４ワード×１ビットＤＲＡＭチップを４個の計１２個実装しなければならないが、本実施例のＤＲＡＭモジュールの場合は４個で実現できる。同様に、８３８８６０８ワード×３６ビットのときは通常計２４個のチップを必要とするが、本実施例のＤＲＡＭモジュールの場合は８個で済む。また、本実施例のＤＲＡＭモジュールは、ＳＩＭＭのプリント配線基板上の配線数も少なく済み、配線間のクロストークなどのノイズも低減できる。

第１３０図は、４１９４３０４ワード×９ビットＤＲＡＭチップを８個（Ｍ０～Ｍ７）使用した時の８３８８６０８ワード×３６ビットＤＲＡＭモジュールの等価回路図である。図示のＤＲＡＭチップ（Ｍ１、Ｍ５、Ｍ３、Ｍ７）を実装しない場合は４１９４３０４ワード×３６ビットＤＲＡＭモジュールの等価回路になる。

４１９４３０４ワード×８ビットのＤＲＡＭモジュールは、４１９４３０４ワード×３ビットのＤＲＡＭチップを２個と４１９４３０４ワード×２ビットのＤＲＡＭチップ１個とを積層することによって実現することができる。その他、４１９４３０４ワード×１ビットのＤＲＡＭチップなどを用いて同形のＩ／Ｏのビット数になるように積層数を変化させてもよい。例えば４１９４３０４ワード×９ビットを得る他の方法として、４１９４３０４ワード×２ビット３個と４１９４３０４ワード×３ビット１個を組み合わせて４積層するなどである。

積層モジュールにおいて各層のリードフレームを共通に用いるには、前記第１２８図に示したリードフレームのように、複数の層で使用できるようボンディング領域やアウターリードを設ける。例えば１３５ａ～１３５ｉの９個のＩ／Ｏを完全独立に引き出した場合、×９ビット構成のモジュールは積層数に関係なく一種類のリードフレームで各層に適用することができる。このようにすると、組立て工程を大幅に簡単化することができるので、ＤＲＡＭモジュールの製造コスト

を大幅に低減することができる。

以上、本発明者よりなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

前記実施例では、パッケージのリードの開孔にマザーソケットのモジュールリードを挿入して両者を接続したが、例えば第１３１図（ａ）（平面図）、（ｂ）（側面図）に示すように、リード６の先端をモジュールリード９の側壁に突き当てて接続したり、第１３２図に示すように、モジュールリード９に設けた開孔１３６にリード６を差し込んで接続したりするなど、種々の方法で接続することができる。

前記実施例では、所定数の半導体チップを１個または２個のパッケージに封止したが、３個またはそれ以上の個数のパッケージに分けて封止した態様も本発明に含まれる。半導体チップを複数のパッケージに分ける場合は、４層＋５層、３層＋３層＋３層、４層＋４層＋１層（パリティ専用）など、種々の組み合わせを選択することができる。また、この場合は、分割したパッケージの隙間に熱伝導率の高いＡｌの薄板やＣｕ合金板などからなる熱拡散板を挟み込むことにより、さらに放熱効率を向上させることもできる。

半導体チップを複数のパッケージに分割して封止する上記の方法は、前記実施例で説明した多ビット構成のＤＲＡＭモジュールや、特に消費電力の大きいＳＲＡＭモジュールなどに適用すると大きな効果が得られる。また、放熱効率の低い領域で半導体チップの積層数を少なく、放熱効率の高い領域で積層数を多くするなどの方法も考えられる。例えば下段のパッケージが上段のパッケージに比べて放熱効率が低い場合は、上段のパッケージに４個の半導体チップを封止し、下段のパッケージに２個の半導体チップを封止し、これらのパッケージの隙間と上部および底部に前述した放熱フィンを取り付ける構造も可能である。

前記実施例では、ＤＲＡＭモジュールのマザーソケット内に誤り訂正回路やアドレス、クロック、Ｉ／Ｏバッファなどの回路を形成した半導体チップを埋め込んだが、その他にも、例えばＤＲＡＭコントローラ、メモリマネージメント、ＣＰＵなどを形成した半導体チップを搭載し、マザーソケットのモジュールリード

を通じてこの半導体チップをパッケージ内の半導体チップと電気的に接続しておくこともできる。本発明のＤＲＡＭモジュールは、それ自体が超小型にできるから、多数のマイクロコンピュータを組み合わせて、それぞれがデータ処理を分散して処理するような高性能のコンピュータシステムを１つの実装基板上に組み立てることも可能である。この場合、アドレス端子やデータ端子が上記のように接続ピンにより共通化されてアドレスバスやデータバスの一部として用いることができる。

第１３３図は、上記ような半導体チップを内蔵することのできるマザーソケット３Ｇの斜視図である。このマザーソケット３Ｇは、パッケージのリードに接続されるモジュールリード９と、プリント配線基板に接続されるガルウィング状のリード１３７を備えている。第１３４図は、このマザーソケット３Ｇにパッケージ２Ｇを搭載したＤＲＡＭモジュール１Ｇの斜視図である。このＤＲＡＭモジュール１Ｇは、その機能を拡張したり、パッケージ２Ｇの入力インピーダンスを向上させたり、出力のドライバー能力を向上させたりすることがマザーソケット３Ｇを交換するだけで容易に実現できる。

前記実施例では、本発明をＤＲＡＭモジュールに適用した場合について説明したが、本発明のモジュール構造は、ＳＲＡＭやフラッシュメモリのような他のメモリを使ったマルチチップ・モジュール、あるいはメモリチップとロジックチップとを混載したマルチチップ・モジュールなどに広く適用することができる。

以上説明したように、従来技術の積層型パッケージは、パッケージ単体構造の積み重ねであったので、例えばパッケージ／接着層／パッケージ／接着層・・・というような構造となる。従って、接着層がある分、熱抵抗が大きくなり、またパッケージの樹脂厚も２倍になるので、さらに熱抵抗が大きくなる。

これに対して、本発明の一括モールド構造は、積層された半導体チップ間が均一の薄い樹脂層のみによって結合されるので、熱抵抗を充分に低くすることが可能である。さらに、樹脂中にシリカなどの高熱伝導フィラーを添加することにより、半導体チップ間あるいはリードフレーム間の熱伝導が良好になるので、パッケージの信頼性をさらに向上させることができる。

産業上の利用可能性

以上のように、本発明のマルチチップ・モジュールは、超小型で大容量のメモリモジュールを実現することができるので、特に、大容量のメモリを必要とするエンジニアリング・ワークステーション（ＥＷＳ）やパーソナル・コンピュータ用のＳＩＭＭなどに用いるのに適している。

請 求 の 範 囲

1．半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージをマザーソケットに搭載し、前記樹脂パッケージから引き出した前記リードフレームのリードと、前記リードの延在する方向と交差する方向に延在する前記マザーソケットのモジュールリードを電気的に接続したことを特徴とする半導体集積回路装置。

2．請求項1記載の半導体集積回路装置であって、前記半導体チップに対応したリードのうち、共通接続されるリードは同一パターンにより形成されて前記モジュールリードに接続され、独立して外部に導かれる各層のリードは積層方向において分離して配置されて前記モジュールリードに接続されることを特徴とする半導体集積回路装置。

3．請求項2記載の半導体集積回路装置であって、前記半導体チップは半導体メモリを構成するものであり、前記共通接続されるリードはアドレス信号および制御信号用のリードであり、前記独立して外部に導かれるリードはデータ入出力信号用のリードであることを特徴とする半導体集積回路装置。

4．請求項2記載の半導体集積回路装置であって、前記半導体チップはデータ入出力用のビット数に対して少なくとも＋1個からなり、前記マザーソケットには1本のモジュールリードに対して2個の半導体チップの入出力信号用リードに接続可能にされた配線パターンがリング状に形成され、前記半導体チップのうちの1個に不良が発生したときには、前記不良の半導体チップに対応した入出力信号用リードを除いて前記マザーソケットのモジュールリードと各半導体チップの入出力信号用リードとを接続することを特徴とする半導体集積回路装置。

5．請求項4記載の半導体集積回路装置であって、前記半導体チップはN＋1個からなり、すべての半導体チップが良品のときには1ビットをパリティビットとして用いるように前記リードと前記モジュールリードとを接続してパリティビット付きのメモリとして用い、1個の半導体チップに不良が発生したときには、前記不良の半導体チップに対応した入出力信号用リードを用いて前記リードと前記モジュールリードとを接続することによりNビットのメモリとして用いることを

* C L M S *

特徴とする半導体集積回路装置。

6．請求項2記載の半導体集積回路装置であって、前記半導体チップはデータ入出力用のビット数Nに対してN＋1個からなり、そのうちN個はメモリチップであり、残り1個の半導体チップは前記N個のメモリチップにおいて発生した欠陥ビットを救済するための欠陥救済チップであることを特徴とする半導体集積回路装置。

7．請求項6記載の半導体集積回路装置であって、前記N個のメモリチップは、その組み立て前の時点で前記欠陥救済チップにより救済が可能な欠陥を有するものであることを特徴とする半導体集積回路装置。

8．請求項6記載の半導体集積回路装置であって、前記N個のメモリチップは、ＤＲＡＭチップであることを特徴とする半導体集積回路装置。

9．請求項1記載の半導体集積回路装置であって、前記各リードフレームは、これらを一つの組みリードフレームとして同一工程で一括パターニングされたものであることを特徴とする半導体集積回路装置。

１０．請求項1記載の半導体集積回路装置であって、前記各リードフレームは、モールドライン上に絶縁テープを接合したテープダム方式のリードフレームであることを特徴とする半導体集積回路装置。

１１．請求項1記載の半導体集積回路装置であって、前記各リードフレームのそれぞれの同一箇所に一対のモールド用ゲート孔を設けたことを特徴とする半導体集積回路装置。

１２．請求項1記載の半導体集積回路装置であって、前記各リードフレームのそれぞれの一部に、リードフレームごとに異なるパターンのインデックス孔を設けたことを特徴とする半導体集積回路装置。

１３．請求項1記載の半導体集積回路装置であって、前記各リードフレームのそれぞれの一部にその各部を分離するためのハーフエッチングラインを設けたことを特徴とする半導体集積回路装置。

１４．請求項1記載の半導体集積回路装置であって、前記各リードフレームの電源供給用リードに電源インピーダンスを低減するためのデカップリングコンデンサを搭載したことを特徴とする半導体集積回路装置。

* C L M S *

１５．請求項１記載の半導体集積回路装置であって、前記樹脂パッケージから引き出された前記リードフレームのリードは、前記樹脂パッケージから延びる長さが積層方向の熱変形をバランスさせるような最適長を有する板バネ構造で構成されていることを特徴とする半導体集積回路装置。

１６．請求項１記載の半導体集積回路装置であって、前記樹脂パッケージの内部にダミーのリードフレームを封止したことを特徴とする半導体集積回路装置。

１７．請求項１記載の半導体集積回路装置であって、前記半導体チップは、リード・オン・チップ方式によって前記リードフレームに搭載されていることを特徴とする半導体集積回路装置。

１８．請求項１記載の半導体集積回路装置であって、前記リードフレームに搭載された前記半導体チップは、その中心が前記樹脂パッケージの中心よりも、前記リードフレームのデータ入出力信号用リード側に配置されていることを特徴とする半導体集積回路装置。

１９．請求項１８記載の半導体集積回路装置であって、前記データ入出力信号用リードとは反対側のリードフレームにダミーの半導体チップを搭載したことを特徴とする半導体集積回路装置。

２０．請求項１８記載の半導体集積回路装置であって、前記データ入出力信号用リードとは反対側のリードフレームの電源供給用リードに電源インピーダンスを低減するためのデカップリングコンデンサを搭載したことを特徴とする半導体集積回路装置。

２１．請求項１８記載の半導体集積回路装置であって、前記データ入出力信号用リードとは反対側のリードフレームの電源供給用リードに電源インピーダンスを低減するためのデカップリングコンデンサを形成したダミーの半導体チップを搭載したことを特徴とする半導体集積回路装置。

２２．請求項１記載の半導体集積回路装置であって、前記リードフレームをリードパターンがそれぞれ等しい複数組のリードフレームで構成し、それぞれの組のリードフレームを水平面内で互いに１８０度反転して配置したことを特徴とする半導体集積回路装置。

２３．請求項４記載の半導体集積回路装置であって、前記配線パターンは、２個

の半導体チップの入出力信号用リードに接続可能にされたリング状の配線パターンであり、前記配線パターンの接続は半田により行われるものであることを特徴とする半導体集積回路装置。

２４．請求項４記載の半導体集積回路装置であって、前記配線パターンは、各半導体チップの入出力信号用リードがリング状に形成され、前記配線パターン間が適宜にエネルギービームの照射によって選択的に切断されて１本の入出力信号用リードが１本のモジュールリードのみに接続されるものであることを特徴とする半導体集積回路装置。

２５．請求項１記載の半導体集積回路装置であって、前記マザーソケットのモジュールリードを、前記樹脂パッケージの熱膨張係数と略等しい熱膨張係数の導電材料で構成したことを特徴とする半導体集積回路装置。

２６．請求項１記載の半導体集積回路装置であって、前記マザーソケットのモジュールリードを、前記マザーソケットの対向する２辺に沿って２列ずつ配置したことを特徴とする半導体集積回路装置。

２７．請求項１記載の半導体集積回路装置であって、前記マザーソケットの内部に、前記樹脂パッケージのモジュール機能を拡張または変更するための機能を備えた半導体チップを搭載したことを特徴とする半導体集積回路装置。

２８．請求項１記載の半導体集積回路装置であって、前記マザーソケットがピングリッドアレイ基板であることを特徴とする半導体集積回路装置。

２９．請求項１記載の半導体集積回路装置であって、前記マザーソケットがボールグリッドアレイ基板であることを特徴とする半導体集積回路装置。

３０．半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのリードと、前記リードの延在する方向と交差する方向に延在するモジュールリードとを電気的に接続し、前記モジュールリードの下端部をプリント配線基板に実装可能に成形したことを特徴とする半導体集積回路装置。

３１．請求項３０記載の半導体集積回路装置であって、前記樹脂パッケージには４個またはそれ以上の半導体チップが封止され、前記樹脂パッケージと前記モジュールリードのそれぞれの寸法が３００mil-ＳＯＪのＥＩＡＪ規格の範囲内にあ

* C L M S *

ることを特徴とする半導体集積回路装置。

３２．請求項３０記載の半導体集積回路装置であって、前記モジュールリードを断面が円形のワイヤで構成したことを特徴とする半導体集積回路装置。

３３．請求項３０記載の半導体集積回路装置であって、前記モジュールリードの下端部をＪベンド型にしたことを特徴とする半導体集積回路装置。

３４．請求項３０記載の半導体集積回路装置であって、前記モジュールリードの下端部をフラットリードにしたことを特徴とする半導体集積回路装置。

３５．請求項３０記載の半導体集積回路装置であって、前記モジュールリードと前記リードは、いずれか一方に設けた開孔内に他方を挿入することによって接続されていることを特徴とする半導体集積回路装置。

３６．請求項３０記載の半導体集積回路装置であって、前記モジュールリードと前記リードは、いずれか一方に設けた溝内に他方を圧入することによって接続されていることを特徴とする半導体集積回路装置。

３７．請求項３０記載の半導体集積回路装置であって、前記モジュールリードと前記リードは、それぞれの表面にメッキした半田を溶融させることによって接続されていることを特徴とする半導体集積回路装置。

３８．請求項３５記載の半導体集積回路装置であって、前記リードの一部分の径を他の部分よりも太くしたことを特徴とする半導体集積回路装置。

３９．半導体チップを搭載したリードフレームの所定数を積層して一括封止した樹脂パッケージから引き出した前記リードフレームのリードと、前記リードの延在する方向と交差する方向に延在するモジュールリードとを電気的に接続し、前記リードのうち、最下層のリードの下端部をプリント配線基板に実装可能に成形したことを特徴とする半導体集積回路装置。

４０．上金型と、下金型と、各層間に対応して設けられ、積層方向に対して水平な方向に移動可能にされて、リードフレームの厚さ、前記リードフレームに半導体チップを接続する絶縁テープの厚さ、ボンディングワイヤのループ高さおよび層間の樹脂層の厚さに対応した高さを持つ可動金型とを用い、下金型、第１層目のリードフレーム、第１層目の可動金型、第２層目のリードフレーム、第２層目の可動金型の順にこれらを縦積みし、最上層のリードフレームの上部に上金型を

* C L M S *

配置する第１工程と、

前記上金型または下金型に設けられたゲート孔から樹脂を注入する第２工程と、前記樹脂が硬化した後に、前記リードフレームの不要部分を切断して取り除くと共に、前記上金型または下金型は相対的に積層方向に移動させ、前記可動金型は相対的に水平方向に移動させて分離することにより、樹脂パッケージを形成する第３工程と、

前記樹脂パッケージから引き出された前記リードフレームのリードと、前記リードの延在する方向と交差する方向に延在するマザーソケットのモジュールリードを電気的に接続すると共に、前記樹脂パッケージを前記マザーソケットに搭載する第４工程とを含むことを特徴とする半導体集積回路装置の製造方法。

４１．請求項４０記載の半導体集積回路装置の製造方法であって、前記半導体チップは半導体メモリを構成するものであり、前記第４工程においてアドレス信号および制御信号用のリードが前記マザーソケットの共通のモジュールリードに接続されると共に、データ入出力信号用のリードが前記マザーソケットの独立したモジュールリードに接続され、前記第４工程の後に前記半導体メモリの初期不良を洗い出すためのエージングまたはバーンイン処理を行った結果に応じて、１本のモジュールリードに対して２個の半導体チップの入出力信号用リードに接続可能にされた配線パターンがリング状に形成されてなる冗長階層セレクタの選択的な接続を行う工程を含むことを特徴とする半導体集積回路装置の製造方法。

４２．請求項４０記載の半導体集積回路装置の製造方法であって、前記半導体チップは半導体メモリを構成するものであり、前記第３工程の後に前記半導体メモリの初期不良を洗い出すためのエージングまたはバーンイン処理が行われ、その結果に応じて前記マザーソケットに形成されたリング状の配線パターンがエネルギービームの照射によって選択的に切断される工程を含むことを特徴とする半導体集積回路装置の製造方法。

４３．上金型と、下金型と、各層間に対応して設けられ、積層方向に対して水平な方向に移動可能にされて、リードフレームの厚さ、前記リードフレームに半導体チップを接続する絶縁テープの厚さ、ボンディングワイヤのループ高さおよび層間の樹脂層の厚さに対応した高さを持つ可動金型とを備えたことを特徴とする

* C L M S *

半導体集積回路装置の製造装置。

４４．請求項４３記載の半導体集積回路装置の製造装置であって、積層方向に対して水平な方向に２分割される前記可動金型の一方と他方とを互いに非対称形状としたことを特徴とする半導体集積回路装置の製造装置。

４５．請求項４３記載の半導体集積回路装置の製造装置であって、前記可動金型を樹脂または樹脂が含浸された紙で構成したことを特徴とする半導体集積回路装置の製造装置。

４６．請求項４３記載の半導体集積回路装置の製造装置であって、前記上金型、下金型および可動金型で構成されるキャビティを積層方向に複数配置し、最上層のキャビティの上方に設けたゲート孔を通じて前記それぞれのキャビティに樹脂を注入するように構成したことを特徴とする半導体集積回路装置の製造装置。

４７．互いに離間した状態で積層された複数のリードフレームを一括して樹脂封止した樹脂封止型の半導体集積回路装置であって、樹脂封止体の積層方向の厚さが3.７５９mm以下の薄型であることを特徴とする半導体集積回路装置。

４８．請求項４７記載の半導体集積回路装置であって、前記樹脂封止体の外部に引き出された異なる層をなすリード間を接続する接続導体を備えたことを特徴とする半導体集積回路装置。

４９．請求項４７記載の半導体集積回路装置であって、前記樹脂封止型の半導体集積回路装置は、ＤＲＡＭであることを特徴とする半導体集積回路装置。

５０．請求項４８記載の半導体集積回路装置であって、前記樹脂封止型の半導体集積回路装置は、ＤＲＡＭであることを特徴とする半導体集積回路装置。

５１．互いに離間した状態で積層された複数のリードフレームを一括して樹脂封止したことを特徴とする半導体集積回路装置。

５２．複数のリードフレームを互いに離間した状態で積層し、それらを一括して樹脂封止する半導体集積回路装置の製造方法であって、リードフレーム毎に樹脂注入部を設け、樹脂封止キャビティの一側面から封止樹脂を注入することを特徴とする半導体集積回路装置の製造方法。