

Description

Titre de l'invention : Structure de base de dispositifs quantiques et procédé de fabrication

DOMAINE TECHNIQUE DE L'INVENTION

- [0001] L'invention concerne les matériaux et structures aptes à former une base de dispositifs électroniques dont le principe de fonctionnement repose sur la manipulation d'objets quantiques, en particulier les qubits.

ARRIERE PLAN TECHNOLOGIQUE

- [0002] Le silicium est reconnu comme un matériau prometteur pour les dispositifs électroniques basés sur la manipulation du spin des électrons, qui représente leur moment magnétique. De l'information peut en particulier être stockée et manipulée en agissant sur le spin des électrons, plutôt qu'en employant leur charge électrique comme dans l'électronique conventionnelle. Le spin des électrons peut également être utilisé en tant que support de qubit pour mettre en pratique la théorie de l'information quantique, par exploitation de superpositions d'états de spin avec une phase bien définie. On peut se référer aux documents EP 3 975 072 A1 et US 2023/0026518.
- [0003] La durée de conservation de la phase, et donc de l'information, est définie par la durée de cohérence. De longues durées de cohérence sont nécessaires pour que les opérations sur les qubits puissent être effectuées ou que l'information quantique puisse être stockée avant une opération de lecture, au cours de laquelle le qubit perd sa cohérence et l'information est perdue.
- [0004] Le document US 2004/0169225 A1 et le document US 2006/0091393 A1 proposent des galettes de matériau semiconducteur comprenant des couches de silicium isotopiquement enrichi ayant une conductivité thermique plus haute que le silicium naturel.
- [0005] Le document de Mazzocchi V et al. titré « 99.992% ²⁸Si CVD-grown epilayer on 300 mm substrates for large scale integration of silicon spin qubits », ARXIV.ORG, Cornell University Library, 201 Olin Library Cornell University Ithaca, NY 14853, 13 juillet 2018 XP081248026 et le document de Mazzocchi V et al. titré « 99.992% ²⁸Si CVD-grown epilayer on 300 mm substrates for large scale integration of silicon spin qubits », Journal of crystal growth, vol. 509, pages 1-7, XP085581554, ISSN : 022-0248, DOI : 10.1016/J.CRYSGRO.2018.12.010 décrivent la croissance épitaxiale de couches d'isotope 28 du silicium d'une pureté supérieure à 99,992% sur des substrats de silicium naturel de 300 mm en vue d'applications quantiques.

- [0006] Le document de CC LO et al. titré « Device fabrication and transport measurements of FinFETs built with ^{28}Si SOI wafers towards donor qubits in silicon » décrit un exemple d'application de ^{28}Si avec la fabrication de transistors FinFETS.
- [0007] Le silicium présente trois isotopes stables : les isotopes ^{28}Si , ^{29}Si et ^{30}Si , qui composent approximativement 92,2%, 4,7% et 3,1% du silicium naturel, respectivement. L'un des mécanismes qui provoque la décohérence des états de spin est la présence d'isotopes ^{29}Si du silicium, dont le moment magnétique nucléaire n'est pas nul. Il est donc préférable d'éliminer autant que possible la proportion de ^{29}Si dans le silicium servant de base à des dispositifs de manipulation de qubits. L'isotope ^{30}Si devrait également être éliminé : bien que l'isotope ^{30}Si ne possède pas de spin, il entraîne des variations dans les longueurs des liaisons entre atomes et donc dans l'environnement local des qubits. Il convient de maximiser l'homogénéité de l'environnement local afin que les qubits présentent des caractéristiques aussi proches que possible les uns des autres.
- [0008] Une solution consiste à utiliser du silicium enrichi en isotopes ^{28}Si . Schneider et al. (E. Schneider et J. England, « Isotopically Enriched Layers for Quantum Computers Formed by ^{28}Si Implantation and Layer Exchange », ACS Appl. Mater. Interfaces 2023, 15, 21609–21617) proposent une technique d'enrichissement de couche d'isotope de silicium ^{28}Si reposant sur l'implantation ionique d'ions ^{28}Si dans une couche d'aluminium formée sur un substrat de silicium sans oxyde natif suivie d'une cristallisation par échange de couche : on obtient ainsi une couche de ^{28}Si de haute pureté en contact sur le substrat de silicium. Schneider explique également que les défauts aux interfaces des couches des dispositifs nécessitent des diélectriques de haute qualité et/ou des techniques pour éloigner les qubits des interfaces et des bruits qu'elles causent, selon la géométrie de placement des qubits, proches ou éloignés des interfaces.
- [0009] Des dispositifs de manipulation de qubits de spin peuvent être réalisés en employant du silicium comme base et les procédés de fabrication CMOS (Complementary Metal Oxide Semiconductor) standards ou FDSOI (Fully Depleted Silicon On Insulator) de l'industrie du semi-conducteur. La technologie FDSOI permet en particulier de contrôler l'emplacement des qubits, loin des interfaces entre le silicium et le diélectrique de grille ou la couche d'oxide enterrée (BOX pour Buried Oxide en terminologie anglaise).
- [0010] Cependant, les substrats de type SOI (Silicon On Insulator en terminologie anglaise) possédant une couche mince de l'isotope ^{28}Si du silicium de qualité quantique n'existent pas dans le commerce. On entend ici par « qualité quantique » des couches de ^{28}Si suffisamment pures pour porter la cohérence de spin des électrons à des durées

suffisantes pour procéder à des opérations sur les qubits, avec une pureté en ^{28}Si supérieure à 99,92%.

- [0011] Il y a ainsi un besoin en plaquette de silicium aptes à servir de substrat à la fabrication de dispositifs de manipulation de qubits de spin des électrons, capables de maintenir la pureté isotopique de couches de ^{28}Si et de permettre la manipulation de qubits à des emplacements choisis, compatibles avec le type de dispositif envisagé.
- [0012] Il existe en outre un besoin de substrats de type SOI, Silicon On Insulator en terminologie anglaise, comportant une mince couche de ^{28}Si sur un substrat, une couche électriquement isolante étant interposée entre la couche de ^{28}Si et le substrat. Il est avantageux que la couche mince et la couche électriquement isolante (également appelée « BOX » pour Buried Oxide) soient suffisamment minces pour pouvoir former des transistors dits FD-SOI ou Fully Depleted SOI en terminologie anglaise.
- [0013] En outre, considérant que les applications quantiques requièrent de travailler à très basses températures, par exemple inférieures à 3 K ou de l'ordre de 10 mK, tout employant une électronique de contrôle physiquement aussi proche que possibles du supports des grandeurs quantiques manipulées, l'intégration sur un même substrat de transistors FD-SOI et de dispositifs de manipulation de grandeurs quantiques est avantageuse : les transistors FD-SOI peuvent être à basse tension de seuil et fonctionner en limitant la dissipation d'énergie dans leur support, donc en limitant les problèmes d'échauffement de ces dispositifs de manipulation de grandeurs quantiques.

Exposé de l'invention

- [0014] L'objectif du déposant est de fournir une structure et un procédé de fabrication d'un support semiconducteur apte à former une base pour l'obtention de dispositifs de manipulation d'objets quantiques, et en particulier de qubits formés de spins d'électrons.
- [0015] En vue de la réalisation de ce but, un aspect de l'invention est une structure apte à la formation d'un dispositif quantique, comprenant : un substrat porteur de silicium ; une première couche d'isotope ^{28}Si de silicium ; une couche d'oxyde de silicium ; une deuxième couche d'isotope ^{28}Si de silicium, la structure étant formée par le substrat porteur, la première couche d'isotope ^{28}Si de silicium, la couche d'oxyde de silicium, et la deuxième couche d'isotope ^{28}Si de silicium, empilées dans cet ordre, dans laquelle la première couche (Si-L1) et la deuxième couche (Si-L2) d'isotope ^{28}Si de silicium sont chacune constituées d'au moins 99,92% d'isotope ^{28}Si de silicium.
- [0016] Un premier avantage de la structure est de fournir une base adéquate pour l'élaboration de dispositifs quantiques en employant des technologies déjà bien maîtrisées du domaine des semi-conducteurs.

- [0017] Un second avantage de la structure est qu'elle garantie la fiabilité des dispositifs obtenus grâce à la présence d'une bicouche de ^{28}Si et de $^{28}\text{SiO}_2$ faisant office de barrière aux éléments indésirables contenus dans le substrat support, tels que les isotopes ^{29}Si et ^{30}Si du silicium, ou encore des atomes de carbone, d'oxygène ou d'azote. Il serait en effet difficile extrêmement coûteux de produire des substrats de silicium purement formés de l'isotope ^{28}Si du silicium. Les substrats disponibles sont donc formés de silicium naturel, contenant au moins les trois isotopes ^{28}Si , ^{29}Si et ^{30}Si du silicium, ainsi que des impuretés telles que le carbone, l'oxygène, et l'azote.
- [0018] Un troisième avantage de la structure est qu'elle peut être obtenue par des méthodes connues, adaptées aux besoins des dispositifs quantiques, ce qui accélère la maturité technologique du procédé de fabrication engagé et réduit les investissements nécessaires en temps et en équipement.
- [0019] Selon des caractéristiques additionnelles non-limitatives du support selon l'invention, considérées individuellement ou selon toute combinaison techniquement réalisable :
- [0020] - la deuxième couche d'isotope ^{28}Si de silicium peut comprendre moins de 800 ppm d'isotope ^{29}Si de silicium ;
- [0021] - la première couche d'isotope ^{28}Si de silicium peut comprendre moins de 800 ppm d'isotope ^{29}Si de silicium ;
- [0022] - la deuxième couche d'isotope ^{28}Si de silicium peut présenter une épaisseur comprise entre 10 et 60 nm, la couche d'oxyde de silicium peut présenter une épaisseur comprise entre 10 et 50 nm, préférentiellement entre 15 et 30 nm, et la première couche d'isotope ^{28}Si de silicium peut présenter une épaisseur supérieure à 30 nm, préférentiellement comprise entre 30 nm et 250 nm ; et
- [0023] - la deuxième couche d'isotope ^{28}Si de silicium peut présenter une épaisseur comprise entre 120 et 200 Å, préférentiellement entre 140 et 180 Å, la couche d'oxyde de silicium peut présenter une épaisseur comprise entre 120 et 280 Å, préférentiellement entre 160 et 240 Å, et la première couche d'isotope ^{28}Si de silicium peut présenter une épaisseur supérieure à 200 nm, préférentiellement comprise entre 200 nm et 420 nm.
- [0024] L'invention s'étend à un procédé fabrication d'une structure selon l'invention, comprenant les étapes de : former une première couche d'isotope ^{28}Si de silicium sur un premier substrat ; former une deuxième couche d'isotope ^{28}Si de silicium sur un deuxième substrat ; oxyder la deuxième couche de silicium sur une partie de son épaisseur pour former une couche d'oxyde ; assembler le premier substrat et le deuxième substrat par mise en contact de la première couche de silicium à la couche d'oxyde, le premier substrat, la première couche de silicium, la couche d'oxyde et la deuxième couche de silicium étant empilés dans cet ordre, dans lequel la première

couche (Si-L1) et la deuxième couche (Si-L2) d'isotope ^{28}Si de silicium sont chacune constituées d'au moins 99,92% d'isotope ^{28}Si de silicium.

- [0025] Selon des caractéristiques additionnelles non-limitative de la structure selon l'invention, considérées individuellement ou selon toute combinaison techniquement réalisable :
- [0026] - le procédé selon l'invention peut en outre comprendre une étape de formation d'un plan de fragilisation de la deuxième couche par implantation d'ions d'une espèce légère dans une partie non oxydée de la deuxième couche après l'étape d'oxydation sur une partie de son épaisseur ; et une étape d'une fracture de la deuxième couche au niveau du plan de fragilisation et de retrait du substrat donneur après l'étape d'assemblage ; et
- [0027] - la deuxième couche d'isotope ^{28}Si de silicium peut présenter une épaisseur comprise entre 300 nm et 600 nm avant l'étape d'oxydation.

BREVE DESCRIPTION DES FIGURES

- [0028] D'autres caractéristiques et avantages de l'invention ressortiront de la description détaillée de l'invention qui va suivre en référence aux figures annexées sur lesquels :
- [0029] [Fig.1] La [Fig.1] illustre un procédé de fabrication selon l'invention ;
- [0030] [Fig.2] La [Fig.2] illustre une structure obtenue au moyen du procédé de la [Fig.1] ; et
- [0031] [Fig.3] La [Fig.3] est un diagramme résumant le procédé de fabrication des figures 1 et 2.

DESCRIPTION DETAILLEE DE L'INVENTION

- [0032] Mode de réalisation
- [0033] Un mode de réalisation particulier de la présente invention est décrit au moyen des figures 1 à 3 et de la description associée ci-dessous.
- [0034] La [Fig.2] illustre une structure Strc formée d'un substrat porteur Car, d'une couche barrière Si-L1, d'une couche Ox de diélectrique, et d'une couche de dispositif Si-L2, empilés dans cet ordre, chacun de ces éléments étant préférablement en contact direct avec l'élément ou les éléments immédiatement adjacents.
- [0035] La couche barrière Si-L1, la couche d'oxyde Ox et la couche Si-L2 de dispositif sont des couches formées de l'isotope ^{28}Si du silicium. Les couches Si-L1 et Si-L2 présentent en particulier une pureté en ^{28}Si d'au moins 99,92%, par exemple comprise entre 99,92% et 99,995%. Ainsi, les couches de silicium Si-L1 et Si-L2 comprennent moins de 800 ppm d'isotope ^{29}Si de silicium.
- [0036] Une telle structure peut être utilisée afin de former des dispositifs quantiques à sa surface, grâce aux caractéristiques de la couche Si-L2 de dispositif : grâce à sa pureté en ^{28}Si , la durée de cohérence de spin des électrons de cette couche est suffisante

pour effectuer des opérations sur des qubits associés à ces électrons. Intégrée dans un dispositif quantique, la couche Si-L2 représente donc un bon support de qubits.

[0037] En outre, la couche barrière Si-L1 et la couche d'oxyde Ox empêchent, ou au moins limitent, la migration d'impuretés, et en particulier d'atomes de l'isotope ²⁹Si du silicium depuis le substrat support Car jusqu'à la couche Si-L2 de dispositif. Sans couche barrière, le phénomène de diffusion des impuretés augmenterait les concentrations en ²⁹Si, ³⁰Si ou autres dopants, à des niveaux incompatibles avec la qualité quantique nécessaire au bon fonctionnement des dispositifs quantiques. Engendrant ainsi une réduction des durées de cohérence et en amenant ces dispositifs à fonctionner de manière similaire à des dispositifs formés au sein de substrats conventionnels pour transistors FD-SOI. .

[0038] La [Fig.1] illustre en (A) la formation de la couche Si-L1 sur le substrat porteur Car, au cours d'une étape 310_{Car}. Dans le cadre de cet exemple, le substrat porteur Car est constitué d'un wafer de silicium monocristallin, mais tout autre support conventionnellement utilisé dans l'industrie des semiconducteurs pourrait être employé. On fait croître, par exemple par épitaxie, la couche barrière Si-L1 sur une face du substrat porteur Car.

[0039] La [Fig.1] illustre en (B) la formation de la couche Si-L2 sur le substrat donneur Don, au cours d'une étape 310_{Don}. Dans le cadre de cet exemple, le substrat donneur Don est constitué d'un wafer de silicium monocristallin, mais tout autre support conventionnellement utilisé dans l'industrie des semiconducteurs pourrait être employé. On fait croître, par exemple par épitaxie, la couche Si-L2 de dispositif sur une face du substrat donneur Don.

[0040] On fait croître les couches Si-L1 et Si-L2 de manière à ce qu'elles présentent des puretés en isotope 28 du silicium comprises entre 99,920% et 99,995%. Ainsi, les concentrations maximales de l'isotope 29 du silicium dans ces couches sont, au moins initialement, comprises entre 800 et 50 ppm, concentrations suffisamment faibles pour permettre la fabrication de dispositifs quantiques basés sur le spin des électrons sur la couche Si-L2 de dispositif. De telles compositions des couches Si-L1 et Si-L2 peuvent être atteintes en employant, dans un procédé conventionnel de croissance par épitaxie, du gaz silane de pureté correspondante à celle des couches en ²⁸Si, comme gaz précurseur du silicium des couches.

[0041] La [Fig.1] illustre en (C) une oxydation partielle, sur une certaine profondeur, de la couche Si-L2 pour former une couche Ox d'oxyde de silicium SiO₂, au cours d'une étape 320_{Don} d'oxydation. Cette opération peut être effectuée de manière conventionnelle par application d'un traitement thermique sous atmosphère d'oxygène, au cours d'une étape 320_{Don} d'oxydation. La couche Ox est préférentiellement formée

par oxydation thermique de manière à assurer une bonne qualité d'interface entre la couche de d'oxyde formé et la couche Si-L2 d'une part et la couche Si-L1 d'autre part, après collage. Naturellement, il s'agit d'un oxyde de silicium formé d'oxygène et de l'isotope ^{28}Si du silicium de la couche Si-L2. La couche Si-L2 n'est oxydée que sur une certaine épaisseur, strictement inférieure à son épaisseur et fonction de l'épaisseur visée pour la couche Ox. Par ailleurs, la couche Ox peut également être formée par dépôt de type HDP-CVD (HDP-CVD pour High Density Plasma CVD), qui est réalisé à relativement basse température en comparaison à une oxydation thermique, ce qui permet de manière avantageuse de limiter le budget thermique imposé à la couche Si-L2, et de ce fait limiter la diffusion des autres isotopes de Si dans la couche destinée à comporter les dispositifs de manipulation d'objets quantiques

- [0042] La [Fig.1] illustre également en (C) une implantation d'espèces légères comme de l'hydrogène, de l'hélium, ou une combinaison de telles espèces dans la partie non oxydée de la couche Si-L2 à travers la couche d'oxyde Ox, de manière à former un plan de fragilisation Frg dans l'épaisseur de la partie non oxydée de la couche Si-L2, au cours d'une étape 330_{Don}.
- [0043] A la suite de la formation du plan de fragilisation Frg, le substrat donneur Don est retourné et la couche d'oxyde Ox est mise en contact intime avec la couche Si-L1 du substrat porteur Car et y est assemblée, par exemple par collage moléculaire ou toute autre technique d'assemblage par mise en contact direct de surfaces d'éléments à assembler, de manière à obtenir la structure illustrée en (D) de la [Fig.1], au cours d'une étape 340.
- [0044] La [Fig.1] illustre en (E) la fracture de la couche Si-L2 de dispositif au niveau du plan de fragilisation Frg obtenu par implantation ionique, de sorte que le substrat donneur Don et une partie Si-L2_{Ei} est retiré de la structure illustrée en (C) tandis qu'une partie de la couche Si-L2 de dispositif y reste fixée, au cours d'une étape de fracture de retrait 350. Cette fracture peut être obtenue par traitement thermique, éventuellement assisté d'une sollicitation mécanique d'amorce de la rupture, selon des techniques conventionnelles de transfert de couche bien connues dans le domaine de la microélectronique, comme le procédé dit « Smart Cut ». A la suite de l'assemblage et de la fracture du substrat donneur, on peut appliquer un traitement thermique de manière à consolider l'assemblage et réparer les couches assemblées.
- [0045] Une alternative à la formation d'un plan de fragilisation et à la fracture de la couche Si-L2 au niveau de ce plan peut consister en un amincissement du substrat donneur Don après son assemblage, par exemple par gravure, meulage et/ou polissage mécanochimique (CMP pour Chemical Mechanical Polishing en terminologie anglaise). Cet amincissement peut être employé pour entièrement retirer le second

substrat Don, et éventuellement une partie de la couche Si-L2 pour arriver à l'épaisseur souhaitée pour cette couche.

- [0046] Une étape 360 de finition de la surface de la couche Si-L2 suit l'étape 350, par une ou plusieurs attaques mécaniques et/ou chimiques d'amincissement de la couche Si-L2 à une épaisseur souhaitée et de polissage de sa face accessible. A l'issue de cette étape, la structure Strct illustrée par la [Fig.2] est obtenue.
- [0047] Les épaisseurs des couches Ox et Si-L1 peuvent être choisies de manière à garantir un niveau d'effet barrière adéquat pour éviter la contamination de la couche Si-L2 de dispositif par, en particulier, du ²⁹Si, tout en limitant l'épaisseur de la couche d'oxyde Ox, par exemple en vue d'application reposant sur la technologie FD-SOI qui requiert une couche Ox fine. Ainsi, les inventeurs ont pu déterminer par simulation informatique des jeux d'épaisseurs pour les couches Si-L1, Ox et Si-L2, permettant de garantir un certain niveau de pureté de la couche Si-L2 tout en minimisant avantageusement l'épaisseur de la couche Si-L1 pour une épaisseur donnée de la couche Ox, choisie pour sa compatibilité avec les procédés conventionnels de la technologie FD-SOI.
- [0048] Le tableau Tab1 indique de tels jeux d'épaisseurs pour deux niveaux de pureté, à 99,9% et 99,99% de ²⁸Si pour la couche de Si-L2. Les simulations numériques ont été calculées en considérant que la couche Si-L1 possède un niveau de pureté à 99,99% de ²⁸Si. Ces calculs prennent en compte, notamment, un budget thermique correspondant à celui de la réalisation des substrats Strc et de la fabrication conventionnelle d'un transistor FD-SOI, qui est le plus haut budget thermique subi par les couches, ce qui inclut les étapes de fabrication de transistors CMOS et des dispositifs à qubits formés dans la couche de Si-L2.

Epaisseur de Si-L2 (après transfert)	Epaisseur de Ox	Epaisseur de Si-L1 pour une couche de Si-L2 à 99,9 %	Epaisseur de Si-L1 pour une couche de Si-L2 à 99,99%
16 nm	50 nm	30 nm	250 nm
16nm	20 nm	200 nm	420 nm

- [0049] Tab. 1
- [0050] Il est à noter qu'avant les étapes 320, 350 et 360 d'oxydation, de fracturation et de finition de la couche Si-L2, celle-ci peut avoir une épaisseur de l'ordre de 400 nm, préférentiellement comprise entre 300 nm et 600 nm, de manière à garantir qu'après ces étapes on puisse bien obtenir une couche Si-L2 d'environ 16 nm avec la pureté souhaitée en ²⁸Si.

- [0051] Les épaisseurs typiquement employées dans les technologies de type FD-SOI sont comprises entre 10 et 60 nm pour la couche active, qui correspond ici à la couche Si-L2 de dispositif, et entre 10 et 50 nm pour la couche d'oxyde Ox, souvent environ 20 nm d'épaisseur.
- [0052] L'invention n'est pas limitée au mode de réalisation décrit ci-dessus et on peut y apporter des variantes sans sortir du cadre de l'invention tel que défini par les revendications.

Revendications

- [Revendication 1] Structure (Strc) apte à la formation d'un dispositif quantique, comprenant :
- un substrat porteur (Car) de silicium ;
 - une première couche (Si-L1) d'isotope ^{28}Si de silicium ;
 - une couche (Ox) d'oxyde de silicium ;
 - une deuxième couche (Si-L2) d'isotope ^{28}Si de silicium ,
- la structure étant formée par le substrat porteur (Car), la première couche (Si-L1) d'isotope ^{28}Si de silicium, la couche (Ox) d'oxyde de silicium, et la deuxième couche (Si-L2) d'isotope ^{28}Si de silicium, empilées dans cet ordre, dans laquelle la première couche (Si-L1) et la deuxième couche (Si-L2) d'isotope ^{28}Si de silicium sont chacune constituées d'au moins 99,92% d'isotope ^{28}Si de silicium.
- [Revendication 2] Structure (Strc) de formation d'un dispositif quantique selon la revendication 1, dans laquelle la deuxième couche (Si-L2) d'isotope ^{28}Si de silicium comprend moins de 800 ppm d'isotope ^{29}Si de silicium.
- [Revendication 3] Structure (Strc) de formation d'un dispositif quantique selon l'une quelconque des revendications 1 à 2, dans laquelle la première couche (Si-L1) d'isotope ^{28}Si de silicium comprend moins de 800 ppm d'isotope ^{29}Si de silicium.
- [Revendication 4] Structure (Strc) de formation d'un dispositif quantique selon l'une quelconque des revendications 1 à 3, dans laquelle la deuxième couche (Si-L2) d'isotope ^{28}Si de silicium présente une épaisseur comprise entre 10 et 60 nm, la couche (Ox) d'oxyde de silicium présente une épaisseur comprise entre 10 et 50 nm, préférentiellement entre 15 et 30 nm, et la première couche (Si-L1) d'isotope ^{28}Si de silicium présente une épaisseur supérieure à 30 nm, préférentiellement comprise entre 30 nm et 250 nm.
- [Revendication 5] Structure (Strc) de formation d'un dispositif quantique selon l'une quelconque des revendications 1 à 4, dans laquelle la deuxième couche (Si-L2) d'isotope ^{28}Si de silicium présente une épaisseur comprise entre 120 et 200 Å, préférentiellement entre 140 et 180 Å, la couche (Ox) d'oxyde de silicium présente une épaisseur comprise entre 120 et 280 Å, préférentiellement entre 160 et 240 Å, et la

- première couche (Si-L1) d'isotope ^{28}Si de silicium présente une épaisseur supérieure à 200 nm, préférentiellement comprise entre 200 nm et 420 nm.
- [Revendication 6] Procédé (300) de fabrication d'une structure selon l'une quelconque des revendications 1 à 5, comprenant les étapes de :
- former (310_{Car}) une première couche d'isotope ^{28}Si de silicium sur un premier substrat (Car) ;
 - former (310_{Don}) une deuxième couche d'isotope ^{28}Si de silicium sur un deuxième substrat (Don) ;
 - oxyder (320_{Don}) la deuxième couche de silicium sur une partie de son épaisseur pour former une couche d'oxyde (Ox) ;
 - assembler (340) le premier substrat (Car) et le deuxième substrat (Don) par mise en contact de la première couche de silicium (Si-L1) à la couche d'oxyde (Ox), le premier substrat (Car), la première couche de silicium (Si-L1), la couche d'oxyde (Ox) et la deuxième couche de silicium (Si-L2) étant empilés dans cet ordre, dans lequel la première couche (Si-L1) et la deuxième couche (Si-L2) d'isotope ^{28}Si de silicium sont chacune constituées d'au moins 99,92% d'isotope ^{28}Si de silicium.
- [Revendication 7] Le procédé selon la revendication 6, comprenant en outre :
- une étape (330_{Don}) de formation d'un plan de fragilisation de la deuxième couche (Si-L2) par implantation d'ions d'une espèce légère dans une partie non oxydée de la deuxième couche (Si-L2) après l'étape (320_{Don}) d'oxydation sur une partie de son épaisseur ; et
 - une étape (350) d'une fracture de la deuxième couche (Si-L2) au niveau du plan de fragilisation et de retrait du substrat donneur (Don) après l'étape d'assemblage (340).
- [Revendication 8] Le procédé selon la revendication 6 ou 7, dans lequel la deuxième couche d'isotope ^{28}Si de silicium présente une épaisseur comprise entre 300 nm et 600 nm avant l'étape (320_{Don}) d'oxydation.