

一种控制装置、存储器、信号处理方法和电子设备

相关申请的交叉引用

本公开基于申请号为 202210815505.8、申请日为 2022 年 07 月 08 日、发明名称为“一种控制装置、存储器、信号处理方法和电子设备”的中国专利
5 申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体存储器技术领域，尤其涉及一种控制装置、存储器、信号处理方法和电子设备。

10 背景技术

在电子设备中，中央处理器（Central Processing Unit，CPU）向存储器发送读指令，然后接收存储器返回的读时钟信号和读数据信号，利用读时钟信号对读数据信号进行锁存处理，以便得到所需的数据。然而，在存储器对时钟信号进行占空比调整的过程中，中央处理器需要通过读取存储器
15 中相应的模式寄存器获得时钟信号的占空比参数，然而这一过程中存储器内部的时钟信号可能是畸变的，进而存储器返回给中央控制器的读时钟信号也是畸变的，导致中央处理器获得错误的参数，最终导致时钟信号的占空比调整失败。

发明内容

20 本公开提供了一种控制装置、存储器、信号处理方法和电子设备，不仅能够提高数据锁存的正确性，还可以节省功耗。

本公开的技术方案是这样实现的：

第一方面，本公开实施例提供了一种控制装置，所述控制装置与存储器连接，所述控制装置包括：

25 接收模块，配置为从所述存储器接收读时钟信号，输出所述读时钟信

号;

时钟模块,配置为产生第一内部时钟信号;

选择模块,配置为接收所述读时钟信号和所述第一内部时钟信号,将所述读时钟信号和所述第一内部时钟信号的两者之一输出为目标读时钟信号;

锁存模块,配置为接收所述目标读时钟信号和所述存储器发送的读数据信号,利用所述目标读时钟信号对所述读数据信号进行锁存处理。

在一些实施例中,所述选择模块,具体配置为接收选择指示信号,在所述选择指示信号处于第一状态的情况下,将所述读时钟信号输出为所述目标读时钟信号;或者,在所述选择指示信号处于第二状态的情况下,将所述第一内部时钟信号输出为所述目标读时钟信号。

在一些实施例中,所述控制装置,还配置为向所述存储器发送数据读指令,以使得所述存储器产生所述读时钟信号和所述读数据信号。

在一些实施例中,所述控制装置,还配置为在所述数据读指令为第一读指令的情况下,将所述选择指示信号置为第一状态;或者,在所述数据读指令为第二读指令的情况下,将所述选择指示信号置为第二状态;其中,所述第二读指令指示获取所述存储器中模式寄存器存储的占空比参数,所述第一读指令是指除所述第二读指令之外的数据读取指令。

第二方面,本公开实施例提供了一种存储器,存储器包括时钟处理电路,且所述存储器与控制装置连接;其中,

所述存储器,配置为在接收到第一读指令的情况下,基于所述第一读指令确定读数据信号,并通过所述时钟处理电路确定读时钟信号,将所述读数据信号和所述读时钟信号共同发送至所述控制装置;或者,

在接收到第二读指令的情况下,基于所述第二读指令确定所述读数据信号,并将所述读数据信号发送至所述控制装置。

在一些实施例中,所述存储器,还配置为在接收到第二读指令的情况下,控制所述读时钟信号处于悬空状态。

在一些实施例中,所述时钟处理电路包括:占空比模块,配置为接收外部产生的数据时钟信号;对所述数据时钟信号进行占空比调节,输出第二内部时钟信号;时钟产生模块,配置为接收所述第二内部时钟信号,基

于所述第二内部时钟信号，输出所述读时钟信号；其中，所述读时钟信号为脉冲信号。

在一些实施例中，所述时钟处理电路还包括：检测模块，配置为接收所述第二内部时钟信号，对所述第二内部时钟信号进行占空比检测，输出占空比参数；模式寄存器，配置为接收并存储所述占空比参数；其中，所述第二读指令指示获取所述模式寄存器存储的占空比参数，所述第一读指令是指除所述第二读指令之外的数据读取指令。

在一些实施例中，所述占空比模块包括：接收器，配置为从外部接收并输出所述数据时钟信号；调节模块，配置为对所述数据时钟信号进行占空比调节，输出所述第二内部时钟信号。

在一些实施例中，所述数据时钟信号为写时钟信号。

第三方面，本公开实施例提供了一种信号处理方法，应用于控制装置，且所述控制装置与存储器连接，所述方法包括：

接收所述存储器发送的读时钟信号和读数据信号，确定所述控制装置产生的第一内部时钟信号；

将所述读时钟信号和所述第一内部时钟信号的两者之一确定为目标读时钟信号；

利用所述目标读时钟信号对所述读数据信号进行锁存处理。

在一些实施例中，在所述接收所述存储器发送的读时钟信号和读数据信号之前，所述方法还包括：

向所述存储器发送数据读指令，以使得所述存储器产生所述读时钟信号和所述读数据信号。

在一些实施例中，所述方法还包括：

在所述数据读指令为第一读指令的情况下，将所述读时钟信号确定为所述目标读时钟信号；或者，在所述数据读指令为第二读指令的情况下，将所述第一内部时钟信号确定为所述目标读时钟信号；其中，所述第二读指令指示获取所述存储器中模式寄存器存储的占空比参数，所述第一读指令是指除所述第二读指令之外的数据读取指令。

第四方面，本公开实施例提供了一种信号处理方法，应用于存储器，且所述存储器与控制装置连接，所述方法包括：

在接收到第一读指令的情况下，基于所述第一读指令确定读数据信号，并通过所述存储器中的时钟处理电路产生读时钟信号，将所述读数据信号和所述读时钟信号共同发送至所述控制装置；或者，在接收到第二读指令的情况下，基于所述第二读指令确定所述读数据信号，并将所述读数据信号发送5 号发送至所述控制装置。

在一些实施例中，所述方法还包括：在接收到第一读指令的情况下，控制所述读时钟信号处于悬空状态。

在一些实施例中，所述通过所述存储器中的时钟处理电路产生读时钟信号，包括：

10 接收外部产生的数据时钟信号；对所述数据时钟信号进行占空比调节，输出第二内部时钟信号；基于所述第二内部时钟信号，产生所述读时钟信号；其中，所述读时钟信号为脉冲信号。

在一些实施例中，所述方法还包括：对所述第二内部时钟信号进行占空比检测，得到占空比参数；将所述占空比参数存储至模式寄存器中；其中，所述第二读指令指示获取所述模式寄存器存储的占空比参数，所述第一读指令是指除所述第二读指令之外的数据读取指令。

第五方面，本公开实施例提供了一种电子设备，所述电子设备至少包括如第一方面所述的控制装置和如第二方面所述的存储器。

本公开实施例提供了一种控制装置、存储器、信号处理方法和电子设备，20 该控制装置与存储器连接，控制装置包括：接收模块，配置为从存储器接收读时钟信号，输出读时钟信号；时钟模块，配置为产生第一内部时钟信号；选择模块，配置为接收读时钟信号和第一内部时钟信号，将读时钟信号和第一内部时钟信号的两者之一输出为目标读时钟信号；锁存模块，配置为接收目标读时钟信号和存储器发送的读数据信号，利用目标读时钟信号对读数据信号进行锁存处理。这样，在存储器中的时钟信号发生占空比畸变的情况下，控制装置仍然可以通过第一内部时钟信号锁存读数据信号，25 不仅能够提高数据锁存的正确性，还可以节省功耗。

附图说明

图 1 为 MRR 指令的操作时序示意图；

- 图 2 为一种时钟处理电路的结构示意图；
- 图 3 为一种读时钟信号的波形示意图；
- 图 4 为本公开实施例提供的一种控制装置的结构示意图；
- 图 5 为本公开实施例提供的另一种控制装置的结构示意图；
- 5 图 6 为本公开实施例提供的一种数据锁存处理的信号波形示意图；
- 图 7 为本公开实施例提供的一种存储器的结构示意图；
- 图 8 为本公开实施例提供的一种时钟处理电路的局部结构示意图一；
- 图 9 为本公开实施例提供的一种时钟处理电路的局部结构示意图二；
- 图 10 为本公开实施例提供的一种时钟处理电路的工作过程示意图；
- 10 图 11 为本公开实施例提供的一种信号处理方法的流程示意图；
- 图 12 为本公开实施例提供的另一种信号处理方法的流程示意图；
- 图 13 为本公开实施例提供的一种电子设备的结构示意图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于解释相关申请，而非对该申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关申请相关的部分。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。

在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。

需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

DRAM（Dynamic Random Access Memory）：动态随机存取存储器

SDRAM（Synchronous Dynamic Random Access Memory）：同步动态

随机存储器

MRR (Mode Register Read) : 模式寄存器读指令

Mbps (Million bits per second) : 兆比特每秒

NMOS (N-Metal-Oxide-Semiconductor) : N 型沟道场效应晶体管

5 PMOS (P-Metal-Oxide-Semiconductor) : N 型沟道场效应晶体管

在存储器 (例如 DRAM) 中, MRR 指令和正常读指令采用完全一样的操作时序。参见图 1, 其示出了 MRR 指令的操作时序示意图。在图 1 中, T0、T1... 用于标识不同的时钟周期, CK_c 和 CK_t 是一对差分时钟信号, CS 为片选信号, CA 为命令地址信号, COMMAND 指示操作指令, DQ[7:0] 为 8 位存储器的数据信号, DQ[15:0] 为 16 位存储器的数据信号, 数据时钟信号 WCK 是电子设备的主机端 (Host) 发送给存储器的外部写时钟信号, 在不同的电路位置可能表现为单个信号或者一对差分时钟信号 WCK_c 和 WCK_t; 读时钟信号 RDQS 是存储器向电子设备输出的时钟信号, 在不同的电路位置可能表现为单个信号或者一对差分时钟信号 RDQS_c 和 RDQS_t。具体来说, 在存储器接收到 CPU 发送的 MRR 指令后, 生成数据信号 DQ (也可以称为读数据信号), 以及利用从外部接收的数据时钟信号产生读时钟信号。在数据读指令的执行过程中, 存储器将读数据信号 DQ 和读时钟信号 RDQS 共同返回给 CPU, 然后 CPU 利用读时钟信号 RDQS 锁存读数据信号 DQ, 从而获得需要的数据。另外, 图 1 为电子装置工程设计联合协会 (JEDEC) 标准规定的标准时序, 其中各信号的含义、相关变化的原理以及未经提及的部分名词缩写均可参照行业标准文件 JEDEC 进行理解, 且与本公开实施例的技术方案无关, 不会影响技术人员对本公开实施例的理解, 因此不作解释。

存储器中设置有时钟处理电路, 用于对数据时钟信号 WCK0 (包括一对互补的信号 WCK_c/WCK_t) 的占空比进行调整, 以使得数据时钟信号 WCK0 的占空比符合要求。参见图 2, 其示出了一种时钟处理电路的结构示意图。如图 2 所示, 在时钟处理电路中, 接收器用于从外部接收数据时钟信号 WCK0, 调节模块对数据时钟信号 WCK 进行占空比调整以得到第二内部时钟信号 WCK1, 检测模块用于检测第二内部时钟信号 WCK1 的占空比参数并将其存储在模式寄存器中。同时, 在存储器进行占空比调整的过程

程中, CPU 发送 MRR 指令读取模式寄存器中的占空比参数, 从而决定下一步的操作。在一种示例的情况中, 如图 2 所示, 外部输入的数据时钟信号 WCK0 的占空比为 JEDEC 规定的上限 57%, 在占空比调整的初始步骤中, 占空比调节模块将数据时钟信号 WCK0 的占空比增加 7 个单位(JEDEC 规定的上限, 且每个单位为 5 皮秒), 即增加了 35 皮秒, 相当于在 8533Mbps 的速度下将占空比增加 15%, 此时存储器中的第二内部时钟信号 WCK1 的占空比将高达 72%, 利用其产生的读时钟信号 RDQS 的占空比也将高达 72%。此时, 参见图 3, 其示出了一种读时钟信号的波形示意图。如图 3 所示, 占空比高达 72% 的读时钟信号 RDQS 在经由电路模块进行传输过程中经过通道衰减, 在到达 CPU 接收端时会严重畸变, 导致很难被 CPU 正确识别, 即 MRR 指令可能得到错误的数据, 最终导致占空比调整失败。如果存储器的速度更高, 这一问题将更加严重。

基于此, 本公开实施例提供了一种控制装置, 该控制装置与存储器连接, 所述控制装置包括: 接收模块, 配置为从所述存储器接收读时钟信号, 输出所述读时钟信号; 时钟模块, 配置为产生第一内部时钟信号; 选择模块, 配置为接收所述读时钟信号和所述第一内部时钟信号, 将所述读时钟信号和所述第一内部时钟信号的两者之一输出为目标读时钟信号; 锁存模块, 配置为接收所述目标读时钟信号和所述存储器发送的读数据信号, 利用所述目标读时钟信号对所述读数据信号进行锁存处理。这样, 即使存储器中的时钟信号发生占空比畸变, 控制装置仍然可以通过第一内部时钟信号锁存读数据信号, 不仅能够提高数据锁存的正确性, 还可以节省功耗。

下面将结合附图对本公开各实施例进行详细说明。

在本公开的一实施例中, 参见图 4, 其示出了本公开实施例提供的一种控制装置 10 的结构示意图。如图 4 所示, 控制装置 10 与存储器连接, 控制装置 10 包括:

接收模块 11, 配置为从存储器接收读时钟信号, 输出读时钟信号;

时钟模块 12, 配置为产生第一内部时钟信号;

选择模块 13, 配置为接收读时钟信号和第一内部时钟信号, 将读时钟信号和第一内部时钟信号的两者之一输出为目标读时钟信号;

锁存模块 14, 配置为接收目标读时钟信号和存储器发送的读数据信号,

利用目标读时钟信号对读数据信号进行锁存处理。

需要说明的是,本公开实施例中,控制装置 10 可以是电子设备的 CPU;存储器可以为多种类型的半导体存储器,例如 DRAM、SDRAM、双倍速率 DRAM、低功率双倍速率 DRAM 等。

5 在不同的工作场景下,控制装置 10 可以将从存储器获取的读时钟信号作为目标读时钟信号,或者将自身内部产生的第一内部时钟信号作为目标读时钟信号,从而完成读数据信号的锁存处理。这样,在存储器中的时钟信号发生占空比畸变的情况下,控制装置 10 仍然可以通过第一内部时钟信号锁存读数据信号,保证数据的正确锁存。

10 需要说明的是,接收模块 11 可以通过由 NMOS 和 PMOS 等器件构成的信号接收器实现,时钟模块 12 可以通过时钟发生器及传输门实现,选择模块 13 可以通过二选一数据选择器实现,锁存模块 14 可以通过 D 型触发器实现。

参见图 5,其示出了本公开实施例提供的另一种控制装置 10 的结构示意图。在图 5 中,读时钟信号可以表示为 RDQS,第一内部时钟信号可以表示为 Internal CLK,目标读时钟信号可以表示为 Sample CLK,读数据信号可以表示为 DQ。

在一些实施例中,如图 5 所示,选择模块 13,具体配置为接收选择指示信号,在选择指示信号处于第一状态的情况下,将读时钟信号 RDQS 输出为目标读时钟信号 Sample CLK;或者,在选择指示信号处于第二状态的情况下,将第一内部时钟信号 Internal CLK 输出为目标读时钟信号 Sample CLK。

在这里,选择模块 13 可以为二选一数据选择器,从而根据选择指示信号的状态输出读时钟信号 RDQS 或者第一内部时钟信号 Internal CLK。

25 在一些实施例中,锁存模块 14 的时钟端与选择模块 13 的输出端连接,锁存模块 14 的输入端接收读数据信号 DQ,锁存模块 14 的输出端输出采样后的数据信号,以送入控制装置 10 的后续电路进行处理。

在一些实施例中,控制装置 10,还配置为向存储器发送数据读指令,以使得存储器产生读时钟信号 RDQS 和读数据信号 DQ。

30 在一些实施例中,控制装置 10,还配置为在数据读指令为第一读指令

的情况下，将选择指示信号置为第一状态；或者，在数据读指令为第二读指令的情况下，将选择指示信号置为第二状态。

需要说明的是，将数据读指令划分为两种类型：第一读指令和第二读指令。其中，第二读指令指示获取存储器中模式寄存器存储的占空比参数，
5 第一读指令是指除第二读指令之外的数据读取指令。

如前述，在数据读指令用于读取占空比参数的情况下，存储器可能处于占空比调整的过程中，在某些情况下存储器中的时钟信号（即第二内部时钟信号 WCK1）已经发生畸变，例如图 2 中的第二内部时钟信号 WCK1 的占空比可能高达 72%，此时存储器输出的读时钟信号 RDQS 也将发生畸变，控制装置 10 利用读时钟信号 RDQS 对读数据信号 DQ 进行锁存可能会
10 得到错误结果。对于本公开实施例来说，在数据读指令用于读取占空比参数的情况下，将控制装置 10 自身产生的第一内部时钟信号 Internal CLK 作为目标读时钟信号，由于第一内部时钟信号 Internal CLK 并不会受到第二内部时钟信号 WCK1 的占空比畸变的影响，因此 CPU 可以利用第一内部时钟
15 信号 Internal CLK 的电平变化沿对读数据信号进行锁存，从而获得正确的占空比参数。

另外，为了节约功耗，在数据读指令为第一读指令的情况下，存储器的读时钟信号 RDQS 并不具有实际作用，因此存储器可以控制读时钟信号 RDQS 处于悬空 Floating 状态，且存储器无需向控制装置 10 发送读时钟信号 RDQS，以节省电流。
20

以下以 DRAM 的突发长度为 16，且具有 16 个 DQ 端作为示例，说明读数据信号的锁存过程。

针对第二读指令，读数据信号 DQ 的前 8 位携带有效数据，表示为 DQ<7:0>。根据行业协议的规定，在目标读时钟信号 RDQS 的前 8 拍（前 4
25 个时钟周期）传输模式寄存器的参数值（MR Content），后 8 拍（后 4 个时钟周期）传输不关心的数据（Valid）。

也就是说，如图 6 中的（1）所示，针对第一读指令，利用存储器发送的读时钟信号 RDQS 的信号沿对读数据信号 DQ<7:0>进行锁存，前 4 个时钟周期锁存的数据为 MR Content，后 4 个时钟周期锁存的数据 Valid 不作使
30 用；如图 6 中的（2）所示，针对第二读指令，读时钟信号 RDQS 为悬空

Floating 状态，利用控制装置 10 自身的第一内部时钟信号 Internal CLK 作为第二读时钟信号作为目标读时钟信号 RDQS，由于读数据信号的保持时间足够长，所以控制装置 10 可以利用第一内部时钟信号 Internal CLK 对读数据信号 DQ<7:0>进行锁存，得到 MR Content。

5 综上所述，本公开实施例提供了一种控制装置，该控制装置与存储器连接，控制装置包括：接收模块，配置为从存储器接收读时钟信号，输出读时钟信号；时钟模块，配置为产生第一内部时钟信号；选择模块，配置为接收读时钟信号和第一内部时钟信号，将读时钟信号和第一内部时钟信号的两者之一输出为目标读时钟信号；锁存模块，配置为接收目标读时钟
10 信号和存储器发送的读数据信号，利用目标读时钟信号对读数据信号进行锁存处理。这样，即使存储器中的时钟信号发生占空比畸变，控制装置仍然可以通过第一内部时钟信号锁存读数据信号，不仅能够提高数据锁存的正确性，还可以节省功耗。

在另一实施例中，参见图 7，其示出了本公开实施例提供的一种存储器
15 20 的结构示意图。如图 7 所示，存储器 20 包括时钟处理电路 21，且存储器 20 与控制装置 10 连接；其中，

存储器 20，配置为在接收到第一读指令的情况下，基于第一读指令确定读数据信号 DQ，并通过时钟处理电路 21 确定读时钟信号 RDQS，将读数据信号 DQ 和读时钟信号 RDQS 共同发送至控制装置 10；或者，在接收
20 到第二读指令的情况下，基于第二读指令确定读数据信号 DQ，并将读数据信号 DQ 发送至控制装置 10。

应理解，在图 7 中，第一读指令和第二读指令统称为数据读指令。

需要说明的是，在存储器 20 对时钟信号进行占空比调节的过程中，其输出的读时钟信号 RDQS 可能是畸变的，从而导致数据锁存失败。在本公
25 开实施例中，针对第一读指令，读时钟信号 RDQS 是正常的，存储器 20 提供读数据信号 DQ 和正常的读时钟信号 RDQS，控制装置 10 利用读时钟信号 RDQS 对读数据信号 DQ 进行锁存；针对第二读指令，读时钟信号 RDQS 可能是畸变的，存储器 20 可以仅提供读数据信号 DQ，以便控制装置 10 利用自身产生的第一内部时钟信号 Internal CLK 对读数据信号 DQ 进行锁存，
30 从而避免数据锁存失败，而且还节省了电流和功耗。

在一些实施例中,存储器 20,还配置为在接收到第一读指令的情况下,控制读时钟信号 RDQS 处于悬空状态。

这样,针对第二读指令,存储器 20 可以不使能读时钟信号的相关控制模块,即读时钟信号处于悬空 Floating 状态,而且存储器 20 无需将读时钟信号 RDQS 发送给控制装置 10,从而节省电流和功耗。

在一些实施例中,如图 8 所示,时钟处理电路 21 包括:

占空比模块 211,配置为接收外部产生的数据时钟信号;对数据时钟信号进行占空比调节,输出第二内部时钟信号;

时钟产生模块 212,配置为接收第二内部时钟信号,基于第二内部时钟信号,输出读时钟信号 RDQS;其中,读时钟信号 RDQS 为脉冲信号。

这样,针对第一读指令,读时钟信号 RDQS 和读数据信号 DQ 经由硬件电路传输到控制装置 10,以便控制装置 10 获取需要的参数。

需要说明的是,占空比模块 211 包括两个部分,具体实现可以参见后续描述;时钟产生模块 212 可以由逻辑器件和延迟单元构成,以实现延迟匹配且符合 JEDEC 标准规定的标准时序。

在一些实施例中,数据时钟信号 WCK0 为从外部接收的写时钟信号(表示为 WCK0),第二内部时钟信号 WCK1 为存储器 20 内部经过占空比调整的写时钟信号(表示为 WCK1)。

在一些实施例中,如图 9 所示,时钟处理电路 21 还包括:

检测模块 213,配置为接收第二内部时钟信号 WCK1,对第二内部时钟信号 WCK1 进行占空比检测,输出占空比参数;

模式寄存器 214,配置为接收并存储占空比参数;

其中,第二读指令指示获取模式寄存器存储的占空比参数,第一读指令是指除第二读指令之外的数据读取指令。

需要说明的是,检测模块 213 可以由逻辑门、传输门、电容以及信号比较器构成。

在一些实施例中,占空比模块 211 包括:

接收器,配置为从外部接收并输出数据时钟信号 WCK0;

调节模块,配置为对数据时钟信号 WCK0 进行占空比调节,输出第二内部时钟信号。

需要说明的是，调节模块用于占空比调节。在占空比调节开始时，调节模块的默认设置会导致数据时钟信号 WCK0 的占空比增加一定值，根据 JEDEC 的规定，占空比增加的上限为 7 个单位（Step），即 35 皮秒。

需要说明的是，调节模块可以通过级联的延迟单元组成，每个延迟单元由 NMOS 和 PMOS 构成，从而实现数据时钟信号 WCK0 中上升沿的向前/向后调整，和/或，实现数据时钟信号 WCK0 中下降沿的向前/向后调整，最终调整数据时钟信号 WCK0 的占空比。

以下提供一种可能出现的工作场景，对本公开实施例的技术效果进行说明。请参见图 10，外部产生的数据时钟信号 WCK0 的占空比为 57%，在占空比调节过程开始时，默认将数据时钟信号 WCK0 的占空比增加 7 个单位（35 皮秒），如果存储器的速度为 8633Mbps，此时第二内部时钟信号 WCK1 的占空比将在数据时钟信号 WCK0 的基础上继续增加 15%，即第二内部时钟信号 WCK1 的占空比将高达 72%。在这种情况下，控制装置 10 向存储器发送第二读指令，存储器 20 仅需要将读数据信号 DQ 发送给控制装置 10，单存储器 20 并不需要利用时钟处理电路 21 产生读时钟信号 RDQS，控制装置 10 利用自身产生的第一内部时钟信号 Internal CLK 对读数据信号 DQ 进行锁存，获得正确的占空比参数，保证占空比调整操作的成功。

本公开实施例提供了一种存储器，存储器包括时钟处理电路，且存储器与控制装置连接；其中，存储器，配置为在接收到第一读指令的情况下，基于第一读指令确定读数据信号，并通过时钟处理电路确定读时钟信号，将读数据信号和读时钟信号共同发送至控制装置；或者，在接收到第二读指令的情况下，基于第二读指令确定读数据信号，并将读数据信号发送至控制装置。这样，对于第二读指令，存储器无需对读时钟信号进行额外控制，而且无需将读时钟信号发送给控制装置，不仅可以避免读时钟信号的占空比畸变带来的不利影响，而且节省电流和功耗。

在本公开的又一实施例中，参见图 11，其示出了本公开实施例提供了一种信号处理方法的流程示意图。如图 11 所示，该方法包括：

S301：接收存储器发送的读时钟信号和读数据信号，确定控制装置产生的第一内部时钟信号。

S302：将读时钟信号和第一内部时钟信号的两者之一确定为目标读时

钟信号。

S303: 利用目标读时钟信号对读数据信号进行锁存处理。

需要说明的是,该方法应用于前述的控制装置 10,且控制装置 10 与存储器 20 连接。结合图 4 和图 5 可以看出,在不同的工作场景下,控制装置 10 可以将从存储器获取的读时钟信号 RDQS 作为目标读时钟信号 Sample CLK,或者将自身内部产生的第一内部时钟信号 Internal CLK 作为目标读时钟信号 Sample CLK,从而完成读数据信号 DQ 的锁存处理。这样,在存储器中的时钟信号发生占空比畸变的情况下,控制装置 10 仍然可以通过第一内部时钟信号 Internal CLK 锁存读数据信号 DQ,保证数据的正确锁存。

需要说明的是,在步骤 S301 中,在将第一内部时钟信号确定为目标读时钟信号的情况下,存储器 20 也可以不向控制装置 10 发送读时钟信号,以节省能源,该方案也在本公开实施例的保护范围之内。

在一些实施例中,在接收存储器发送的读时钟信号和读数据信号之前,该方法还包括:

向存储器发送数据读指令,以使得存储器产生读时钟信号和读数据信号。

在一些实施例中,该方法还包括:

在数据读指令为第一读指令的情况下,将读时钟信号确定为目标读时钟信号;或者,在数据读指令为第二读指令的情况下,将第一内部时钟信号确定为目标读时钟信号;其中,第二读指令指示获取存储器中模式寄存器存储的占空比参数,第一读指令是指除第二读指令之外的数据读取指令。

也就是说,在数据读指令为第一读指令的情况下,控制装置 10 接收存储器发送的读时钟信号和读数据信号,利用所述读时钟信号对读数据信号进行锁存处理;在数据读指令为第二读指令的情况下,控制装置 10 接收存储器发送的读时钟信号,且控制装置 10 确定自身产生的第一内部时钟信号,利用所述第一内部时钟信号对读数据信号进行锁存处理。

本公开实施例提供了一种信号处理方法,该方法包括:接收所述存储器发送的读时钟信号,并确定所述控制装置产生的第一内部时钟信号;将所述读时钟信号和所述第一内部时钟信号的两者之一确定为目标读时钟信号;接收所述存储器发送的读数据信号,利用所述目标读时钟信号对所述

读数据信号进行锁存处理。这样，在存储器中的时钟信号发生占空比畸变的情况下，控制装置可以通过第一内部时钟信号锁存读数据信号，不仅能够提高数据锁存的正确性，还可以节省功耗。

在本公开的再一实施例中，参见图 12，其示出了本公开实施例提供的
5 另一种信号处理方法的流程示意图。如图 12 所示，该方法包括：

S401：在接收到第一读指令的情况下，基于第一读指令确定读数据信号，并通过存储器中的时钟处理电路产生读时钟信号，将读数据信号和读时钟信号共同发送至控制装置。

S402：在接收到第二读指令的情况下，基于第二读指令确定读数据信
10 号，并将读数据信号发送至控制装置。

需要说明的是，该方法应用于前述的存储器 20，且存储器 20 与控制装置 10 连接。在图 12 中，第一读指令和第二读指令统称为数据读指令。对于存储器 20 来说，在接收到第一读指令的场景下，读时钟信号 RDQS 是正常的，存储器 20 提供读数据信号 DQ 和读时钟信号 RDQS，以便控制装置
15 10 利用读时钟信号 RDQS 对读数据信号 DQ 进行锁存；在接收到第二读指令的场景下，读时钟信号 RDQS 可能是畸变的，存储器 20 仅提供读数据信号 DQ，以便控制装置 10 利用自身产生的第一内部时钟信号 Internal CLK 对读数据信号 DQ 进行锁存，从而避免数据锁存失败。

在一些实施例中，该方法还包括：在接收到第一读指令的情况下，控制
20 读时钟信号处于悬空 Floating 状态。

在一些实施例中，所述通过存储器中的时钟处理电路产生读时钟信号，包括：

接收外部产生的数据时钟信号；对数据时钟信号进行占空比调节，输出第二内部时钟信号；基于第二内部时钟信号，产生读时钟信号；其中，
25 读时钟信号为脉冲信号。

在一些实施例中，该方法还包括：对第二内部时钟信号进行占空比检测，得到占空比参数；将占空比参数存储至模式寄存器中；其中，第二读指令指示获取模式寄存器存储的占空比参数，第一读指令是指除第二读指令之外的数据读取指令。

30 本公开实施例提供了一种信号处理方法，该方法包括：在接收到第一

读指令的情况下，基于所述第一读指令确定读数据信号，并通过所述存储器中的时钟处理电路产生读时钟信号，将所述读数据信号和所述读时钟信号共同发送至所述控制装置；或者，在接收到第二读指令的情况下，基于所述第二读指令确定所述读数据信号，并将所述读数据信号发送至所述控制装置。这样，对于第二读指令，存储器无需产生读时钟信号，不仅可以避免读时钟信号的占空比畸变带来的不利影响，而且节省电流和功耗。

在本公开的又一实施例中，参见图 13，其示出了本公开实施例提供的一种电子设备 50 组成结构示意图。如图 13 所示，电子设备 50 至少包括前述的控制装置 10 和前述的存储器 20。

在不同的工作场景下，控制装置 10 可以将从存储器 20 获取的读时钟信号作为目标读时钟信号，或者将自身内部产生的第一内部时钟信号作为目标读时钟信号，从而完成读数据信号 DQ 的锁存处理。这样，在存储器中的时钟信号发生占空比畸变的情况下，控制装置 10 仍然可以通过第一内部时钟信号锁存读数据信号，不仅能够提高数据锁存的正确性，还可以节省功耗。

以上，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围。需要说明的是，在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。本公开所提供的几个方法实施例中揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。本公开所提供的几个产品实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的产品实施例。本公开所提供的几个方法或设备实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围

之内。因此，本公开的保护范围应以权利要求的保护范围为准。

工业实用性

本公开实施例提供了一种控制装置、存储器、信号处理方法和电子设备，该控制装置与存储器连接，控制装置包括：接收模块，配置为从存储器接收读时钟信号，输出读时钟信号；时钟模块，配置为产生第一内部时钟信号；选择模块，配置为接收读时钟信号和第一内部时钟信号，将读时钟信号和第一内部时钟信号的两者之一输出为目标读时钟信号；锁存模块，配置为接收目标读时钟信号和存储器发送的读数据信号，利用目标读时钟信号对读数据信号进行锁存处理。这样，在存储器中的时钟信号发生占空比畸变的情况下，控制装置仍然可以通过第一内部时钟信号锁存读数据信号，不仅能够提高数据锁存的正确性，还可以节省功耗。

权利要求书

- 1.一种控制装置，所述控制装置与存储器连接，所述控制装置包括：
接收模块，配置为从所述存储器接收读时钟信号，输出所述读时钟信号；
5 时钟模块，配置为产生第一内部时钟信号；
选择模块，配置为接收所述读时钟信号和所述第一内部时钟信号，将所述读时钟信号和所述第一内部时钟信号的两者之一输出为目标读时钟信号；
锁存模块，配置为接收所述目标读时钟信号和所述存储器发送的读数据信号，利用所述目标读时钟信号对所述读数据信号进行锁存处理。
10 2.根据权利要求 1 所述的控制装置，其中，
所述选择模块，具体配置为接收选择指示信号，在所述选择指示信号处于第一状态的情况下，将所述读时钟信号输出为所述目标读时钟信号；或者，在所述选择指示信号处于第二状态的情况下，将所述第一内部时钟信号输出为所述目标读时钟信号。
15 3.根据权利要求 2 所述的控制装置，其中，
所述控制装置，还配置为向所述存储器发送数据读指令，以使得所述存储器产生所述读时钟信号和所述读数据信号。
4.根据权利要求 3 所述的控制装置，其中，
20 所述控制装置，还配置为在所述数据读指令为第一读指令的情况下，将所述选择指示信号置为第一状态；或者，在所述数据读指令为第二读指令的情况下，将所述选择指示信号置为第二状态；
其中，所述第二读指令指示获取所述存储器中模式寄存器存储的占空比参数，所述第一读指令是指除所述第二读指令之外的数据读取指令。
25 5.一种存储器，所述存储器包括时钟处理电路，且所述存储器与控制装置连接；其中，
所述存储器，配置为在接收到第一读指令的情况下，基于所述第一读指令确定读数据信号，并通过所述时钟处理电路确定读时钟信号，将所述读数据信号和所述读时钟信号共同发送至所述控制装置；或者，

在接收到第二读指令的情况下，基于所述第二读指令确定所述读数据信号，并将所述读数据信号发送至所述控制装置。

6.根据权利要求5所述的存储器，其中，

所述存储器，还配置为在接收到第二读指令的情况下，控制所述读时钟信号处于悬空状态。

7.根据权利要求5所述的存储器，其中，所述时钟处理电路包括：

占空比模块，配置为接收外部产生的数据时钟信号；对所述数据时钟信号进行占空比调节，输出第二内部时钟信号；

时钟产生模块，配置为接收所述第二内部时钟信号，基于所述第二内部时钟信号，输出所述读时钟信号；其中，所述读时钟信号为脉冲信号。

8.根据权利要求7所述的存储器，其中，所述时钟处理电路还包括：

检测模块，配置为接收所述第二内部时钟信号，对所述第二内部时钟信号进行占空比检测，输出占空比参数；

模式寄存器，配置为接收并存储所述占空比参数；

其中，所述第二读指令指示获取所述模式寄存器存储的占空比参数，所述第一读指令是指除所述第二读指令之外的数据读取指令。

9.根据权利要求7所述的存储器，其中，所述占空比模块包括：

接收器，配置为从外部接收并输出所述数据时钟信号；

调节模块，配置为对所述数据时钟信号进行占空比调节，输出所述第二内部时钟信号。

10.根据权利要求5-9任一项所述的存储器，其中，所述数据时钟信号为写时钟信号。

11.一种信号处理方法，应用于控制装置，且所述控制装置与存储器连接，所述方法包括：

接收所述存储器发送的读时钟信号和读数据信号，确定所述控制装置产生的第一内部时钟信号；

将所述读时钟信号和所述第一内部时钟信号的两者之一确定为目标读时钟信号；

利用所述目标读时钟信号对所述读数据信号进行锁存处理。

12.根据权利要求11所述的信号处理方法，其中，在所述接收所述存储

器发送的读时钟信号和读数据信号之前，所述方法还包括：

向所述存储器发送数据读指令，以使得所述存储器产生所述读时钟信号和所述读数据信号。

13.根据权利要求 12 所述的信号处理方法，其中，所述方法还包括：

5 在所述数据读指令为第一读指令的情况下，将所述读时钟信号确定为所述目标读时钟信号；或者，在所述数据读指令为第二读指令的情况下，将所述第一内部时钟信号确定为所述目标读时钟信号；

其中，所述第二读指令指示获取所述存储器中模式寄存器存储的占空比参数，所述第一读指令是指除所述第二读指令之外的数据读取指令。

10 14.一种信号处理方法，应用于存储器，且所述存储器与控制装置连接，所述方法包括：

在接收到第一读指令的情况下，基于所述第一读指令确定读数据信号，并通过所述存储器中的时钟处理电路产生读时钟信号，将所述读数据信号和所述读时钟信号共同发送至所述控制装置；或者，

15 在接收到第二读指令的情况下，基于所述第二读指令确定所述读数据信号，并将所述读数据信号发送至所述控制装置。

15.根据权利要求 14 所述的信号处理方法，其中，所述方法还包括：

在接收到第一读指令的情况下，控制所述读时钟信号处于悬空状态。

20 16.根据权利要求 14 所述的信号处理方法，其中，所述通过所述存储器中的时钟处理电路产生读时钟信号，包括：

接收外部产生的数据时钟信号；

对所述数据时钟信号进行占空比调节，输出第二内部时钟信号；

基于所述第二内部时钟信号，产生所述读时钟信号；其中，所述读时钟信号为脉冲信号。

25 17.根据权利要求 16 所述的信号处理方法，其中，所述方法还包括：

对所述第二内部时钟信号进行占空比检测，得到占空比参数；

将所述占空比参数存储至模式寄存器中；

其中，所述第二读指令指示获取所述模式寄存器存储的占空比参数，所述第一读指令是指除所述第二读指令之外的数据读取指令。

30 18.一种电子设备，所述电子设备包括如权利要求 1-4 任一项所述的控

制装置和如权利要求 5-10 任一项所述的存储器。