

半导体封装结构及制备方法

相关申请的交叉引用

本公开基于申请号为 202210853472.6、申请日为 2022 年 07 月 08 日、发明名称为“半导体封装结构及制备方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，尤其涉及一种半导体封装结构及制备方法。

背景技术

在所有部门，行业和地区，电子行业都在不断要求提供更轻、更快、更小、多功能、更可靠和更具成本效益的产品。为了满足众多不同消费者的这些不断增长的需求，需要集成更多的电路来提供所需的功能。在几乎所有应用中，对减小尺寸，提高性能和改善集成电路功能的需求不断增长。

发明内容

有鉴于此，本公开实施例提供一种半导体封装结构及制备方法。

根据本公开实施例的第一方面，提供了一种半导体封装结构，包括：

第一封装结构，包括中介层和塑封料，所述中介层上设置有第一连接焊盘，所述塑封料包裹所述中介层，并与所述第一连接焊盘共面；

第二封装结构，设置在所述中介层上，与所述第一连接焊盘电连接；

其中，所述第一封装结构与所述第二封装结构之间存在空隙。

在一些实施例中，所述第一封装结构还包括：

基板；

至少一个第一芯片堆叠体，设置在所述基板上；

至少一个第二芯片堆叠体，设置在所述基板上，与所述第一芯片堆叠体间隔设置；

其中，所述中介层设置在所述第一芯片堆叠体和所述第二芯片堆叠体上。

在一些实施例中，所述第一芯片堆叠体包括一个第一芯片，所述第二芯片堆叠体包括一个第二芯片；

其中，所述第一芯片与所述第二芯片通过所述中介层电连接。

在一些实施例中，所述第一芯片或所述第二芯片通过引线连接所述基板。

5 在一些实施例中，所述第一芯片堆叠体包括堆叠设置的第一下芯片和第一上芯片，所述第二芯片堆叠体包括堆叠设置的第二下芯片和第二上芯片；

其中，所述中介层设置在所述第一上芯片和所述第二上芯片上，所述第一上芯片和所述第二上芯片通过中介层电连接。

10 在一些实施例中，所述第一上芯片或所述第二上芯片通过引线连接所述基板。

在一些实施例中，所述第一下芯片和所述第二下芯片分别通过引线连接所述基板。

在一些实施例中，所述第一下芯片和所述第一上芯片电连接，所述第二下芯片和所述第二上芯片电连接。

15 在一些实施例中，所述中介层包括：

第一表面，所述第一连接焊盘设置在所述第一表面上；

第二表面，与所述第一表面相对设置，所述第二表面上设置有第二连接焊盘；

信号通道，连接所述第一连接焊盘和所述第二连接焊盘。

20 在一些实施例中，所述第一芯片堆叠体和所述第二芯片堆叠体上包括引线焊盘，所述引线焊盘通过重布线层连接所述第二连接焊盘。

在一些实施例中，连接所述第一芯片堆叠体和所述第二芯片堆叠体的所述第二连接焊盘之间通过重布线层连接。

25 在一些实施例中，所述第一芯片堆叠体和所述第二芯片堆叠体通过粘结层设置在所述基板上。

在一些实施例中，所述基板上包括虚拟通道，所述粘结层位于所述虚拟通道上，所述虚拟通道的导热系数大于所述粘结层的导热系数。

在一些实施例中，还包括填充层，所述填充层填满所述空隙。

在一些实施例中，所述填充层的导热系数大于所述塑封料的导热系数。

30 在一些实施例中，所述填充层中的填料体积小于所述塑封料中的填料体积。

在一些实施例中，所述粘结层包括第一粘结层和第二粘结层，所述第二粘结层位于所述第一粘结层上，且所述第二粘结层的弹性模量大于所述第一粘结层的弹性模量。

35 根据本公开实施例的第二方面，提供了一种半导体封装结构的制备方法，包括：

提供第一封装结构，所述第一封装结构包括中介层和塑封料，所述中介层上设置有第一连接焊盘，所述塑封料包裹所述中介层，并与所述第一

连接焊盘共面；

提供第二封装结构，将所述第二封装结构设置在所述中介层上，所述第二封装结构与所述第一连接焊盘电连接；

其中，所述第一封装结构与所述第二封装结构之间存在空隙。

- 5 本公开实施例中，通过设置中介层，可以使第一封装结构与第二封装结构通过中介层进行连接，如此，可实现不同容量的封装结构之间的互连，使得不同封装结构之间的组合更加灵活，从而能够使得该半导体封装结构可以适用于不同的应用场景。同时因为第一封装结构和第二封装结构是独立封装的，可以分别对第一封装结构和第二封装结构进行测试，从而可以
10 更加快速的进行失效分析，由此在组成半导体封装结构之后，可以不对整体结构进行测试。并且第二封装结构与第一封装结构之间存在空隙，由此增加了二者之间的间距，从而能提高第二封装结构的散热效率，减少热量对芯片的影响。

附图说明

- 15 为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开实施例提供的半导体封装结构的结构示意图；

- 20 图 2 至图 5 为本公开实施例提供的半导体封装结构的其他示例；

图 6 为本公开实施例提供的半导体封装结构的制备方法的流程示意图；

图 7a 至图 7g 为本公开实施例提供的半导体封装结构在制备过程中的器件结构示意图。

附图标记说明：

- 25 1-圆环；2-载带；

10-基板；11-基板衬底；12-基板上绝缘介质层；13-基板下绝缘介质层；
14-基板上连接焊盘；15-基板下连接焊盘；16-基板连接通孔；17-基板连接凸块；18-虚拟通道；

- 30 21-第一芯片堆叠体；22-第二芯片堆叠体；210-第一芯片；220-第二芯片；211-第一上芯片；212-第一下芯片；221-第二上芯片；222-第二下芯片；
201-引线焊盘；202-芯片连接焊盘；203-芯片连接焊球；

30-中介层；31-第一连接焊盘；32-第二连接焊盘；33-信号通道；34-第一焊球；301-中介上绝缘介质层；302-中介衬底；303-中介下绝缘介质层；
40-塑封料；401-第一填料；

- 35 50-引线；

60-粘结层；61-第一粘结层；62-第二粘结层；

70-第二封装结构；71-第二焊球；72-第二基板；

80-填充层；801-第二填料。

具体实施方式

下面将参照附图更详细地描述本公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转90度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，

当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

- 5 为了彻底理解本公开，将在下列的描述中提出详细的步骤以及详细的结构，以便阐释本公开的技术方案。本公开的较佳实施例详细描述如下，然而除了这些详细描述外，本公开还可以具有其他实施方式。

本公开实施例提供了一种半导体封装结构。图 1 为本公开实施例提供的半导体封装结构的结构示意图。

- 10 参见图 1，所述半导体封装结构，包括：

第一封装结构，包括中介层 30 和塑封料 40，所述中介层 30 上设置有第一连接焊盘 31，所述塑封料 40 包裹所述中介层 30，并与所述第一连接焊盘 31 共面；

- 15 第二封装结构 70，设置在所述中介层 30 上，与所述第一连接焊盘 31 电连接；

其中，所述第一封装结构与所述第二封装结构 70 之间存在空隙。

- 本公开实施例中，通过设置中介层，可以使第一封装结构与第二封装结构通过中介层进行连接，如此，可实现不同容量的封装结构之间的互连，使得不同封装结构之间的组合更加灵活，从而能够使得该半导体封装结构可以适用于不同的应用场景。同时因为第一封装结构和第二封装结构是独立封装的，可以分别对第一封装结构和第二封装结构进行测试，从而可以更加快速的进行失效分析，由此在组成半导体封装结构之后，可以不对整体结构进行测试。并且第二封装结构与第一封装结构之间存在空隙，由此增加了二者之间的间距，从而能提高第二封装结构的散热效率，减少热量对芯片（第一封装结构）的影响。第二封装结构可拆卸的设置
- 20 在第一封装结构上，由此将不同容量的第二封装结构设置在
- 25 在第一封装结构上，提高第一封装结构的利用率。

- 在一实施例中，所述第一封装结构还包括：基板 10；至少一个第一芯片堆叠体 21，设置在所述基板 10 上；至少一个第二芯片堆叠体 22，设置在所述基板 10 上，与
- 30 所述第一芯片堆叠体 21 间隔设置；其中，所述中介层 30 设置在所述第一芯片堆叠体 21 和所述第二芯片堆叠体 22 上。

在本公开实施例中，通过中介层将第一芯片堆叠体和第二芯片堆叠体进行互连，能够减小打线的数量，节省打线工艺。

在一些实施例中，所述基板 10 可以是再分布基板。

- 35 所述基板 10 包括基板衬底 11 和分别设置在所述基板衬底 11 的上表面和下表面上的基板上绝缘介质层 12 和基板下绝缘介质层 13。

所述基板衬底 11 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅，Silicon On Insulator)衬底或 GOI(绝缘体上锗，Germanium On

Insulator)衬底等,还可以为包括其他元素半导体或化合物半导体的衬底,例如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等),还可以为叠层结构,例如 Si/SiGe 等,还可以其他外延结构,例如 SGOI(绝缘体上锗硅)等。

- 5 所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 可以为阻焊层,例如所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 的材料可以为绿漆。

10 所述基板 10 还包括位于所述基板上绝缘介质层 12 内的基板上连接焊盘 14,位于所述基板下绝缘介质层 13 内的基板下连接焊盘 15,以及贯穿所述基板衬底 11 并将所述基板上连接焊盘 14 和所述基板下连接焊盘 15 彼此连接的基板连接通孔 16。

 所述基板上连接焊盘 14 和所述基板下连接焊盘 15 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。所述基板连接通孔 16 可以为穿硅通孔(TSV)。

- 15 基板上连接焊盘 14 与基板下连接焊盘 15 通过基板连接通孔 16 连接,从而能够让信号进行传输。同时,相邻的两个基板上连接焊盘 14 还可以通过重布线层连接,从而能够完成信号在基板上的传输。

20 所述基板 10 还包括基板连接凸块 17,所述基板连接凸块 17 可将半导体封装结构电连接到外部装置上,可以从外部装置接收用于操作芯片堆叠体的控制信号、功率信号和接地信号中的至少一个,或者可以从外部装置接收将要被存储在芯片堆叠体内的数据信号,也可将芯片堆叠体内的数据提供给外部装置。

25 所述基板连接凸块 17 包括导电材料。在本公开实施例中,所述基板连接凸块 17 为焊球,可以理解的是,本公开实施例中提供的基板连接凸块的形状仅作为本公开实施例中的一种下位的、可行的具体实施方式,并不构成对本公开的限制,所述基板连接凸块也可为其他形状结构。基板连接凸块的数量、间隔和位置不限于任何特定布置,可以进行各种修改。

 在一实施例中,所述第一芯片堆叠体 21 和所述第二芯片堆叠体 22 通过粘结层 60 设置在所述基板 10 上。

- 30 所述第一芯片堆叠体 21 和所述第二芯片堆叠体 22 中的芯片可以为动态随机存取存储器(DRAM)芯片、静态随机存取存储器(SRAM)芯片、闪存芯片、电可擦除可编程只读存储器(EEPROM)芯片、相变随机存取存储器(PRAM)芯片、磁随机存取存储器(MRAM)芯片或电阻随机存取存储器(RRAM)芯片。

35 所述粘结层 60 可以为 DAF 膜。

 在一实施例中,如图 5 所示,所述粘结层包括第一粘结层 61 和位于所述第一粘结层 61 上的第二粘结层 62,所述第二粘结层 62 的弹性模量大于所述第一粘结层 61 的弹性模量。

本公开实施例中，因为第一粘结层与基板连接，主要起到粘结的作用，第二粘结层与芯片连接，主要起到防止芯片翘曲的作用，由于第二粘结层的弹性模量较高，在切割过程中不会出现翘曲，第一粘结层具有较低的弹性模量，在后续的工艺中不会影响基板与芯片的结合力。所述基板 10 上还包括虚拟通道 18，所述粘结层 60 位于所述虚拟通道 18 上，所述虚拟通道 18 的导热系数大于所述粘结层 60 的导热系数。

本公开实施例中，虚拟通道的导热系数大于粘结层的导热系数，能够将芯片工作产生的热量更多的通过虚拟通道散发出去，提高散热能力，减少对器件性能的影响。

所述虚拟通道 18 为基板上连接焊盘 14、基板下连接焊盘 15 和基板连接通孔 16 组成，但是虚拟通道 18 的下方不形成基板连接凸块 17，无法实现信号传输，仅用作散热处理。

在一些实施例中，虚拟通道的导热系数比其他作为信号传输作用的基板上连接焊盘 14、基板下连接焊盘 15 和基板连接通孔 16 组成的结构的导热系数大，能够减少热量对信号传输的影响。

如图 1 所示，所述第一芯片堆叠体 21 包括一个第一芯片 210，所述第二芯片堆叠体 22 包括一个第二芯片 220；其中，所述第一芯片 210 与所述第二芯片 220 通过所述中介层 30 电连接。

在一实施例中，所述第一芯片 210 或所述第二芯片 220 通过引线 50 连接所述基板 10。

在图 1 所示的实施例中，所述第一芯片 210 和所述第二芯片 220 通过中介层 30 进行互连，并且所述第一芯片 210 通过引线 50 与基板 10 连接，间接将第二芯片 220 连接至基板 10。在其他实施例中，也可以是第二芯片通过引线与基板连接，间接将第一芯片连接至基板。

在此实施例中，因为第一芯片和第二芯片通过中介层进行信号传输，因此可以只对第一芯片和第二芯片中的一个进行打线，减少打线工艺。

图 2 为本公开另一实施例提供的半导体封装结构的结构示意图，图 3 为本公开又一实施例提供的半导体封装结构的结构示意图。如图 2 和图 3 所示，所述第一芯片堆叠体 21 包括堆叠设置的第一下芯片 212 和第一上芯片 211，所述第二芯片堆叠体 22 包括堆叠设置的第二下芯片 222 和第二上芯片 221；

其中，所述中介层 30 设置在所述第一上芯片 211 和所述第二上芯片 221 上，所述第一上芯片 211 和所述第二上芯片 221 通过中介层 30 电连接。

在一实施例中，如图 2 所示，所述第一上芯片 211 或所述第二上芯片 221 通过引线 50 连接所述基板 10。

所述第一下芯片 212 和所述第二下芯片 222 分别通过引线 50 连接所述基板 10。

在图 2 所示的实施例中，所述第一上芯片 211 和所述第二上芯片 221

通过中介层 30 进行互连，并且所述第一上芯片 211 通过引线 50 与基板 10 连接，间接将第二上芯片 221 连接至基板 10。在其他实施例中，也可以是第二上芯片通过引线与基板连接，间接将第一上芯片连接至基板。

在此实施例中，因为第一上芯片和第二上芯片通过中介层进行信号传输，因此可以只对第一上芯片和第二上芯片中的一个进行打线，减少打线工艺。同时由于第一下芯片和第二下芯片分别与第一上芯片和第二上芯片通过粘结层隔离，无法实现信号传输，由此将第一下芯片和第二下芯片分别通过打线的方式与基板连接，进而实现信号的传输。

在一实施例中，如图 3 所示，所述第一下芯片 212 和所述第一上芯片 211 电连接，所述第二下芯片 222 和所述第二上芯片 221 电连接。

具体地，所述第一下芯片 212 和所述第一上芯片 211 之间，以及所述第二下芯片 222 和所述第二上芯片 221 之间通过芯片连接焊盘 202 和芯片连接焊球 203，以及位于所述第一上芯片 211 和所述第二上芯片 221 内的穿硅通孔（未图示）进行连接。

在此实施例中，第一下芯片和第一上芯片可以直接进行信号传输，第二下芯片和第二上芯片可以直接进行信号传输，而第一上芯片和第二上芯片又可以通过中介层进行信号传输，因此，4 个芯片可以仅进行一次打线，从而减少了打线工艺，降低了成本。

在一实施例中，所述中介层 30 包括：第一表面，所述第一连接焊盘 31 设置在所述第一表面上；第二表面，与所述第一表面相对设置，所述第二表面上设置有第二连接焊盘 32；信号通道 33，连接所述第一连接焊盘 31 和所述第二连接焊盘 32。

所述第一连接焊盘 31 和所述第二连接焊盘 32 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。

所述中介层 30 包括中介衬底 302 和分别位于所述中介衬底 302 的上表面和下表面上的中介上绝缘介质层 301 和中介下绝缘介质层 303。所述第一连接焊盘 31 位于所述中介上绝缘介质层 301 内，所述第二连接焊盘 32 位于所述中介下绝缘介质层 303 内。

所述中介衬底可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅，Silicon On Insulator)衬底或 GOI(绝缘体上锗，Germanium On Insulator)衬底等，还可以为包括其他元素半导体或化合物半导体的衬底，例如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等)，还可以为叠层结构，例如 Si/SiGe 等，还可以其他外延结构，例如 SGOI(绝缘体上锗硅)等。

所述中介上绝缘介质层 301 和所述中介下绝缘介质层 303 可以为阻焊层，例如所述中介上绝缘介质层和所述中介下绝缘介质层的材料可以为绿漆。

在一实施例中，所述第一芯片堆叠体 21 和所述第二芯片堆叠体 22 上

包括引线焊盘 201, 所述引线焊盘 201 通过重布线层连接所述第二连接焊盘 32。

在此实施例中, 所述重布线层(未图示)可以位于所述第一芯片堆叠体和所述第二芯片堆叠体的表面, 也可以位于所述第一芯片堆叠体和所述第二芯片堆叠体的内部。

如图 1 所示, 所述第二连接焊盘 32 和所述引线焊盘 201 之间形成有第一焊球 34, 所述第一芯片堆叠体 21 和所述第二芯片堆叠体 22 上的引线焊盘 201 经过第一焊球 34 与第二连接焊盘 32 连接。

在一实施例中, 连接所述第一芯片堆叠体 21 和所述第二芯片堆叠体 22 的所述第二连接焊盘 32 之间通过重布线层连接。

在此实施例中, 所述重布线层可以位于所述中介层的表面, 也可以位于所述中介层的内部。

在一实施例中, 所述塑封料 40 与所述第一连接焊盘 31 共面, 这样后续第二封装结构与第一封装结构连接后, 使得第一封装结构和第二封装结构之间能够具有较大的空隙, 保证了第二封装结构的散热效率。

如果塑封料的表面高于第一连接焊盘的表面, 则使得第一封装结构和第二封装结构之间的空隙减小, 不利于散热, 同时在后续形成填充层时, 不利于填充层的填充; 如果第一连接焊盘的表面高于塑封料的表面, 虽然可以增加空隙, 但是塑封料可能无法覆盖打线, 导致打线暴露出来, 不利于保护打线。

在一实施例中, 所述第二封装结构 70 包括第二焊球 71, 所述第二焊球 71 与所述中介层 30 上的第一连接焊盘 31 电连接。

所述第二封装结构 70 可以为通用闪存存储(Universal File Store, UFS)。

所述第二封装结构 70 还包括第二基板 72, 所述第二基板 72 的结构与所述基板 10 的结构相同, 这里不再赘述。

所述第二焊球 71 位于所述第二基板 72 上。

图 4 为本公开另一实施例提供的半导体封装结构的结构示意图。如图 4 所示, 所述半导体封装结构, 还包括填充层 80, 所述填充层 80 填满所述空隙。

所述填充层 80 的导热系数大于所述塑封料 40 的导热系数。

通过设置填充层, 不仅可以使第一封装结构和第二封装结构之间具有密封的界面, 减少第一封装结构和第二封装结构的金属结构与外界空气或其他材料的接触, 而且可以起到导热作用。并且由于填充层的导热系数较大, 这样更多的热量能够从填充层散失掉, 减少热量对第一封装结构的影响。虽然填充层的导热系数较大, 同时由于填充层的热膨胀系数与第一封装结构和第二封装结构的热膨胀系统相匹配, 这样填充层的体积变化较小, 不会对第一封装结构和第二封装结构产生向外的压力, 能够保证结构的稳定性。

在一些实施例中，例如在填充层 80 内填充碳纳米管填料，从而有利于从第二封装结构中吸收更多的热量，减少热量对第一封装结构的影响。

所述填充层 80 中的填料体积小于所述塑封料 40 中的填料体积。

如图 4 所示，所述塑封料 40 中的填料为第一填料 401，所述填充层 80 中的填料为第二填料 801，第二填料 801 的体积小于第一填料 401 的体积。

所述塑封料 40 和所述填充层 80 的主体材料可以为环氧树脂，填料可以为二氧化硅。

在此实施例中，由于塑封料填充的空隙较大，而第一封装结构和第二封装结构之间的空隙较小，由此选择流动性较大的填充层，填充层中的填料体积小，主体材料的流动性大。

本公开实施例提供的半导体封装结构可应用于叠层封装 (Package on Package, PoP) 结构的多制程封装芯片 (UFS Multi Chip Package, UMCP)。

本公开实施例还提供了一种半导体封装结构的制备方法，具体请参见图 6，如图所示，所述方法包括以下步骤：

步骤 601：提供第一封装结构，所述第一封装结构包括中介层和塑封料，所述中介层上设置有第一连接焊盘，所述塑封料包裹所述中介层，并与所述第一连接焊盘共面；

步骤 602：提供第二封装结构，将所述第二封装结构设置在所述中介层上，所述第二封装结构与所述第一连接焊盘电连接；其中，所述第一封装结构与所述第二封装结构之间存在空隙。

下面结合具体实施例对本公开实施例提供的半导体封装结构的制备方法作进一步详细的说明。

图 7a 至图 7g 为本公开实施例提供的半导体封装结构在制备过程中的结构示意图。

首先，参见图 7a 至图 7e，执行步骤 601，提供第一封装结构，所述第一封装结构包括中介层 30 和塑封料 40，所述中介层 30 上设置有第一连接焊盘 31，所述塑封料 40 包裹所述中介层 30，并与所述第一连接焊盘 31 共面。

具体地，先参见图 7a，提供基板 10。

在一些实施例中，所述基板 10 可以是再分布基板。

所述基板 10 包括基板衬底 11 和分别设置在所述基板衬底 11 的上表面和下表面上的基板上绝缘介质层 12 和基板下绝缘介质层 13。

所述基板衬底 11 可以为硅衬底、锗衬底、硅锗衬底、碳化硅衬底、SOI(绝缘体上硅, Silicon On Insulator)衬底或 GOI(绝缘体上锗, Germanium On Insulator)衬底等，还可以为包括其他元素半导体或化合物半导体的衬底，例如玻璃衬底或 III-V 族化合物衬底(例如氮化镓衬底或砷化镓衬底等)，还可以为叠层结构，例如 Si/SiGe 等，还可以其他外延结构，例如 SGOI(绝缘体上锗硅)等。

所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 可以为阻焊层，例如所述基板上绝缘介质层 12 和所述基板下绝缘介质层 13 的材料可以为绿漆。

所述基板 10 还包括位于所述基板上绝缘介质层 12 内的基板上连接焊盘 14，位于所述基板下绝缘介质层 13 内的基板下连接焊盘 15，以及贯穿所述基板衬底 11 并将所述基板上连接焊盘 14 和所述基板下连接焊盘 15 彼此连接的基板连接通孔 16。

所述基板上连接焊盘 14 和所述基板下连接焊盘 15 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。所述基板连接通孔 16 可以为穿硅通孔 (TSV)。

基板上连接焊盘 14 与基板下连接焊盘 15 通过基板连接通孔 16 连接，从而能够让信号进行传输。同时，相邻的两个基板上连接焊盘 14 还可以通过重布线层连接，从而能够完成信号在基板上的传输。

所述基板 10 还包括虚拟通道 18，所述虚拟通道 18 为基板上连接焊盘 14、基板下连接焊盘 15 和基板连接通孔 16 组成，但是虚拟通道 18 的下方不形成基板连接凸块，无法实现信号传输，仅用作散热处理。

在一些实施例中，虚拟通道的导热系数比其他作为信号传输作用的基板上连接焊盘 14、基板下连接焊盘 15 和基板连接通孔 16 组成的结构的导热系数大，能够减少热量对信号传输的影响。

接着，参见图 7b，在所述基板 10 上形成至少一个第一芯片堆叠体 21 和至少一个第二芯片堆叠体 22，第一芯片堆叠体 21 和所述第二芯片堆叠体 22 间隔设置。

具体地，先在所述基板 10 上形成粘结层 60，然后在所述粘结层 60 上形成第一芯片堆叠体 21 和第二芯片堆叠体 22。

所述粘结层 60 可以为 DAF 膜。

在一实施例中，如图 5 所示，所述粘结层 60 包括第一粘结层 61 和位于所述第一粘结层 61 上的第二粘结层 62，所述第二粘结层 62 的弹性模量大于所述第一粘结层 61 的弹性模量。

本公开实施例中，因为第一粘结层与基板连接，主要起到粘结的作用，第二粘结层与芯片连接，主要起到防止芯片翘曲的作用，由于第二粘结层的弹性模量较高，在切割过程中不会出现翘曲，第一粘结层具有较低的弹性模量，在后续的工艺中不会影响基板与芯片的结合力。

在一实施例中，所述粘结层 60 位于所述虚拟通道 18 上，所述虚拟通道 18 的导热系数大于所述粘结层 60 的导热系数。

本公开实施例中，虚拟通道的导热系数大于粘结层的导热系数，能够将芯片工作产生的热量更多的通过虚拟通道散发出去，提高散热能力，减少对器件性能的影响。

继续参见图 7b，在所述第一芯片堆叠体 21 和所述第二芯片堆叠体 22

上形成引线焊盘 201, 所述引线焊盘 201 可以通过重布线层与后续形成的中介层上的第二连接焊盘连接。

接着, 参见图 7c 和图 7d, 在所述第一芯片堆叠体 21 和所述第二芯片堆叠体 22 上形成中介层 30。

- 5 具体地, 先参见图 7c, 在圆环 1 上粘贴载带 2, 然后将中介层粘贴在载带 2 上, 此时的中介层为整片的条状, 对中介层进行切割, 形成如图 7c 所示的一个一个的单元。

在实际操作中, 将所述中介层形成有中介上绝缘介质层的一面贴在载带上, 在形成有中介下绝缘介质层的一面上形成第一焊球。

- 10 接着, 参见图 7d, 将所述中介层 30 倒装在所述第一芯片堆叠体 21 和所述第二芯片堆叠体 22 上, 使第一焊球 34 与所述第一芯片堆叠体 21 和所述第二芯片堆叠体 22 连接。

在本公开实施例中, 通过中介层将第一芯片堆叠体和第二芯片堆叠体进行互连, 能够减小打线的数量, 节省打线工艺。

- 15 所述中介层 30 包括: 第一表面, 所述第一连接焊盘 31 设置在所述第一表面上; 第二表面, 与所述第一表面相对设置, 所述第二表面上设置有第二连接焊盘 32; 信号通道 33, 连接所述第一连接焊盘 31 和所述第二连接焊盘 32。

- 20 所述第一连接焊盘 31 和所述第二连接焊盘 32 的材料可以包括铝、铜、镍、钨、铂和金中的至少一种。

所述中介层 30 还包括中介衬底 302 和分别位于所述中介衬底 302 的上表面和下表面上的中介上绝缘介质层 301 和中介下绝缘介质层 303。所述第一连接焊盘 31 位于所述中介上绝缘介质层 301 内, 所述第二连接焊盘 32 位于所述中介下绝缘介质层 303 内。

- 25 如图 7d 所示, 所述第一芯片堆叠体包括一个第一芯片 210, 所述第二芯片堆叠体 22 包括一个第二芯片 220, 其中, 所述第一芯片 210 与所述第二芯片 220 通过所述中介层 30 电连接。

接着, 将所述第一芯片 210 或所述第二芯片 220 通过引线 50 连接至所述基板 10。

- 30 在图 7d 所示的实施例中, 所述第一芯片 210 和所述第二芯片 220 通过中介层 30 进行互连, 并且所述第一芯片 210 通过引线 50 与基板 10 连接, 间接将第二芯片 220 连接至基板 10。在其他实施例中, 也可以是第二芯片通过引线与基板连接, 间接将第一芯片连接至基板。在此实施例中, 因为第一芯片和第二芯片通过中介层进行信号传输, 因此可以只对第一芯片和
35 第二芯片中的一个进行打线, 减少打线工艺。

需要解释的是, 在图 7a 至图 7g 所示的实施例中, 只示出了第一芯片堆叠体包括一个第一芯片, 第二芯片堆叠体包括一个第二芯片的半导体封装结构的制备方法, 但第一芯片堆叠体和第二芯片堆叠体还包括其他堆叠

结构。

例如，如图 2 和图 3 所示，所述第一芯片堆叠体 21 包括堆叠设置的第一下芯片 212 和第一上芯片 211，所述第二芯片堆叠体 22 包括堆叠设置的第二下芯片 222 和第二上芯片 221；其中，所述中介层 30 设置在所述第一上芯片 211 和所述第二上芯片 221 上，所述第一上芯片 211 和所述第二上芯片 221 通过中介层 30 电连接。

如图 2 所示，所述第一上芯片 211 或所述第二上芯片 221 通过引线 50 连接所述基板 10。

所述第一下芯片 212 和所述第二下芯片 222 分别通过引线 50 连接所述基板 10。

在图 2 所示的实施例中，所述第一上芯片 211 和所述第二上芯片 221 通过中介层 30 进行互连，并且所述第一上芯片 211 通过引线 50 与基板 10 连接，间接将第二上芯片 221 连接至基板 10。在其他实施例中，也可以是第二上芯片通过引线 50 与基板 10 连接，间接将第一上芯片连接至基板。

在此实施例中，因为第一上芯片和第二上芯片通过中介层进行信号传输，因此可以只对第一上芯片和第二上芯片中的一个进行打线，减少打线工艺。同时由于第一下芯片和第二下芯片分别与第一上芯片和第二上芯片通过粘结层隔离，无法实现信号传输，由此将第一下芯片和第二下芯片分别通过打线的方式与基板连接，进而实现信号的传输。

如图 3 所示，所述第一下芯片 212 和所述第一上芯片 211 电连接，所述第二下芯片 222 和所述第二上芯片 221 电连接。

具体地，所述第一下芯片 212 和所述第一上芯片 211 之间，以及所述第二下芯片 222 和所述第二上芯片 221 之间通过芯片连接焊盘 202 和芯片连接焊球 203，以及位于所述第一上芯片 211 和所述第二上芯片 221 内的穿硅通孔（未图示）进行连接。

在此实施例中，第一下芯片和第一上芯片可以直接进行信号传输，第二下芯片和第二上芯片可以直接进行信号传输，而第一上芯片和第二上芯片又可以通过中介层进行信号传输，因此，4 个芯片可以仅进行一次打线，从而减少了打线工艺，降低了成本。

继续参见图 7d，连接所述第一芯片堆叠体 21 和所述第二芯片堆叠体 22 的第二连接焊盘 32 之间通过重布线层连接。

在此实施例中，所述重布线层可以位于所述中介层的表面，也可以位于所述中介层的内部。

接着，参见图 7e，形成包裹所述第一芯片堆叠体 21、所述第二芯片堆叠体 22 和所述中介层 30 的塑封料 40。

本公开实施例中，因为最终形成的塑封料与中介层的第一连接焊盘共面，所以在形成塑封料的过程中，不需要用到异形模具，只需要使用形状正常的模具，而形状正常的模具因为形状简单，所以制作工艺简单，成本

较低。

并且后续第二封装结构与第一封装结构连接后，使得第一封装结构和第二封装结构之间能够具有较大的空隙，保证了第二封装结构的散热效率。

- 5 如果塑封料的表面高于第一连接焊盘的表面，则使得第一封装结构和第二封装结构之间的空隙减小，不利于散热，同时在后续形成填充层时，不利于填充层的填充；如果第一连接焊盘的表面高于塑封料的表面，虽然可以增加空隙，但是塑封料可能无法覆盖打线，导致打线暴露出来，不利于保护打线。

- 10 继续参见图 7e，在形成塑封料 40 后，在所述基板 10 的基板下连接焊盘 15 上形成基板连接凸块 17，所述基板连接凸块 17 包括导电材料。

接着，参见图 7f，执行步骤 602，提供第二封装结构 70，将所述第二封装结构 70 设置在所述中介层 30 上，所述第二封装结构 70 与所述第一连接焊盘 31 电连接；其中，所述第一封装结构与所述第二封装结构 70 之间存在空隙。

- 15 具体的，在所述第二封装结构 70 上形成第二焊球 71，所述第二焊球 71 与所述中介层 30 上的第一连接焊盘 31 电连接。

所述第二封装结构还包括第二基板 72，所述第二基板 72 的结构与所述基板 10 的结构相同，这里不再赘述。

所述第二焊球 71 位于所述第二基板 72 上。

- 20 接着，参见图 7g，在所述第一封装结构和所述第二封装结构 70 之间的空隙内形成填充层 80。

所述填充层 80 的导热系数大于所述塑封料 40 的导热系数。

- 25 通过设置填充层，不仅可以使第一封装结构和第二封装结构之间具有密封的界面，减少第一封装结构和第二封装结构的金属结构与外界空气或其他材料的接触，而且可以起到导热作用。并且由于填充层的导热系数较大，这样更多的热量能够从填充层散失掉，减少热量对第一封装结构的影响。同时由于填充层的热膨胀系数与第一封装结构和第二封装结构的热膨胀系统相匹配，这样填充层的体积变化较小，不会对第一封装结构和第二封装结构产生向外的压力，能够保证结构的稳定性。

- 30 所述填充层 80 中的填料体积小于所述塑封料 40 中的填料体积。

如图 7g 所示，所述塑封料 40 中的填料为第一填料 401，所述填充层 80 中的填料为第二填料 801，第二填料 801 的体积小于第一填料 401 的体积。

- 35 所述塑封料 40 和所述填充层 80 的主体材料可以为环氧树脂，填料可以为二氧化硅。

在此实施例中，由于塑封料填充的空隙较大，而第一封装结构和第二封装结构之间的空隙较小，由此选择流动性较大的填充层，填充层中的填料体积小，主体材料的流动性大。

以上所述，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围，凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本公开的保护范围之内。

工业实用性

- 5 本公开实施例中，通过设置中介层，可以使第一封装结构与第二封装结构通过中介层进行连接，如此，可实现不同容量的封装结构之间的互连，使得不同封装结构之间的组合更加灵活，从而能够使得该半导体封装结构可以适用于不同的应用场景。同时因为第一封装结构和第二封装结构是独立封装的，可以分别对第一封装结构和第二封装结构进行测试，从而可以
- 10 更加快速的进行失效分析，由此在组成半导体封装结构之后，可以不对整体结构进行测试。并且第二封装结构与第一封装结构之间存在空隙，由此增加了二者之间的间距，从而能提高第二封装结构的散热效率，减少热量对芯片的影响。

权利要求书

- 1、一种半导体封装结构，包括：
第一封装结构，包括中介层和塑封料，所述中介层上设置有第一连接焊盘，所述塑封料包裹所述中介层，并与所述第一连接焊盘共面；
5 第二封装结构，设置在所述中介层上，与所述第一连接焊盘电连接；
其中，所述第一封装结构与所述第二封装结构之间存在空隙。
- 2、根据权利要求1所述的半导体封装结构，其中，所述第一封装结构还包括：
基板；
10 至少一个第一芯片堆叠体，设置在所述基板上；
至少一个第二芯片堆叠体，设置在所述基板上，与所述第一芯片堆叠体间隔设置；
其中，所述中介层设置在所述第一芯片堆叠体和所述第二芯片堆叠体上。
- 15 3、根据权利要求2所述的半导体封装结构，其中，所述第一芯片堆叠体包括一个第一芯片，所述第二芯片堆叠体包括一个第二芯片；
其中，所述第一芯片与所述第二芯片通过所述中介层电连接。
- 4、根据权利要求3所述的半导体封装结构，其中，所述第一芯片或所述第二芯片通过引线连接所述基板。
- 20 5、根据权利要求2所述的半导体封装结构，其中，所述第一芯片堆叠体包括堆叠设置的第一下芯片和第一上芯片，所述第二芯片堆叠体包括堆叠设置的第二下芯片和第二上芯片；
其中，所述中介层设置在所述第一上芯片和所述第二上芯片上，所述第一上芯片和所述第二上芯片通过中介层电连接。
- 25 6、根据权利要求5所述的半导体封装结构，其中，所述第一上芯片或所述第二上芯片通过引线连接所述基板。
- 7、根据权利要求6所述的半导体封装结构，其中，所述第一下芯片和所述第二下芯片分别通过引线连接所述基板。
- 8、根据权利要求6所述的半导体封装结构，其中，所述第一下芯片和所述
30 所述第一上芯片电连接，所述第二下芯片和所述第二上芯片电连接。
- 9、根据权利要求1-8任一所述的半导体封装结构，其中，所述中介层包括：
第一表面，所述第一连接焊盘设置在所述第一表面上；
第二表面，与所述第一表面相对设置，所述第二表面上设置有第二连接焊盘；
35 信号通道，连接所述第一连接焊盘和所述第二连接焊盘。
- 10、根据权利要求9所述的半导体封装结构，其中，所述第一芯片堆

叠体和所述第二芯片堆叠体上包括引线焊盘，所述引线焊盘通过重布线层连接所述第二连接焊盘。

5 11、根据权利要求 9 所述的半导体封装结构，其中，连接所述第一芯片堆叠体和所述第二芯片堆叠体的所述第二连接焊盘之间通过重布线层连接。

12、根据权利要求 2 所述的半导体封装结构，其中，所述第一芯片堆叠体和所述第二芯片堆叠体通过粘结层设置在所述基板上。

10 13、根据权利要求 12 所述的半导体封装结构，其中，所述基板上包括虚拟通道，所述粘结层位于所述虚拟通道上，所述虚拟通道的导热系数大于所述粘结层的导热系数。

14、根据权利要求 1 所述的半导体封装结构，其中，还包括填充层，所述填充层填满所述空隙。

15 15、根据权利要求 14 所述的半导体封装结构，其中，所述填充层的导热系数大于所述塑封料的导热系数。

16、根据权利要求 14 所述的半导体封装结构，其中，所述填充层中的填料体积小于所述塑封料中的填料体积。

17、根据权利要求 12 所述的半导体封装结构，其中，所述粘结层包括第一粘结层和第二粘结层，所述第二粘结层位于所述第一粘结层上，且所述第二粘结层的弹性模量大于所述第一粘结层的弹性模量。

20 18、一种半导体封装结构的制备方法，包括：

提供第一封装结构，所述第一封装结构包括中介层和塑封料，所述中介层上设置有第一连接焊盘，所述塑封料包裹所述中介层，并与所述第一连接焊盘共面；

25 提供第二封装结构，将所述第二封装结构设置在所述中介层上，所述第二封装结构与所述第一连接焊盘电连接；

其中，所述第一封装结构与所述第二封装结构之间存在空隙。