

半导体版图结构及半导体测试结构

交叉引用

[0001] 本公开要求于 2022 年 04 月 12 日递交的名称为“半导体版图结构及半导体测试结构”、申请号为 202210382204.0 的中国专利申请的优先权，其通过引用被全部并入本公开。

技术领域

[0002] 本公开实施例涉及半导体领域，特别涉及一种半导体版图结构及半导体测试结构。

背景技术

[0003] 在半导体制造工艺中，为了有效监测半导体制程工艺中的问题以及制备完成的晶体管的性能，以便于制程工艺的调整与优化，通常会在半导体结构中制造电性测试结构。在半导体结构制造完成后，对半导体结构中的电性测试结构进行电性测试，通过电性测试结构的电阻或者兼容性等来评估半导体制造工艺的可靠性以及半导体结构中晶体管的稳定性。

[0004] 然而，目前在制备半导体测试结构后，存在晶体管的寄生漏电较大的问题。

发明内容

[0005] 本公开实施例提供一种半导体版图结构，包括：有源层，有源层包括第一有源区和与第一有源区相邻设置的第二有源区；第一有源区包括多个间隔设置的第一晶体管区，第二有源区包括多个间隔设置的第二晶体管区，相邻的第一晶体管区对应的有源层相互分离；栅极层，位于有源层上方，栅极层包括至少一条沿第一方向延伸的第一栅极结构，以及在第一方向上间隔设置的多个第二栅极结构，第一栅极结构和第二栅极结构相邻设置，第一栅极结构对应于第一晶体管区，第二栅极结构对应于第二晶体管区。

[0006] 在一些实施例中，版图结构还包括：金属层，金属层与第一晶体管区以及第二晶体管区对应，位于第一晶体管区上方的金属层与位于第二晶体管区上方的金属层相互分离。

[0007] 在一些实施例中，第一晶体管区包括：第一掺杂区以及第二掺杂区，第一掺杂区位于所述第一晶体管区远离第二晶体管区的一侧，作为第一晶体管区的源区或者漏区，第二掺杂区位于第一晶体管区与第二晶体管区之间，作为第一晶体管区的源区或者漏区中的另一者。

- 5 [0008] 在一些实施例中，第一掺杂区对应的金属层与第二掺杂区对应的金属层相互分离，相邻的第一掺杂区对应的金属层相互分离。

[0009] 在一些实施例中，与第二晶体管区对应的金属层位于第二栅极结构上方。

[0010] 在一些实施例中，位于相邻的第二栅极结构上方的金属层相互分离。

- 10 [0011] 在一些实施例中，第二晶体管区还包括：第三掺杂区，第三掺杂区位于相邻的第二栅极结构之间，作为第二晶体管区的源区或者漏区中的任一者，且第二掺杂区还作为第二晶体管区的源区或者漏区的另一者，与第二晶体管区对应的金属层还位于第三掺杂区上方，且与第二栅极结构对应的金属层和与第三掺杂区对应的金属层相互分离。

- 15 [0012] 根据本公开一些实施例，本公开实施例另一方面还提供一种半导体测试结构，包括：第一有源区以及与第一有源区相邻设置的第二有源区，第一有源区上设有多个间隔设置的第一晶体管，第二有源区上设有多个间隔设置的第二晶体管，且相邻的第一晶体管对应的第一有源区相互分离；第一栅极结构以及第二栅极结构，第一栅极结构沿第一方向延伸，第二栅极结构在第一方向上间隔设置，且第一栅极结构和第二栅极结构相邻设置，第一栅极结构对应于第一晶体管，第二栅极结构对应于第二晶体管。
- 20

[0013] 在一些实施例中，还包括：金属层，金属层分别与第一晶体管以及第二晶体管电连接，且与第一晶体管电连接金属层和与第二晶体管电连接金属层相互分离。

- 25 [0014] 在一些实施例中，第一晶体管包括：第一掺杂区以及第二掺杂区，第一掺杂区位于第一晶体管远离第二晶体管的一侧，作为第一晶体管区的源极或者漏极，第二掺杂区位于第一晶体管与第二晶体管之间，作为第一晶体管的源极或者漏极中的另一者，且与第一晶体管对应的金属层分别与第一掺杂区、第二掺杂区电连接。

[0015] 在一些实施例中，第一掺杂区对应的金属层与第二掺杂区对应的金属层相互分离，相邻的第一掺杂区对应的金属层相互分离。

[0016] 在一些实施例中，与第二晶体管对应的金属层与第二栅极结构电连接。

[0017] 在一些实施例中，相邻的两个第二栅极结构对应的金属层相互分离。

- 5 [0018] 在一些实施例中，第二晶体管包括：第三掺杂区，第三掺杂区位于相邻的第二栅极结构之间，作为相邻的两个第二晶体管的源极或者漏极，且第二掺杂区还作为第二晶体管的源极或者漏极中的另一者，与第二晶体管对应的金属层还与第三掺杂区电连接，且与第二栅极结构对应的金属层和与第三掺杂区对应的金属层相互分离。

- 10 [0019] 在一些实施例中，相邻的两个第二晶体管组成一个第二晶体管组，第二晶体管组包括：第三掺杂区，第三掺杂区位于第二晶体管组中相邻的第二栅极结构之间，作为第二晶体管组中相邻的两个第二晶体管的源极或者漏极，且相邻的第二晶体管组中，相对设置的两个第二栅极结构所对应的金属层相连。

- 15 [0020] 本公开实施例提供的半导体版图结构的技术方案中，设置相邻的第一晶体管区对应的第一有源区相互分立，如此，在使用半导体版图结构制备半导体测试结构后，半导体测试结构中的多个第一晶体管不共用第一有源区，如此，当对其中一个第一晶体管进行测试时，不会通过第一有源区对相邻的第一晶体管产生耦合效应，从而防止发生通过有源区产生漏电的现象，从而改善半导体测试结构的寄生漏电现象。

20 附图说明

- 25 [0021] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0022] 图 1 为本公开一实施例提供的一种半导体版图结构的结构示意图；

[0023] 图 2 为本公开一实施例提供的一种半导体版图结构中有源层的结构示意图

图；

[0024] 图 3 为本公开一实施例提供的一种半导体版图结构的结构示意图；

[0025] 图 4 为本公开一实施例提供的一种半导体版图结构中有源层的结构示意图；

5 [0026] 图 5 为本公开一实施例提供的另一种半导体版图结构的结构示意图；

[0027] 图 6 为本公开一实施例提供的又一种半导体版图结构的结构示意图；

[0028] 图 7 为对一种半导体结构进行电性测试后的 I-V 特性曲线图；

[0029] 图 8 为本公开一实施例提供的一种半导体结构进行电性测试后的 I-V 特性曲线图。

10 具体实施方式

[0030] 由背景技术可知，目前的半导体测试结构中，存在晶体管的寄生漏电较大的问题。

[0031] 图 1 为一种半导体版图结构的结构示意图，图 2 为一种半导体版图结构中有源层的结构示意图，参考图 1 以及图 2，分析发现，导致使用目前的半导体版图结构制备的半导体测试结构中晶体管的寄生漏电较大的原因之一在于，半
15 导体测试结构用于对第一晶体管以及第二晶体管的电性能进行测试。在目前的半导体版图结构中，多个第一晶体管区 1 对应的栅极层为连续的第一栅极结构 2，且相邻的第一晶体管区 1 对应的有源区 3 之间相连，也就是说，制备成半导体测试结构后，多个第一晶体管为共用栅极结构，且多个第一晶体管的源极或者
20 漏极所对应的有源区之间相连，此外，位于第一晶体管区 1 上方以及位于第二晶体管区 4 上方的金属层相连，因此，当对其中一个第一晶体管进行测试时，会对相邻的器件产生耦合效应，使得相邻的器件的栅极电压会升高，导致漏电流增大。

[0032] 本公开实施例提供一种半导体版图结构以及半导体测试结构，在半导体版图结构中，通过设置相邻的第一晶体管区对应的第一有源区相互分立，使得
25 基于半导体版图结构制备成半导体测试结构后，当对其中一个第一晶体管进行测试时，不会通过有源区对相邻的第一晶体管产生耦合效应，从而防止发生通过有源区产生漏电的现象。

[0033] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。

- 5 [0034] 图 3 为本公开一实施例提供的一种半导体版图结构的结构示意图，图 4 为本公开一实施例提供的一种半导体版图结构中有源层的结构示意图。

[0035] 参考图 3 以及图 4，半导体版图结构包括：有源层，有源层包括第一有源区 101 和与第一有源区 101 相邻设置的第二有源区 102；第一有源区 101 包括多个间隔设置的第一晶体管区 10，第二有源区 102 包括多个间隔设置的第二晶体管区 11，相邻的第一晶体管区 10 对应的有源层相互分离；栅极层，位于有源层上方，栅极层包括至少一条沿第一方向 X 延伸的第一栅极结构 103，以及在第一方向 X 上间隔设置的多个第二栅极结构 104，第一栅极结构 103 和第二栅极结构 104 相邻设置，第一栅极结构 103 对应于第一晶体管区 10，第二栅极结构 104 对应于第二晶体管区 11。

- 15 [0036] 设置相邻的第一晶体管区 10 对应的第一有源区 101 相互分立，使得相邻的第一晶体管区 10 不共用同一第一有源区 101，当基于该半导体版图结构制备成半导体测试结构后，对多个第一晶体管中的任一个第一晶体管进行测试时，不会通过第一有源区 101 对相邻的第一晶体管产生耦合效应，从而改善半导体测试结构的寄生漏电现象。

- 20 [0037] 第一有源区 101 以及第二有源区 102 相邻设置，即第一晶体管区 10 以及第二晶体管区 11 相邻设置，且第一晶体管区 10 以及第二晶体管区 11 为相邻的两列晶体管区。一列第一晶体管区 10 对应于同一第一栅极结构 103，一列第二晶体管区 11 中每一第二晶体管区 11 对应一个第二栅极结构 104。值得注意的是，本公开实施例以一列第一晶体管对应的第一有源区 101 以及与第一晶体管相邻的一列第二晶体管对应的第二有源区 102 作为示例，实际上，在衬底中，还包括多个第一有源区 101 以及第二有源区 102。

[0038] 在一些实施例中，可以设置相邻的第一晶体管区 10 对应的第一有源区 101 之间的间距通过设计合适的间距范围，一方面有利于增大制备相互分立的第一有源区 101 的工艺窗口，降低制备工艺难度。另一方面，相邻的第一晶体管区

10 对应的第一有源区 101 之间的间距也不至于过大，为形成第一有源区 101 留出较大的空间，使第一晶体管区 10 对应的有源区的尺寸不至于过小，从而在基于半导体版图结构制备半导体测试结构之后，可以使得第一晶体管具有较好的性能。

5 [0039] 在一些实施例中，版图结构还包括：金属层 105，金属层 105 与第一晶体管区 10 以及第二晶体管区 11 对应，位于第一晶体管区 10 上方的金属层 105 与位于第二晶体管区 11 上方的金属层 105 相互分离。金属层 105 一方面可以为第一晶体管区 10 以及第二晶体管区 11 提供外部电信号，另一方面，用于将第一晶体管区 10 以及第二晶体管区 11 的电信号引出，以进行电性测试。设置位于
10 第一晶体管区 10 上方的金属层 105 以及位于第二晶体管区 11 上方的金属层 105 相互分立，如此，当基于半导体版图结构制备半导体测试结构之后，与第一晶体管电连接的金属层 105 和与第二晶体管对应的金属层 105 相互分离，因此，当对第一晶体管以及第二晶体管中的任一者进行测试时，不会通过金属层 105 对未进行测试的另一第一晶体管或者第二晶体管产生耦合效应，即对第一晶体
15 管和第二晶体管的电性测试不会彼此影响，从而改善半导体测试结构的寄生漏电现象。具体地，在一些实施例中，在金属层与第一晶体管区 10 以及第二晶体管区 11 之间还包括：金属接触层 12，金属接触层 12 对应于金属接触结构，金属接触结构用于电连接金属层以及第一晶体管区 10 与第二晶体管区 11。

[0040] 参考图 4，在一些实施例中，第一晶体管区 10 包括：第一掺杂区 106 以及第二掺杂区 107，第一掺杂区 106 位于所述第一晶体管区 10 远离第二晶体管区 11 的一侧，作为第一晶体管区 10 的源区或者漏区，第二掺杂区 107 位于第一晶体管区 10 与第二晶体管区 11 之间，作为第一晶体管区 10 的源区或者漏区中的另一者。在一些实施例中，第一掺杂区 106 可以是第一晶体管区 10 的源区，第二掺杂区 107 可以是第一晶体管区 10 的漏区，且第二掺杂区 107 还可以作为
20 第二晶体管区 11 的漏区，也就是说，第一晶体管区 10 和第二晶体管区 11 共用一个第二掺杂区 107 作为漏区，如此，使得基于半导体版图结构形成的半导体测试结构具有较小的尺寸。在一些实施例中，位于第一晶体管区 10 上方的金属层 105 具体可以位于第一掺杂区 106 上方以及第二掺杂区 107 上方，如此，在一些实施例中，当第一掺杂区 106 作为第一晶体管区 10 的源区，第二掺杂区 107 作为第一晶体管的漏区时，在形成半导体测试结构后，第一掺杂区 106 与金属
25
30

层 105 电连接,使得金属层 105 一方面可以引出第一晶体管的电信号,另一方面,可以通过金属层 105 向第一晶体管的源极供应外部电信号,以使第二晶体管正常工作。与第二掺杂区 107 电连接的金属层 105 可以电连接到响应的子字线,以使第一晶体管以及第二晶体管驱动相应的子字线。

- 5 [0041] 在一些实施例中,第一掺杂区 106 对应的金属层 105 与第二掺杂区 107 对应的金属层 105 相互分离,相邻的第一掺杂区 106 对应的金属层 105 相互分离。如此,使得金属层 105 向第一掺杂区 106 供应的外部电信号不会对第二掺杂区 107 产生干扰。且相邻的第一掺杂区 106 对应的金属层 105 相互分离,从而在对一系列第一晶体管区 10 中的一个第一晶体管区 10 对应的第一晶体管进行测试时,不会发生在待测试的第一晶体管上方的金属层 105 中移动的电子传输至相邻的第一晶体管上方的金属层 105 中的问题,从而可以防止对相邻的第一晶体管产生耦合效应,进一步改善半导体测试结构的寄生漏电。

[0042] 图 5 为本公开一实施例提供的另一种半导体版图结构的结构示意图,参考图 5,在另一些实施例中,相邻的第一掺杂区对应的金属层也可以不分离。

- 15 [0043] 在一些实施例中,与第二晶体管区 11 对应的金属层 105 位于第二栅极结构 104 上方。如此,当基于半导体版图结构制备成半导体测试结构之后,就金属层 105 与第二栅极电连接,一方面可以通过金属层 105 为第二栅极结构 104 传输驱动信号以驱动第二晶体管,另一方面,也可以通过金属层 105 对第二晶体管进行电性能测试。此外,位于第二栅极结构 104 上方的金属层 105 和位于第一晶体管上方的金属层 105 相互分离,使得对第二晶体管区 11 对应的第二晶体管进行测试时,不会通过金属层 105 对第一晶体管区 10 对应的第一晶体管产生耦合效应。具体地,由于金属层 105 与第二栅极结构 104 电连接,因此,当第二晶体管被开启时,与第二栅极结构 104 电连接的金属层 105 中移动的电子不会传输至与第一晶体管电连接的金属层 105 中,从而可以改善第一晶体管与第二晶体管之间的耦合效应。

- 20 [0044] 在一些实施例中,位于相邻的第二栅极结构 104 上方的金属层 105 相互分离。也就是说,当基于半导体版图结构制备成半导体测试结构后,相邻的第二栅极结构 104 对应的金属层 105 之间互不相连,使得对一系列第二晶体管中的任一第二晶体管进行测试时,不会通过金属层 105 对相邻的第二晶体管产生耦合效应,例如不会使得相邻的第二晶体管中的第二栅极结构 104 的栅压升高,
- 25
- 30

从而改善半导体测试结构中的寄生漏电现象。

[0045] 在一些实施例中,如图 4 所示,第二晶体管区 11 还包括:第三掺杂区 108,第三掺杂区 108 位于相邻的第二栅极结构 104 之间,作为第二晶体管区 11 的源区或者漏区中的任一者,且第二掺杂区 107 还作为第二晶体管区 11 的源区或者漏区的另一者,与第二晶体管区 11 对应的金属层 105 还位于第三掺杂区 108 上方,且与第二栅极结构 104 对应的金属层 105 和与第三掺杂区 108 对应的金属层 105 相互分离。在一些实施例中,当第二掺杂区 107 作为第二晶体管区 11 的漏区时,第三掺杂区 108 可以作为第二晶体管的源区。在一些实施例中,第三掺杂区 108 还可以作为相邻的第二栅极结构 104 对应的第二晶体管区 11 之间的公共源极区,即设置较少数量的第三掺杂区 108 以构成较多数量的第二晶体管区 11,使得半导体版图结构的尺寸较小,使得制备的半导体测试结构的尺寸较小。可以理解的是,在另一些实施例,第二掺杂区 107 也可以作为第二晶体管区 11 的源区,且第三掺杂区 108 可以作为第二晶体管区 11 的漏区。

[0046] 在基于半导体版图结构制备半导体测试结构中,第三掺杂区 108 作为相邻的两个第二晶体管的公共源极。当对其中一个第二晶体管进行电性测试时,该第二晶体管的第二栅极结构 104 基于金属层 105 传输的驱动信号开启该第二晶体管,由于与第二栅极结构 104 对应的金属层 105 和与第三掺杂区 108 对应的金属层 105 相互分离,因此,第二栅极结构 104 中移动的电子和少数载流子不会通过金属层 105 传输至第三掺杂区 108,因此,不会对共用第三掺杂区 108 的另一第二晶体管产生耦合效应,从而改善半导体测试结构的寄生漏电。

[0047] 图 6 为本公开一实施例提供的又一种半导体版图结构的结构示意图,参考图 6 以及图 4,在一些实施例中,未共用第三掺杂区 108 的两个第二晶体管区 102 的第二栅极结构 104 为相对设置,且相对设置的两个第二栅极结构 104 对应的金属层 105 相连,如此,有利于减小实际制备金属层 105 的工艺难度。这是因为,随着半导体器件的尺寸越来越小,半导体版图结构的尺寸也越来越小,因此,未共用第三掺杂区 108 的两个相邻的第二晶体管中,相对设置的第二栅极结构 104 之间的间距较小。设置相邻的第二栅极结构 104 对应的金属层 105 相连,可以增大制备金属层 105 的工艺窗口,有利于提高生产效率。

[0048] 上述实施例提供的半导体版图结构中,设置相邻的第一晶体管区 10 对应的第一有源区 101 相互分立,即相邻的第一晶体管区 10 不共用同一第一有源区

101, 如此, 使得制备得到的半导体测试结构中, 相邻的第一晶体管不共用第一有源区 101, 即当对一个第一晶体管进行电性测试时, 与该第一晶体管对应的第一有源区 101 中移动的电子不会移动至相邻的第一晶体管对应的第一有源区 101 中, 即不会通过第一有源区 101 对相邻的第一晶体管产生耦合效应, 改善半导体测试结构的寄生漏电现象。

[0049] 本公开另一实施例提供一种半导体测试结构, 该半导体测试结构可以由上一公开实施例提供的半导体版图结构制备而成, 以下将对本公开另一实施例提供的半导体测试结构进行详细说明。

[0050] 半导体测试结构包括: 第一有源区以及与第一有源区相邻设置的第二有源区, 第一有源区上设有多个间隔设置的第一晶体管, 第二有源区上设有多个间隔设置的第二晶体管, 且相邻的第一晶体管对应的第一有源区相互分离; 第一栅极结构以及第二栅极结构, 第一栅极结构沿第一方向延伸, 第二栅极结构在第一方向上间隔设置, 且第一栅极结构和第二栅极结构相邻设置, 第一栅极结构对应于第一晶体管, 第二栅极结构对应于第二晶体管。

[0051] 设置相邻的第一晶体管之间的第一有源区相互分立, 如此, 即使第一晶体管为共用栅极结构, 由于相邻的第一晶体管之间的第一有源区不相连, 当对其中一个第一晶体管进行测试时, 不会通过第一有源区对相邻的第一晶体管产生耦合效应, 从而可以改善半导体测试结构的寄生漏电现象。

[0052] 图 7 为对一种半导体结构进行电性测试后的 I-V 特性曲线图, 图 8 为本公开一实施例提供的一种半导体结构进行电性测试后的 I-V 特性曲线图, 参考图 7, 曲线 1 对应相邻的第一晶体管之间共用第一有源区的半导体结构, 参考图 8, 曲线 3 对应相邻的第一晶体管之间的第一有源区不相连的半导体结构, 结合对比曲线 1 以及曲线 3 可以得到, 设置相邻的第一晶体管之间的第一有源区相互分离后, 半导体结构的漏电流大大降低。

[0053] 在一些实施例中, 衬底为半导体衬底, 例如可以为硅衬底。在另一些实施例中, 半导体衬底材料也可以是锗、锗硅、碳化硅等。

[0054] 第一有源区以及第二有源区位于衬底中, 在一些实施例中, 第一有源区以及第二有源区为通过对衬底进行掺杂得到, 具体地, 第一有源区以及第二有源区中可以掺杂有 P 型半导体离子或者 N 型半导体离子中的任一者, P 型离子

可以为硼离子、镓离子或者铟离子中的任意一者，N 型离子可以为磷离子、砷离子或者锑离子中的任意一者。值得注意的是，本公开实施例以一系列第一晶体管对应的第一有源区以及与第一晶体管相邻的一系列第二晶体管对应的第二有源区作为示例，实际上，在衬底中，还包括多个第一有源区以及第二有源区。

- 5 [0055] 在一些实施例中，第一晶体管以及第二晶体管可以作为 SWD(sub word-line driver, 子字线驱动器)，用于提供作为高电压的字线电压，从而驱动子字线，如此，可以改善字线电压的延迟。第一晶体管以及第二晶体管可以被配置为响应于驱动信号对字线进行预充电。具体地，第一晶体管以及第二晶体管具有被供应有驱动电压的源极和连接到子字线的漏极，并且响应于驱动信号而
- 10 导通或截止，从而实现子字线的驱动。

- [0056] 第一晶体管之间的第一有源区相互分立，也就是说，每一第一晶体管分别对应一个第一有源区，第一栅极结构横跨多个第一晶体管的第一有源区，用于形成多个第一晶体管的栅极结构，即多个第一晶体管共用一个第一栅极结构。第二栅极结构与第一栅极结构相邻排布，且每一第二栅极结构作为一个第二晶
- 15 体管的栅极结构。

- [0057] 控制相邻的第一晶体管对应的第一有源区的间距在合适的范围内，当对其中一个第一晶体管进行测试时，该第一晶体管对应的有源区不会与相邻的第一晶体管对应的第一有源区产生耦合效应，从而可以防止发生由于耦合效应而导致相邻的第一晶体管的栅压较高的问题，改善寄生漏电现象。此外，在这个
- 20 范围内，相邻的第一晶体管对应的第一有源区之间的间距不至于过小，从而可以降低工艺制备的难度，增大制备相互分立的第一有源区的工艺窗口。另一方面，在这个范围内，相邻的第一晶体管对应的第一有源区之间的间距不至于过大，为形成第一有源区留出较大的空间，使第一晶体管对应的第一有源区的尺寸不至于过小，从而保持第一晶体管较好的性能。

- 25 [0058] 在一些实施例中，还包括：金属层，金属层分别与第一晶体管以及第二晶体管电连接，且与第一晶体管电连接的金属层和与第二晶体管电连接的金属层相互分离。金属层用于引出第一晶体管以及第二晶体管的电信号，以作测试用，在一些实施例中，金属层可以通过电接触结构与第一晶体管以及第二晶体管电连接。具体地，金属层将第一晶体管以及第二晶体管的电信号引出以进行
- 30 电性测试，例如进行电阻测试，从而确定半导体测试结构中是否发生内部短路

或者断路缺陷。设置与第一晶体管电连接的金属层和与第二晶体管电连接的金属层相互分离，如此，当对第一晶体管或者第二晶体管中的任一者进行测试时，可以防止发生由于与第一晶体管以及与第二晶体管电连接的两个金属层电连接而导致相邻的第一晶体管以及第二晶体管产生耦合效应，从而改善第一晶体管以及第二晶体管的寄生漏电现象。

[0059] 参考图 7 以及图 8，曲线 2 对应与第一晶体管电连接的金属层和与第二晶体管电连接的金属层相连的半导体结构，参考图 8，曲线 4 对应与第一晶体管电连接的金属层和与第二晶体管电连接的金属层相互分离的半导体结构，对比曲线 2 以及曲线 4 可以发现，设置第一晶体管对应的金属层与第二晶体管对应的金属层相互分离，使得对半导体结构进行测试后，极大地降低了半导体结构中的漏电流。

[0060] 在一些实施例中，金属层的材料可以为 Cu、Al 或者 W 中的任一种。

[0061] 在一些实施例中，第一晶体管包括：第一掺杂区以及第二掺杂区，第一掺杂区位于第一晶体管远离第二晶体管的一侧，作为第一晶体管的源极或者漏极，第二掺杂区位于第一晶体管与第二晶体管之间，作为第一晶体管的源极或者漏极中的另一者，且与第一晶体管对应的金属层分别与第一掺杂区、第二掺杂区电连接。

[0062] 在一些实施例中，第一掺杂区以及第二掺杂区位于第一有源区中，在一些实施例中，第一掺杂区的离子掺杂类型和第二掺杂区的离子掺杂类型相同，且第一掺杂区的离子掺杂类型与衬底的离子掺杂类型相反，如此，第一掺杂区以及第二掺杂区与衬底可以分别形成 PN 结。具体地，在一些实施例中，第一掺杂区以及第二掺杂区可以掺杂 N 型离子，衬底可以掺杂 P 型离子。在另一些实施例中，第一掺杂区以及第二掺杂区也可以掺杂 P 型离子，衬底可以掺杂 N 型离子。在一些实施例中，N 型离子可以为砷离子、磷离子或者锑离子中的至少一种，P 型离子可以为硼离子、镓离子或者铟离子中的至少一种。

[0063] 在一些实施例中，第一掺杂区可以是第一晶体管的源极，第二掺杂区可以是第一晶体管的漏极，且第二掺杂区还作为第二晶体管的漏极，即第一晶体管以及第二晶体管共用一个漏极，如此，可以使得半导体测试结构的尺寸较小。金属层与第一掺杂区电连接，如此，当第一掺杂区作为第一晶体管的源极使用

时，一方面可以引出第一晶体管的电信号，另一方面，可以通过金属层向第一晶体管的源极供应外部电信号，以使第一晶体管正常工作。且金属层还与第二掺杂区电连接，当第二掺杂区作为第一晶体管以及第二晶体管的漏极使用时，金属层还可以电连接到相应的子字线，实现第一晶体管以及第二晶体管对子字线的驱动。

[0064] 在一些实施例中，第一掺杂区对应的金属层与第二掺杂区对应的金属层相互分离，相邻的第一掺杂区对应的金属层相互分离。第一掺杂区对应的金属层与第二掺杂区对应的金属层相互分离，从而当第一掺杂区作为第一晶体管的源极，且第二掺杂区作为第一晶体管的漏极时，与第一掺杂区电连接的金属层起到向第一晶体管的源极供应驱动电压的作用，与第二掺杂区电连接的金属层起到驱动子字线的作用，使得源极以及漏极的电信号之间不会相互干扰。

[0065] 在一些实施例中，每一第一晶体管对应一个第一掺杂区，因此，设置相邻的第一掺杂区对应的金属层相互分离，使得对第一晶体管进行测试时，不会发生由于相邻的第一掺杂区对应的金属层电连接而对相邻的第一晶体管产生耦合效应的问题，从而可以防止相邻的第一晶体管的栅压升高，改善寄生漏电现象。

[0066] 可以理解的是，在另一些实施例中，相邻的第一掺杂区对应的金属层也可以为连续的膜层结构，多个第一晶体管的第一掺杂区共用同一金属层，如此，当第一掺杂区作为第一晶体管的源极时，可以通过同一金属层中的任意位置节点输入驱动电压，即可对多个第一晶体管对应的第一掺杂区同时供应驱动电压，使得第一晶体管以及第二晶体管具有较高的工作效率。

[0067] 在一些实施例中，当第二掺杂区作为第二晶体管的漏极时，考虑到第一晶体管以及第二晶体管的漏极用于电接触被驱动的子字线，因此，在一些实施例中，可以设置第二掺杂区上的金属层相互分立，如此可以使得第一晶体管以及第二晶体管分别驱动多个子字线。

[0068] 在一些实施例中，与第二晶体管对应的金属层与第二栅极结构电连接。一方面可以通过金属层为第二栅极结构传输驱动信号以驱动第二晶体管，另一方面，金属层用于对第二晶体管进行电性能测试。且与第二栅极结构电连接的金属层和与第一晶体管电连接的金属层相互分离，也就是说，当对第二晶体管

或者第一晶体管进行电性能测试时，不会通过金属层产生耦合效应。例如，当对第一晶体管进行电性能的测试时，需要开启第一晶体管，此时，第一晶体管的第一掺杂区以及第二掺杂区之间的沟道导通，由于第二栅极结构对应的金属层和与第一晶体管对应的金属层之间相互分离，因此，与第一晶体管电连接的金属层中移动的电子不会传输至与第二晶体管电连接的金属层中，从而不会对第二晶体管产生耦合效应，即不会通过与第一晶体管电连接的金属层使得第二晶体管中的第二栅极结构的栅压升高，从而减小寄生漏电。

[0069] 由于每一第二栅极结构作为一个第二晶体管的栅极结构，当金属层与第二栅极结构电连接时，考虑到相邻的第二晶体管之间可能会存在寄生漏电，因此，在一些实施例中，相邻的两个第二栅极结构对应的金属层相互分离。如此，当对其中一个第二晶体管进行电性能的测试时，即第二栅极结构响应于驱动信号开启第二晶体管时，由于相邻的第二栅极结构对应的金属层相互分立，因此，相邻的第二栅极结构之间不会通过金属层产生耦合效应，改善相邻的第二晶体管之间的寄生漏电现象。

[0070] 在一些实施例中，第二晶体管包括：第三掺杂区，第三掺杂区位于相邻的第二栅极结构之间，作为相邻的两个第二晶体管的源极或者漏极，且第二掺杂区还作为第二晶体管的源极或者漏极中的另一者，与第二晶体管对应的金属层还与第三掺杂区电连接，且与第二栅极结构对应的金属层和与第三掺杂区对应的金属层相互分离。

[0071] 在一些实施例中，第三掺杂区位于有源区中，第三掺杂区的离子掺杂类型可以与第一掺杂区以及第二掺杂区的离子掺杂类型相同。

[0072] 在一些实施例中，当第二掺杂区作为第二晶体管的漏极时，第三掺杂区可以作为第二晶体管的源极。具体地，在一些实施例中，第三掺杂区可以作为相邻的第二栅极结构对应的第二晶体管之间的公共源极。也就是说，位于第三掺杂区两侧的第二栅极结构所对应的第二晶体管共用一个源极，且当多个第二晶体管间隔排布成一行，且一行第二晶体管的数量大于两个时，未共用第三掺杂区的两个相邻的第二晶体管的第二栅极结构为相对设置。此外，第二掺杂区作为第一晶体管以及第二晶体管的公共漏极，如此，仅需设置数量较少的掺杂区即可形成较多的晶体管，有利于节省空间，从而实现半导体测试结构较小的尺寸。可以理解的是，在另一些实施例中，第三掺杂区也可以作为相邻的第二

栅极结构对应的第二晶体管之间的公共漏极，且第二掺杂区作为第一晶体管以及第二晶体管的公共源极。

[0073] 由于第三掺杂区作为相邻的两个第二晶体管的公共源极，因此，设置与第二栅极结构对应的金属层和与第三掺杂区对应的金属层相互分离，使得对其中一个第二晶体管进行电性测试时，可以防止发生由于第二栅极结构对应的金属层与第三掺杂区对应的金属层电连接而使得相邻的第二晶体管产生耦合效应的问题。具体地，当对其中一个第二晶体管进行测试时，该第二晶体管的第二栅极结构基于金属层传输的驱动信号开启该第二晶体管，由于第二栅极结构对应的金属层与第三掺杂区对应的金属层相互分离，因此第二栅极结构中移动的电子和少数载流子不会通过金属层传输至第三掺杂区，因此，可以防止对与该第二晶体管共用第三掺杂区的另一第二晶体管产生耦合效应。

[0074] 在另一些实施例中，相邻的两个第二晶体管组成一个第二晶体管组，第二晶体管组包括：第三掺杂区，第三掺杂区位于第二晶体管组中相邻的第二栅极结构之间，作为第二晶体管组中相邻的两个第二晶体管的源极或者漏极，且相邻的第二晶体管组中，相对设置的两个第二栅极结构所对应的金属层相连。也就是说，属于同一第二晶体管组中的两个第二晶体管共用一个第三掺杂区。在相邻的两个晶体管组中，未共用第三掺杂区的两个相邻的第二晶体管的第二栅极结构为相对设置，且设置相对设置的两个第二栅极结构对应的金属层相连，有利于减小实际制备金属层的工艺难度。这是因为，随着半导体器件的尺寸越来越小，半导体测试结构中的特征尺寸也越来越小，使得未共用第三掺杂区的两个相邻的第二晶体管中，相对设置的第二栅极结构之间的间距较小。因此，在实际制备第二栅极结构对应的金属层工艺中，设置相邻的第二栅极结构对应的金属层相连，从而可以增大制备金属层的工艺窗口，有利于提高生产效率。

[0075] 在另一些实施例中，设置第二晶体管组中两个第二晶体管共用一个第三掺杂区时，也可以设置相邻的第二晶体管组中，相对设置的两个第二栅极结构所对应的金属层分离。如此，未共用第三掺杂区的两个第二晶体管中，当开启其中一个第二晶体管以进行测试时，不会通过第二栅极结构对应的金属层而使另一个第二晶体管的栅压升高，从而减小寄生漏电。

[0076] 考虑到实际的制备工艺，在一些实施例中，两个相对设置的第二栅极结构对应的金属层之间的间距不至于太小，如此，可以降低实际制备工艺的难度。

这是因为，由于两个第二栅极结构相对设置，且半导体测试结构的整体尺寸较小，因此两个第二栅极结构之间的实际间距较小，在实际制备相对设置的第二栅极结构对应的金属层时，若相应的金属层之间的间距过小，可能导致对第二栅极结构的工艺损伤，同时也加大了制备工艺的难度。因此，设置相对的第二栅极结构对应的金属层之间的间距较大，可以降低工艺难度。另一方面，考虑到与第二栅极结构对应的金属层之间的间距需要与相对设置的两个第二栅极结构之间的间距相近或相等，因此，两个相对的第二栅极结构对应的金属层之间的间距也不至于过大，从而保持半导体测试结构较小的尺寸。

[0077] 在一些实施例中，相邻的第二晶体管组之间的有源区相互分离。在同一个第二晶体管组中，相邻的两个第二晶体管共用第三掺杂区，因此，共用第三掺杂区的两个第二晶体管之间的有源区需要相连。而对于不共用第三掺杂区的两个第二晶体管，两个第二栅极结构相对设置，即两个第二栅极结构之间未设置第三掺杂区，因此，设置相对的两个第二栅极结构之间的有源区相互分立，使得不共用第三掺杂区的第二晶体管之间不会通过有源区产生耦合效应，进一步改善相邻的第二晶体管之间的寄生漏电。

[0078] 上述实施例提供的半导体测试结构中，设置相邻的第一晶体管之间的有源区相互分立，如此，即使第一晶体管为共用栅极结构，由于相邻的第一晶体管之间的第一有源区不相连，当对其中一个第一晶体管进行测试时，不会通过第一有源区对相邻的第一晶体管产生耦合效应，从而可以改善半导体测试结构的寄生漏电现象。

[0079] 本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开的精神和范围。任何本领域技术人员，在不脱离本公开的精神和范围内，均可作各自更动与修改，因此本公开的保护范围应当以权利要求限定的范围为准。

权利要求书

1. 一种半导体版图结构，包括：

有源层，所述有源层包括第一有源区和与所述第一有源区相邻设置的第二有源区；所述第一有源区包括多个间隔设置的第一晶体管区，所述第二有源区包括多个间隔设置的第二晶体管区，相邻的所述第一晶体管区对应的所述有源层相互分离；

栅极层，位于所述有源层上方，所述栅极层包括至少一条沿第一方向延伸的第一栅极结构，以及在所述第一方向上间隔设置的多个第二栅极结构，所述第一栅极结构和所述第二栅极结构相邻设置，所述第一栅极结构对应于所述第一晶体管区，所述第二栅极结构对应于所述第二晶体管区。
2. 根据权利要求 1 所述的半导体版图结构，其中，所述版图结构还包括：金属层，所述金属层与所述第一晶体管区以及所述第二晶体管区对应，位于所述第一晶体管区上方的所述金属层与位于所述第二晶体管区上方的所述金属层相互分离。
3. 根据权利要求 2 所述的半导体版图结构，其中，所述第一晶体管区包括：第一掺杂区以及第二掺杂区，所述第一掺杂区位于所述第一晶体管区远离所述第二晶体管区的一侧，作为所述第一晶体管区的源区或者漏区，第二掺杂区位于所述第一晶体管区与所述第二晶体管区之间，作为所述第一晶体管区的源区或者漏区中的另一者。
4. 根据权利要求 3 所述的半导体版图结构，其中，所述第一掺杂区对应的金属层与所述第二掺杂区对应的金属层相互分离，相邻的所述第一掺杂区对应的所述金属层相互分离。
5. 根据权利要求 3 所述的半导体版图结构，其中，与所述第二晶体管区对应的所述金属层位于所述第二栅极结构上方。
6. 根据权利要求 5 所述的半导体版图结构，其中，位于相邻的所述第二栅极结构上方的所述金属层相互分离。
7. 根据权利要求 6 所述的半导体版图结构，其中，所述第二晶体管区还包括：

第三掺杂区，所述第三掺杂区位于相邻的所述第二栅极结构之间，作为所述第二晶体管区的源区或者漏区中的任一者，且所述第二掺杂区还作为所述第二晶体管区的源区或者漏区的另一者，与所述第二晶体管区对应的所述金属层还位于所述第三掺杂区上方，且与所述第二栅极结构对应的所述金属层和与所述第三掺杂区对应的所述金属层相互分离。

8. 一种半导体测试结构，包括：

第一有源区以及与所述第一有源区相邻设置的第二有源区，所述第一有源区上设有多个间隔设置的第一晶体管，所述第二有源区上设有多个间隔设置的第二晶体管，且相邻的所述第一晶体管对应的所述第一有源区相互分离；

10 第一栅极结构以及第二栅极结构，所述第一栅极结构沿第一方向延伸，所述第二栅极结构在所述第一方向上间隔设置，且所述第一栅极结构和所述第二栅极结构相邻设置，所述第一栅极结构对应于所述第一晶体管，所述第二栅极结构对应于所述第二晶体管。

9. 根据权利要求 8 所述的半导体测试结构，其中，还包括：金属层，所述金属层分别与所述第一晶体管以及所述第二晶体管电连接，且与所述第一晶体管电连接的所述金属层和与所述第二晶体管电连接的所述金属层相互分离。

10. 根据权利要求 9 所述的半导体测试结构，其中，所述第一晶体管包括：第一掺杂区以及第二掺杂区，所述第一掺杂区位于所述第一晶体管远离所述第二晶体管的一侧，作为所述第一晶体管区的源极或者漏极，所述第二掺杂区位于所述第一晶体管与所述第二晶体管之间，作为所述第一晶体管的源极或者漏极中的另一者，且与所述第一晶体管对应的所述金属层分别与所述第一掺杂区、所述第二掺杂区电连接。

11. 根据权利要求 10 所述的半导体测试结构，其中，所述第一掺杂区对应的金属层与所述第二掺杂区对应的金属层相互分离，相邻的所述第一掺杂区对应的所述金属层相互分离。

12. 根据权利要求 10 所述的半导体测试结构，其中，与所述第二晶体管对应的所述金属层与所述第二栅极结构电连接。

13. 根据权利要求 12 所述的半导体测试结构，其中，相邻的两个所述第二栅极

结构对应的所述金属层相互分离。

14. 根据权利要求 13 所述的半导体测试结构，其中，所述第二晶体管包括：第三掺杂区，所述第三掺杂区位于相邻的所述第二栅极结构之间，作为相邻的两个所述第二晶体管的源极或者漏极，且所述第三掺杂区还作为所述第二晶体管的源极或者漏极中的另一者，与所述第二晶体管对应的所述金属层还与所述第三掺杂区电连接，且与所述第二栅极结构对应的所述金属层和与所述第三掺杂区对应的所述金属层相互分离。

15. 根据权利要求 12 所述的半导体测试结构，其中，相邻的两个第二晶体管组成一个第二晶体管组，所述第二晶体管组包括：第三掺杂区，所述第三掺杂区位于所述第二晶体管组中相邻的所述第二栅极结构之间，作为所述第二晶体管组中相邻的两个所述第二晶体管的源极或者漏极，且相邻的所述第二晶体管组中，相对设置的两个第二栅极结构所对应的金属层相连。

15

20

25

30

35

40

45