

半导体衬底、半导体器件及半导体衬底制造方法

本申请要求于 2014 年 01 月 07 日提交中国专利局、申请号为 201410006568.4、发明名称为“半导体衬底、半导体器件及半导体衬底制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

5

技术领域

本发明涉及微电子技术领域，特别是涉及一种半导体衬底、半导体器件及半导体衬底制造方法。

10 背景技术

以氮化镓为代表的 III 族氮化物越来越受到人们的重视，因为 III 族氮化物可以广泛用作半导体照明的发光二极管(LED)和高功率电子器件。由于本征衬底的缺乏，氮化镓器件普遍制备在异质衬底上，比如蓝宝石、碳化硅和硅。硅衬底由于其广泛的应用性，它的尺寸和质量都是在上述几种衬底材料当中最好的。目前互补金属氧化物半导体(CMOS)的主流技术就是基于 12 寸的硅基板，而且硅的价格也是其他几种材料不能比拟的。所以，在大尺寸硅衬底上制备氮化镓材料，是降低氮化镓基器件成本的最佳办法。

但是，由于氮化镓和硅之间存在巨大的晶格失配和热失配，在制备和冷却的过程中会引入大量的应力。这个应力会造成外延片的翘曲和外延膜的龟裂，另外对硅衬底本身也有很大的伤害。由于硅衬底中残余的应力，在工艺过程中硅上的氮化镓外延片会发生破碎，造成巨大的损失。为了避免这种情况，通常的办法是采用厚的硅基板，但是工艺线对衬底的厚度都存在一个上限。当硅衬底的厚度超过一定临界值之后，工艺设备无法处理，比如光刻机无法聚焦对准，工艺无法实现。

因此，针对上述技术问题及改进方法，有必要提供一种半导体衬底、半导体器件及半导体衬底制造方法。

发明内容

为了解决上述问题，本发明提出了一个复合衬底结构的概念。通常来说，由于对称性的原因，氮化镓外延片最好都是在 Si(111)衬底上制备，使得制备的外延膜具有较好的晶体质量、电学性质和光学性质。氮化镓的晶格结构具有六角对称的特点，在应力释放的时候也遵循同样的关系。而 Si(111)的解离面也有三角对称的特点，硅衬底在因受到应力而损伤的时候则是三角对称。由于对称的匹配关系，在 Si(111)上制备的氮化镓晶体质量最好，但是相应的，在受到应力的时候也是最容易破碎的。为了避免这种情况，本发明提出了利用硅非对称复合衬底来制备氮化镓外延层。

硅半导体内的应力是随着同一晶向的硅的厚度增加而不断累积的，而当同一晶向的硅的表面处与另一晶向的硅相接触时，应力会减少而不会累积。本发明通过引入两层或多层不同晶向的 Si(111)，使相互接触的 Si(111)半导体层的解离面不重合，从而降低应力通过硅衬底的损伤，防止硅衬底龟裂引起的氮化镓半导体层的破裂，达到提高氮化镓半导体层坚固性和可靠性的目的。

上述复合衬底也可以通过将两种不同晶向的硅半导体层结合形成，如将 Si(111)半导体层和 Si(100)半导体层结合形成复合衬底结构。通过控制硅片键合时的角度，可以使得 Si(111)半导体层和 Si(100)半导体层的解离面不重合，所以氮化镓外延层产生的缺陷传递到其中一个硅半导体层上时将会大大减少，从而避免延续到另一种硅半导体层，减少了氮化镓外延层的应力导致的衬底破碎的几率，增强了衬底的坚固性和可靠性。

上述复合型衬底的制造可以用晶片键合的方法完成，例如可以把两片较薄衬底按照不同的晶向错开一定角度进行键合生成复合衬底。

为了实现上述目的，本发明实施例提供的技术方案如下：

一种半导体衬底，所述半导体衬底包括第一半导体层以及位于所述第一半导体层上的第二半导体层，其中，所述第一半导体层和所述第二半导体层在垂直方向上具有不同的解离面，所述第一半导体层按所述第一半导体层的晶格对称性旋转后得到的半导体层与所述第二半导体层在垂直方向上具有不同的解离面，所述第一半导体层与所述第二半导体层按所述第二半导体层的晶格对称性旋转后得到的半导体层在垂直方向上具有不同的解离面，或者所述第一半

-3-

导体层按所述第一半导体层的晶格对称性旋转后得到的半导体层与所述第二半导体层按所述第二半导体层的晶格对称性旋转后得到的半导体层在垂直方向上具有不同的解离面。

5 作为本发明的进一步改进,所述第一半导体层和所述第二半导体层的材料相同或不同。

作为本发明的进一步改进,所述第一半导体层和所述第二半导体层具有相同的晶格结构,所述第一半导体层和所述第二半导体层在垂直方向上具有相同的晶向、在水平方向上的晶向不重合。

10 作为本发明的进一步改进,所述第一半导体层和所述第二半导体层的晶体结构不同,所述第一半导体层和所述第二半导体层在水平方向的晶向不重合。

作为本发明的进一步改进,所述第一半导体层的材料形态包括晶态、非晶态和无定形态的一种或多种的组合。

15 作为本发明的进一步改进,所述第一半导体层的材料为无定形态材料,所述无定形态材料包括非半导体材料,所述非半导体材料包括氮化铝、多晶碳化硅、陶瓷和石英。

作为本发明的进一步改进,所述第一半导体层为无定形态材料,第一半导体层和第二半导体层的键合方向不受限制。

作为本发明的进一步改进,所述第二半导体层为晶体层。

20 作为本发明的进一步改进,所述第一半导体层和第二半导体层依次交替形成三层或三层以上的层叠结构。

作为本发明的进一步改进,所述层叠结构包括位于第一半导体层和所述第二半导体层之间的介质层。

作为本发明的进一步改进,所述介质层与其相邻的所述第一半导体层在垂直方向上具有相同的晶向、在水平方向上晶向不重合;

25 和/或,

所述介质层与其相邻的所述第二半导体层在垂直方向上具有相同的晶向、在水平方向上晶向不重合。

作为本发明的进一步改进,所述介质层与相邻的所述第一半导体层的晶体

-4-

结构不同，且在水平方向上晶向不重合；

和/或，

所述介质层与相邻的所述第二半导体层的晶体结构不同，且在水平方向上晶向不重合。

- 5 相应地，一种半导体器件，所述半导体器件包括半导体衬底以及位于所述半导体衬底上的半导体外延层，所述半导体衬底为上述任一实施方式所述的半导体衬底。

作为本发明的进一步改进，所述半导体外延层包括硅、砷化镓、氮化镓、铝镓氮、铟镓氮、铝镓铟氮中的一种或多种的组合。

- 10 作为本发明的进一步改进，所述半导体器件包括发光二极管、激光二极管、高电子迁移率晶体管、场效应晶体管、肖特基二极管、PIN 二极管和太阳能电池。

相应地，一种半导体衬底的制造方法，所述方法包括：

S1、提供第一半导体层；

- 15 S2、在所述第一半导体层上制备第二半导体层；其中，所述第一半导体层和所述第二半导体层在垂直方向上具有不同的解离面，所述第一半导体层按所述第一半导体层的晶格对称性旋转后得到的半导体层与所述第二半导体层在垂直方向上具有不同的解离面，所述第一半导体层与所述第二半导体层按所述第二半导体层的晶格对称性旋转后得到的半导体层在垂直方向上具有不同的解离面，或者所述第一半导体层按所述第一半导体层的晶格对称性旋转后得到的半导体层与所述第二半导体层按所述第二半导体层的晶格对称性旋转后得到的半导体层在垂直方向上具有不同的解离面。
- 20

作为本发明的进一步改进，所述步骤 S2 后还包括：

在所述第二半导体层上制备半导体外延层。

- 25 作为本发明的进一步改进，所述第一半导体层和所述第二半导体层的制备方法包括直拉法、区熔法、物理气相沉积和化学气相沉积中的一种或多种的组合。

作为本发明的进一步改进，所述步骤 S2 中在所述第一半导体层上制备第

-5-

二半导体层的方法包括晶片键合。

作为本发明的进一步改进,所述半导体外延层的制备方法包括金属有机物化学气相沉积、分子束外延和氢化物气相外延中的一种或多种的组合。

作为本发明的进一步改进,所述步骤 S2 后还包括:

5 在所述第二半导体层上制备所述第一半导体层,以形成三层结构的层叠结构;

或者,在所述第二半导体层上依次交替制备所述第一半导体层和所述第二半导体层,以形成三层以上结构的层叠结构。

作为本发明的进一步改进,所述方法还包括:

10 在所述第一半导体层和所述第二半导体层之间生长介质层。

作为本发明的进一步改进,介质层通过沉积、热氧化或者氮化的方法制成,所述沉积的方法包括 CVD、PECVD、LPCVD、RTCVD、MOCVD、MBE、ALD 中的一种或多种的组合。

15 本发明提供的半导体衬底、半导体器件及半导体衬底制造方法使得半导体衬底具有特殊的晶格结构和力学结构,将半导体衬底设为复合型衬底结构,同样衬底厚度的条件下,可以减少半导体外延层施加的应力对硅衬底产生的损害,从而减少硅衬底破碎的几率;同时可以减小工艺难度,增强半导体器件的可靠性。

20 附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明中记载的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

25 图 1 为本发明中涉及到的硅各个晶向的示意图;

图 2 为本发明第一实施方式中上层 Si(111)的<-211>方向和下层 Si(111)的<1-10>方向平行的半导体衬底结构图;

图 3 为本发明第二实施方式中上层的 Si(111)的<-211>方向和下层 Si(111)

-6-

的<-101>方向平行的半导体衬底结构图；

图 4(a)为本发明第三实施方式中上层的 Si(111)的<-211>方向和下层 Si(111)的<-211>方向存在一个偏角的半导体衬底结构图，图 4(b)和图 4(c)分别为上层 Si(111)和下层 Si(111)的俯视图；

5 图 5(a)为本发明第四实施方式中上层的 Si(111)的<-211>方向和下层 Si(100)的<-110>方向存在一个偏角的半导体衬底结构图，图 5(b)和图 5(c)分别为上层 Si(111)和下层 Si(100)的俯视图；

图 6 为本发明第五实施方式中具有 Si(111)层和 Si(100)层交替复合衬底结构的半导体衬底结构图；

10 图 7 为本发明第六实施方式中具有 Si(110)层和 Si(100)层交替复合衬底结构的半导体衬底结构图；

图 8 为本发明第七实施方式中具有 Si(111)层和 Si(110)层交替复合衬底结构的半导体衬底结构图。

15 具体实施方式

以下将结合附图所示的具体实施方式对本发明进行详细描述。但这些实施方式并不限制本发明，本领域的普通技术人员根据这些实施方式所做出的结构、方法、或功能上的变换均包含在本发明的保护范围内。

此外，在不同的实施例中可能使用重复的标号或标示。这些重复仅为了简单清楚地叙述本发明，不代表所讨论的不同实施例及/或结构之间具有任何关
20 联性。

图 1 所示为本发明中涉及到的硅各个晶向的示意图，以下结合图 1 针对不同的实施方式对本发明作进一步说明。

图 2 为本发明第一实施方式中半导体衬底的结构示意图，即上层 Si(111)的<-211>方向和下层 Si(111)的<-10>方向平行的半导体衬底结构图。本实施方式中，半导体衬底 1 包括：第一半导体层 11；位于第一半导体层 11 上的第二半导体层 12，第二半导体层 12 可以用来制备半导体外延层 2。其中，第一半导体层 11 和第二半导体层 12 在垂直方向上具有不同的解离面。
25

优选地，第一半导体层 11 可以是半导体材料、无定形材料和晶体中的一

种或多种的组合, 第一半导体层 11 选用的半导体材料包括 Si、GaN、AlN、SiC、GaAs、InP、金刚石中的一种或多种, 无定形材料包括氮化铝、陶瓷和石英等, 当第一半导体层 11 为无定形材料时, 第一半导体层 11 和第二半导体层 12 的键合方向不受限制。

- 5 第一半导体层 12 可以是晶体层, 第一半导体层 12 选用的半导体材料包括 Si、GaN、AlN、SiC、GaAs、InP、金刚石中的一种或多种, 第一半导体层 11 和第二半导体层 12 的材料可以相同或不同, 但是采用不同的晶向。如第一半导体层和第二半导体层具有相同的晶格结构, 第一半导体层和第二半导体层在垂直方向上具有相同的晶向、在水平方向上的晶向不重合; 或者第一半导体层
- 10 和第二半导体层的晶体结构不同, 第一半导体层和第二半导体层在水平方向的晶向不重合。

本实施方式中, 第一半导体层 11 和第二半导体层 12 可以具有相同的晶格结构 Si(111), 在垂直方向上具有相同的晶向, 但是在水平方向上的晶体对称性不同。

- 15 上述半导体外延层 2 可以包括硅、砷化镓、氮化镓、铝镓氮、铟镓氮、铝镓铟氮中的一种或多种的组合。半导体外延层为氮化物时, 可以用于制作多种器件结构, 包括发光二极管(LED)、激光二极管、高电子迁移率晶体管(HEMT)、场效应晶体管(FET)、肖特基二极管、PIN 二极管和太阳能电池等。

本实施方式中, 同时提供了上述半导体衬底 1 的制造方法, 包括以下步骤:

- 20 S1、提供第一半导体层 11;

S2、在所述第一半导体层 11 上制备第二半导体层 12, 第一半导体层 11 和第二半导体层 12 在垂直方向上具有不同的解离面。

进一步地, 步骤 S2 后还包括: 在第二半导体层 12 上制备半导体外延层 2。

- 25 作为本发明的一个实施例, 为了使得制造出的半导体衬底包括三层半导体层组成的层叠结构, 在上述所述的步骤 S12 之后, 还可以包括:

在所述第二半导体层 12 上还可以制备第一半导体层 13 以形成三层结构的层叠结构。需要说明的是, 在本发明实施例中, 形成的第一半导体层 13 与第一半导体层 11 具有相同的晶格结构, 两者在垂直方向上具有相同的晶向, 在水平方向上的晶向可以重合也可以不重合。

进一步地,作为本发明的另一实施例,为了使得制造出的半导体衬底包括三层以上半导体层组成的层叠结构,在上述所述的步骤 S12 之后,还可以包括:

在所述第二半导体层 12 上还可以依次交替制备第一半导体层 13 和第二半导体层,以形成三层以上结构的层叠结构。

5 本实施方式中第一半导体层 11 和第二半导体层 12 都包括 Si(111)半导体层,其中,第二半导体层 12 即上层 Si(111)半导体层的<-211>方向和第一半导体层 11 即下层 Si(111)半导体层的<1-10>方向相互平行。当然在其他实施方式中第二半导体层 12 的<-211>方向和第一半导体层 11 的<1-10>方向之间可以设有夹角,如夹角可以是 10°、20° 或 30° 等;第一半导体层 11 和第二半导体层 12 可以交替层叠形成复合结构,这样使得上层 Si(111)半导体层和下层 Si(111)半导体层的解离面相互错开,与单一硅半导体层相比,这种方法可以在上层 Si(111)半导体层和下层 Si(111)半导体层界面处减小应力的累积,可以避免由于硅半导体层局部的应力累积到整个硅半导体层,导致整个硅衬底发生龟裂。

15 图 3 为本发明第二实施方式中半导体衬底的结构示意图,即上层的 Si(111)的<-211>方向和下层 Si(111)的<-101>方向平行的半导体衬底结构图。本实施方式中,半导体衬底 1 包括:第一半导体层 11;位于第一半导体层 11 上的第二半导体层 12,第二半导体层 12 可以用来制备半导体外延层 2。

20 第一半导体层 11 包括下层 Si(111)半导体层,第二半导体层 12 包括上层的 Si(111)半导体层,且上层 Si(111)半导体层的<-211>方向和下层 Si(111)层的<-101>方向相互平行。优选地,第一半导体层 11 和第二半导体层 12 可以交替层叠形成复合结构。这样可以保证上层 Si(111)半导体层和下层 Si(111)半导体层具有的解离面不在同一个方向上,从而避免了应力的累积导致的硅衬底的龟裂,可以大大提高硅衬底的可靠性。

25 图 4(a)、图 4(b)和图 4(c)为本发明第三实施方式中半导体衬底的结构示意图,即上层的 Si(111)的<-211>方向和下层 Si(111)的<-211>方向存在一个偏角的半导体衬底结构图。其中,图 4(a)为该结构的剖面示意图,图 4(b)和图 4(c)分别为上层 Si(111)和下层 Si(111)的俯视图。本实施方式中,半导体衬底 1 包括:第一半导体层 11;位于第一半导体层 11 上的第二半导体层 12,第二半导体层 12 可以用来制备半导体外延层 2。

第一半导体层 11 包括下层 Si(111)半导体层, 第二半导体层 12 包括上层的 Si(111)半导体层, 且上层 Si(111)半导体层的<-211>方向和下层 Si(111)层的<-211>方向存在一个偏角, 该偏角的大小不等于 60° 或者 60° 的整数倍。优选地, 第一半导体层 11 和第二半导体层 12 可以交替层叠形成复合结构。这样可以保证上层 Si(111)半导体层和下层 Si(111)半导体层具有的解离面不在同一个方向上, 从而避免了应力的累积导致的硅衬底的龟裂, 可以大大提高硅衬底的可靠性。

图 5(a)、图 5(b)和图 5(c)为本发明第四实施方式中半导体衬底的结构示意图, 即上层的 Si(111)的<-211>方向和下层 Si(100)的<-110>方向存在一个偏角的半导体衬底结构图。其中, 图 5(a)为该结构的剖面示意图, 图 5(b)和图 5(c)分别为上层 Si(111)和下层 Si(100)的俯视图。半导体衬底 1 包括: 第一半导体层 11; 位于第一半导体层 11 上的第二半导体层 12, 第二半导体层 12 可以用来制备半导体外延层 2。本实施方式中, 第一半导体层 11 和第二半导体层 12 的晶体结构不同, 第一半导体层 11 和第二半导体层 12 在水平方向的晶向不重合。

第一半导体层 11 包括下层 Si(100)半导体层, 第二半导体层 12 包括上层的 Si(111)半导体层, 且上层 Si(111)半导体层的<-211>方向和下层 Si(100)层的<-110>方向存在一个偏角, 该偏角的大小不等于 90° 或者 90° 的整数倍。优选地, 第一半导体层和第二半导体层可以交替层叠形成复合结构。这样可以保证上层 Si(111)半导体层和下层 Si(100)半导体层具有的解离面不在同一个方向上, 从而避免了应力的累积导致的硅衬底的龟裂, 可以大大提高硅衬底的可靠性。

需要说明的是, 本实施方式中, 半导体衬底 1 可以由三层或三层以上的半导体层层叠形成, 半导体衬底 1 上制备有半导体外延层 2。其中, 半导体层包括第一半导体层 11 和第二半导体层 12。需要说明的是, 当半导体衬底包括两层以上的第一半导体层时, 该多个第一半导体层均具有相同的晶格结构, 并且该多个第一半导体层在垂直方向上具有相同的晶向, 在水平方向上的晶向可以重合也可以不重合。同样, 当半导体衬底包括两层以上的第二半导体层时, 该多个第二半导体层均具有相同的晶格结构, 并且该多个第二半导体层在垂直方

向上具有相同的晶向，在水平方向上的晶向可以重合也可以不重合。

图 6 为本发明第五实施方式中半导体衬底的结构示意图。作为示例，图 6 所示的复合衬底包括三层半导体层，从下向上依次分别为第一半导体层 11、第二半导体层 12 以及第一半导体层 13。其中，第一半导体层 11 和第二半导体层 12 具有相同的晶格结构，并且两者在垂直方向上具有相同的晶向，在水平方向上的晶向可以重合也可以不重合。

第一半导体层和第二半导体层依次交替形成三层半导体层组成的层叠结构。在本发明实施例中，第一半导体层 11 包括下层 Si(111)半导体层，第二半导体层 12 包括上层的 Si(100)半导体层。

需要说明的是，由第一半导体层 11 和第二半导体层 12 依次交替层叠形成的半导体衬底不限于图 6 所示的三层结构，实际上，作为本发明实施例的扩展，由第一半导体层 11 和第二半导体层 12 交替层叠还可以形成三层以上的层叠结构。

当第一半导体层 11 为 Si (111)，第二半导体层 12 为 Si (100) 时，在本发明实施例中，由第一半导体层 11 和第二半导体层 12 依次交替层叠就可以形成 Si(111)、Si(100)、Si(111)和 Si(100)的复合衬底结构。这种方法同样可以保证各个硅半导体层具有的解离面不在同一个方向上，从而避免了应力的累积导致的硅衬底的龟裂，可以大大提高硅衬底的可靠性。

进一步地，由第一半导体层 11 和第二半导体层 12 依次交替形成三层或三层以上的层叠结构还可以包括位于第一半导体层 11 和第二半导体层 12 之间的介质层（图 6 中未示出），介质层材料包括 SiO₂、SiN、AlN 等。

所述介质层与其相邻的所述第一半导体层 11 在垂直方向上具有相同的晶向、在水平方向上晶向不重合；和/或，所述介质层与其相邻的所述第二半导体层 12 在垂直方向上具有相同的晶向、在水平方向上晶向不重合。

一方面，介质层的材料也可以是无定形态，作为衬底材料的缓冲层，减少应力的累积；另一方面，介质层的材料具有较高的介电常数（如 SiO₂ 介电常数为 3.9，SiN 介电常数为 7.0，AlN 介电常数为 8.5）和临界击穿电场，在保证衬底承受足够的击穿电压的前提下，可以拥有足够厚度的介质材料，可以保证介质材料的质量，增大衬底材料的坚固性和可靠性。

图 7 为本发明第六实施方式中半导体衬底的结构示意图,该半导体衬底为由 Si(110)层和 Si(100)层交替层叠形成的复合衬底。本实施方式中,半导体衬底 1 也可以由三层或三层以上的半导体层交替层叠形成,半导体衬底 1 上制备有半导体外延层 2。其中,半导体层包括第一半导体层 11 和第二半导体层 12。

5 作为示例,图 7 所示的复合衬底包括三层半导体层,从下向上依次分别为第一半导体层 11、第二半导体层 12 以及第一半导体层 13。第一半导体层 11 和第二半导体层具有相同的晶格结构,并且两者在垂直方向上具有相同的晶向,在水平方向上的晶向可以重合也可以不重合。在本发明实施例中,其中,第一半导体层 11 包括下层 Si(110)半导体层,第二半导体层 12 包括上层的
10 Si(100)半导体层。

在本发明实施例中,当第一半导体层 11 和第二半导体层 12 依次交替层叠就可以形成 Si(110)、Si(100)、Si(110)和 Si(100)的复合衬底结构。该复合衬底结构可以包括三层或三层以上的层叠结构。这种方法同样可以保证各个硅半导体层具有的解离面不在同一个方向上,从而避免了应力的累积导致的硅衬底的
15 龟裂,可以大大提高硅衬底的可靠性。

进一步地,层叠结构还包括位于第一半导体层 11 和第二半导体层 12 之间的介质层(图 7 中未示出),介质层材料包括 SiO₂、SiN、AlN 等。介质层与相邻的第一半导体层 11 和/或第二半导体层 12 在垂直方向上具有相同的晶向、在水平方向上晶向不重合;或者介质层与相邻的第一半导体层 11 和/或第二
20 半导体层 12 的晶体结构不同,且在水平方向上晶向不重合。一方面,介质层可以作为衬底材料的缓冲层,减少应力的累积;另一方面,介质层具有较高的介电常数(如 SiO₂ 介电常数为 3.9, SiN 介电常数为 7.0, AlN 介电常数为 8.5),在保证衬底承受足够的击穿电压的前提下,可以拥有足够厚度的介质材料,可以保证介质层的质量,增大衬底的坚固性和可靠性。

25 图 8 为本发明第七实施方式中半导体衬底的结构示意图,该半导体衬底为由有 Si(111)层和 Si(110)层交替形成的复合衬底。本实施方式中,半导体衬底 1 可以由三层或三层以上的半导体层交替层叠形成,半导体衬底 1 上制备有半导体外延层 2。其中,半导体层包括第一半导体层 11 和第二半导体层 12。

图 8 所示的复合衬底包括三层半导体层,从下向上依次分别为第一半导体

层 11、第二半导体层 12 以及第一半导体层 13。第一半导体层 11 和第二半导体层具有相同的晶格结构，并且两者在垂直方向上具有相同的晶向，在水平方向上的晶向可以重合也可以不重合。其中，第一半导体层和第二半导体层依次交替形成三层或三层以上的层叠结构。在本发明实施例中，第一半导体层 11 包括下层 Si(111)半导体层，第二半导体层 12 包括上层的 Si(110)半导体层。两种半导体层层叠形成 Si(111)、Si(110)、Si(111)和 Si(110)的复合衬底结构。这种方法同样可以保证各个硅半导体层具有的解离面不在同一个方向上，从而避免了应力的累积导致的硅衬底的龟裂，可以大大提高硅衬底的可靠性。

进一步地，层叠结构还包括位于第一半导体层和第二半导体层之间的介质层，介质层材料包括 SiO₂、SiN、AlN 等。介质层与相邻的第一半导体层和/或第二半导体层在垂直方向上具有相同的晶向、在水平方向上晶向不重合；或者介质层与相邻的第一半导体层和/或第二半导体层的晶体结构不同，且在水平方向上晶向不重合。一方面，介质层的材料也可以是无定形态，作为衬底的缓冲层，减少应力的累积；另一方面，介质层材料具有较高的介电常数（如 SiO₂ 介电常数为 3.9，SiN 介电常数为 7.0，AlN 介电常数为 8.5）和临界击穿电场，在保证衬底承受足够的击穿电压的前提下，可以拥有足够厚度的介质层，可以保证介质层的质量，增大衬底的坚固性和可靠性。

综上所述，只要衬底中的第一半导体层和第二半导体层或者各自按其晶格对称性旋转后在垂直方向上具有不同的解离面，均可以在第一半导体层和第二半导体层界面处减小应力的累积，可以避免由于第二半导体层局部的应力累积到整个半导体层，导致整个衬底发生龟裂。具体地说，其中，所述第一半导体层和所述第二半导体层在垂直方向上具有不同的解离面，所述第一半导体层按所述第一半导体层的晶格对称性旋转后得到的半导体层与所述第二半导体层在垂直方向上具有不同的解离面，所述第一半导体层与所述第二半导体层按所述第二半导体层的晶格对称性旋转后得到的半导体层在垂直方向上具有不同的解离面，或者所述第一半导体层按所述第一半导体层的晶格对称性旋转后得到的半导体层与所述第二半导体层按所述第二半导体层的晶格对称性旋转后得到的半导体层在垂直方向上具有不同的解离面。

由以上技术方案可以看出，本发明提供的半导体衬底、半导体器件及半导

体衬底制造方法使得半导体衬底具有特殊的晶格结构和力学结构,将半导体衬底设为复合型衬底结构,同样衬底厚度的条件下,可以减少半导体外延层施加的应力对硅衬底产生的损害,从而减少硅衬底破碎的几率;同时可以减小工艺难度,增强半导体器件的可靠性。

- 5 对于本领域技术人员而言,显然本发明不限于上述示范性实施例的细节,而且在不背离本发明的精神或基本特征的情况下,能够以其他的具体形式实现本发明。因此,无论从哪一点来看,均应将实施例看作是示范性的,而且是非限制性的,本发明的范围由所附权利要求而不是上述说明限定,因此旨在将落在权利要求的等同要件的含义和范围内的所有变化囊括在本发明内。不应将权利要求中的任何附图标记视为限制所涉及的权利要求。
- 10

此外,应当理解,虽然本说明书按照实施方式加以描述,但并非每个实施方式仅包含一个独立的技术方案,说明书的这种叙述方式仅仅是为清楚起见,本领域技术人员应当将说明书作为一个整体,各实施例中的技术方案也可以经适当组合,形成本领域技术人员可以理解的其他实施方式。

权 利 要 求

1、一种半导体衬底，其特征在于，所述半导体衬底包括第一半导体层以及位于所述第一半导体层上的第二半导体层；其中，所述第一半导体层和所述第二半导体层在垂直方向上具有不同的解离面，所述第一半导体层按所述第一半导体层的晶格对称性旋转后得到的半导体层与所述第二半导体层在垂直方向上具有不同的解离面，所述第一半导体层与所述第二半导体层按所述第二半导体层的晶格对称性旋转后得到的半导体层在垂直方向上具有不同的解离面，或者所述第一半导体层按所述第一半导体层的晶格对称性旋转后得到的半导体层与所述第二半导体层按所述第二半导体层的晶格对称性旋转后得到的半导体层在垂直方向上具有不同的解离面。

2、根据权利要求1所述的半导体衬底，其特征在于，所述第一半导体层和所述第二半导体层的材料相同或不同。

3、根据权利要求2所述的半导体衬底，其特征在于，所述第一半导体层和所述第二半导体层具有相同的晶格结构，所述第一半导体层和所述第二半导体层在垂直方向上具有相同的晶向、在水平方向上的晶向不重合。

4、根据权利要求2所述的半导体衬底，其特征在于，所述第一半导体层和所述第二半导体层的晶体结构不同，所述第一半导体层和所述第二半导体层在水平方向的晶向不重合。

5、根据权利要求1所述的半导体衬底，其特征在于，所述第一半导体层的材料形态包括晶态、非晶态和无定形态的一种或多种的组合。

6、根据权利要求5所述的半导体衬底，其特征在于，所述第一半导体层的材料为无定形态材料，所述无定形态材料包括非半导体材料，所述非半导体材料包括氮化铝、多晶碳化硅、陶瓷和石英。

7、根据权利要求5所述的半导体衬底，其特征在于，所述第一半导体层为无定形态材料，第一半导体层和第二半导体层的键合方向不受限制。

8、根据权利要求1所述的半导体衬底，其特征在于，所述第二半导体层为晶体层。

9、根据权利要求1所述的半导体衬底，其特征在于，所述第一半导体层和所述第二半导体层依次交替形成三层或三层以上的层叠结构。

10、根据权利要求9所述的半导体衬底，其特征在于，所述层叠结构包括位于所述第一半导体层和所述第二半导体层之间的介质层。

5 11、根据权利要求10所述的半导体衬底，其特征在于，所述介质层与其相邻的所述第一半导体层在垂直方向上具有相同的晶向、在水平方向上晶向不重合；

和/或，

10 所述介质层与其相邻的所述第二半导体层在垂直方向上具有相同的晶向、在水平方向上晶向不重合。

12、根据权利要求10所述的半导体衬底，其特征在于，所述介质层与相邻的所述第一半导体层的晶体结构不同，且在水平方向上晶向不重合；

和/或，

15 所述介质层与相邻的所述第二半导体层的晶体结构不同，且在水平方向上晶向不重合。

13、一种半导体器件，其特征在于，包括半导体衬底以及位于所述半导体衬底之上的半导体外延层，所述半导体衬底为权利要求1~12任一项所述的半导体衬底。

20 14、根据权利要求13所述的半导体器件，其特征在于，所述半导体外延层包括硅、砷化镓、氮化镓、铝镓氮、铟镓氮、铝镓铟氮中的一种或多种的组合。

15、根据权利要求13所述的半导体器件，其特征在于，所述半导体器件包括发光二极管、激光二极管、高电子迁移率晶体管、场效应晶体管、肖特基二极管、PIN二极管或太阳能电池。

25 16、一种半导体衬底的制造方法，其特征在于，所述方法包括：

S1、提供第一半导体层；

S2、在所述第一半导体层上制备第二半导体层，其中，所述第一半导体层和所述第二半导体层在垂直方向上具有不同的解离面，所述第一半导体层按所述第一半导体层的晶格对称性旋转后得到的半导体层与所述第二半导体层在垂直方向上具有不同的解离面，所述第一半导体层与所述第二半导体层按所述第二半导体层的晶格对称性旋转后得到的半导体层在垂直方向上具有不同的解离面，或者所述第一半导体层按所述第一半导体层的晶格对称性旋转后得到的半导体层与所述第二半导体层按所述第二半导体层的晶格对称性旋转后得到的半导体层在垂直方向上具有不同的解离面。

17、根据权利要求 16 所述的制造方法，其特征在于，所述步骤 S2 后还包括：

在所述第二半导体层上制备半导体外延层。

18、根据权利要求 16 所述的制造方法，其特征在于，所述第一半导体层和所述第二半导体层的制备方法包括直拉法、区熔法、物理气相沉积和化学气相沉积中的一种或多种的组合。

19、根据权利要求 16 所述的制造方法，其特征在于，所述步骤 S2 中在所述第一半导体层上制备第二半导体层的方法包括晶片键合。

20、根据权利要求 16 所述的制造方法，其特征在于，所述半导体外延层的制备方法包括金属有机物化学气相沉积、分子束外延和氢化物气相外延中的一种或多种的组合。

21、根据权利要求 16 所述的制造方法，其特征在于，所述步骤 S2 后还包括：

在所述第二半导体层上制备所述第一半导体层，以形成三层结构的层叠结构；

或者，在所述第二半导体层上依次交替制备所述第一半导体层和所述第二半导体层，以形成三层以上结构的层叠结构。

22、根据权利要求 21 所述的制造方法，其特征在于，所述方法还包括：

在所述第一半导体层和所述第二半导体层之间生长介质层。

-17-

23、根据权利要求 22 所述的制造方法，其特征在于，所述介质层通过沉积、热氧化或者氮化的方法制成，所述沉积的方法包括 CVD、PECVD、LPCVD、RTCVD、MOCVD、MBE、ALD 中的一种或多种的组合。