

明 細 書

発明の名称： プラズマ処理装置

技術分野

[0001] 本開示の例示的实施形態は、プラズマ処理装置に関する。

背景技術

[0002] 特許文献1には、上部電極に負極性の直流電圧を印加するための直流電源が開示されている。特許文献2には、基板支持部のバイアス電極に負極性の電圧パルスを印加するための電圧パルス生成器が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-5755号公報

特許文献2：米国特許出願公開第2022/37119号明細書

発明の概要

発明が解決しようとする課題

[0004] 本開示は、プラズマを安定化する技術を提供する。

課題を解決するための手段

[0005] 本開示の一つの例示的实施形態において、チャンバと、チャンバ内に配置され、少なくとも1つの下部電極を含む基板支持部と、基板支持部の上方に配置される上部電極と、少なくとも1つの下部電極のいずれか又は上部電極に電氣的に接続され、チャンバ内でプラズマを生成するためにRF信号を生成するように構成されるRF信号生成器と、少なくとも1つの下部電極のいずれかに電氣的に接続され、第1の電圧信号を生成するように構成される第1の電圧信号生成器であって、第1の電圧信号は、第1の電圧パルスのシーケンスを有する、第1の電圧信号生成器と、上部電極に電氣的に接続され、第2の電圧信号を生成するように構成される第2の電圧信号生成器と、キャパシタと、第1の電極及び第2の電極を含む整流素子であって、第1の電極は上部電極と第2の電圧信号生成器との間にあるノードに電氣的に接続され

、第2の電極は、キャパシタを介して接地電位に電氣的に接続される、整流素子と、を備えるプラズマ処理装置が提供される。

発明の効果

[0006] 本開示の一つの例示的实施形態によれば、プラズマを安定化する技術を提供することができる。

図面の簡単な説明

[0007] [図1]プラズマ処理システムの構成例を説明するための図である。

[図2]容量結合型のプラズマ処理装置の構成例を説明するための図である。

[図3]電源30とチャンバ10との結合例を示す図である。

[図4A]第1のDC信号及び第2のDC信号の電圧波形の一例を示すタイミングチャートである。

[図4B]第1のDC信号及び第2のDC信号の電圧波形の一例を示すタイミングチャートである。

[図4C]第1のDC信号及び第2のDC信号の電圧波形の一例を示すタイミングチャートである。

[図4D]第1のDC信号及び第2のDC信号の電圧波形の一例を示すタイミングチャートである。

[図5]第1の実施形態にかかるプラズマ安定化回路の構成例を示す図である。

[図6A]第1のフィルタの一例を示す図である。

[図6B]第2のフィルタの一例を示す図である。

[図7A]ノードN1の他の配置例を示す図である。

[図7B]ノードN1の他の配置例を示す図である。

[図8A]プラズマ安定化回路70の作用を説明するための図である。

[図8B]プラズマ安定化回路70の作用を説明するための図である。

[図9A]第1の整流素子D1の整流作用を説明するための図である。

[図9B]第1の整流素子D1の整流作用を説明するための図である。

[図10]第2の実施形態にかかるプラズマ安定化回路の構成例を示す図である。

。

[図11]第2の整流素子の一例を示す図である。

[図12]第2の整流素子の一例を示す図である。

[図13]電源30とチャンバ10とその他の結合例を示す図である。

[図14]第3の実施形態にかかるプラズマ安定化回路の構成例を示す図である。

[図15A]第1の実施形態の変形例を示す図である。

[図15B]第2の実施形態の変形例を示す図である。

[図16]極性切替回路の一例を示す図である。

[図17]電源30とチャンバ10とその他の結合例を示す図である。

[図18]電源30とチャンバ10とその他の結合例を示す図である。

[図19]電源30とチャンバ10とその他の結合例を示す図である。

発明を実施するための形態

[0008] 以下、本開示の各実施形態について説明する。

[0009] 一つの例示的实施形態において、チャンバと、チャンバ内に配置され、少なくとも1つの下部電極を含む基板支持部と、基板支持部の上方に配置される上部電極と、少なくとも1つの下部電極のいずれか又は上部電極に電氣的に接続され、チャンバ内でプラズマを生成するためにRF信号を生成するように構成されるRF信号生成器と、少なくとも1つの下部電極のいずれかに電氣的に接続され、第1の電圧信号を生成するように構成される第1の電圧信号生成器であって、第1の電圧信号は、第1の電圧パルスのシーケンスを有する、第1の電圧信号生成器と、上部電極に電氣的に接続され、第2の電圧信号を生成するように構成される第2の電圧信号生成器と、キャパシタと、第1の電極及び第2の電極を含む整流素子であって、第1の電極は上部電極と第2の電圧信号生成器との間にあるノードに電氣的に接続され、第2の電極は、キャパシタを介して接地電位に電氣的に接続される、整流素子と、を備えるプラズマ処理装置が提供される。

[0010] 一つの例示的实施形態において、第2の電圧信号は、第2の電圧パルスのシーケンスを有する。

- [0011] 一つの例示的实施形態において、第2の電圧信号は、一定の電圧レベルを有する。
- [0012] 一つの例示的实施形態において、第2の電圧信号は、負極性を有し、第1の電極はカソード電極であり、第2の電極はアノード電極である。
- [0013] 一つの例示的实施形態において、第1の電圧パルスのシーケンスは、0.1 MHz ~ 2 MHz の範囲内にある第1のパルス周波数を有する。
- [0014] 一つの例示的实施形態において、第2の電圧パルスのシーケンスは、0.1 kHz ~ 50 kHz の範囲内にある第2のパルス周波数を有する。
- [0015] 一つの例示的实施形態において、上部電極と第2の電圧信号生成器との間の伝送ラインに設けられるフィルタ回路をさらに備える。
- [0016] 一つの例示的实施形態において、上部電極とノードとの間の伝送ラインに設けられるフィルタ回路をさらに備える。
- [0017] 一つの例示的实施形態において、ノードと第2の電圧信号生成器との間の伝送ラインに設けられるフィルタ回路をさらに備える。
- [0018] 一つの例示的实施形態において、上部電極とノードとの間の伝送ラインに設けられ、RF信号のRF周波数の帯域の信号をフィルタリングするように構成される第1のフィルタと、ノードと第2の電圧信号生成器との間の伝送ラインに設けられ、第1の電圧パルスのシーケンスのパルス周波数の帯域の信号をフィルタリングするように構成される第2のフィルタと、をさらに備える。
- [0019] 一つの例示的实施形態において、チャンバと、チャンバ内に配置され、少なくとも1つの下部電極を含む基板支持部と、基板支持部の上方に配置される上部電極と、少なくとも1つの下部電極のいずれか又は上部電極に電氣的に接続され、チャンバ内でプラズマを生成するためにRF信号を生成するように構成されるRF信号生成器と、少なくとも1つの下部電極のいずれかに電氣的に接続され、電圧信号を生成するように構成される電圧信号生成器であって、電圧信号は、電圧パルスのシーケンスを有する、電圧信号生成器と、上部電極に電氣的に接続されるインピーダンス固定回路と、キャパシタと

、第1の電極及び第2の電極を含む整流素子であって、第1の電極は上部電極とインピーダンス固定回路との間にあるノードに電氣的に接続され、第2の電極は、キャパシタを介して接地電位に電氣的に接続される、整流素子と、を備えるプラズマ処理装置が提供される。

[0020] 一つの例示的实施形態において、電圧パルスは、負極性を有し、第1の電極はカソード電極であり、第2の電極はアノード電極である。

[0021] 一つの例示的实施形態において、電圧パルスのシーケンスは、0.1 MHz ~ 2 MHz の範囲内にある第1のパルス周波数を有する。

[0022] 一つの例示的实施形態において、インピーダンス固定回路は、キャパシタ及びインダクタの少なくともいずれかを含む。

[0023] 一つの例示的实施形態において、チャンバと、チャンバ内に配置され、電極を含む基板支持部と、電極に電氣的に接続され、第1の電圧信号を生成するように構成される第1の電圧信号生成器であって、第1の電圧信号は、第1の電圧パルスのシーケンスを有する、第1の電圧信号生成器と、チャンバの一部を構成する、又は、チャンバ内に配置される、導電性部材と、キャパシタと、第1の電極及び第2の電極を含む整流素子であって、第1の電極は導電性部材に電氣的に接続され、第2の電極は、キャパシタを介して接地電位に電氣的に接続される、整流素子と、を備えるプラズマ処理装置が提供される。

[0024] 一つの例示的实施形態において、導電性部材と整流素子の第1の電極との間にあるノードに電氣的に接続され、第2の電圧信号を生成するように構成される第2の電圧信号生成器をさらに備える。

[0025] 一つの例示的实施形態において、導電性部材と整流素子の第1の電極との間にあるノードに電氣的に接続されるインピーダンス固定回路をさらに備える。

[0026] 一つの例示的实施形態において、インピーダンス固定回路は、キャパシタ及びインダクタの少なくともいずれかを含む。

[0027] 一つの例示的实施形態において、導電性部材は、(a) 基板支持部の上方

に配置される上部電極、(b) 基板支持部上の基板を囲むように基板支持部上に配置されるリングアセンブリ、(c) チャンバの内壁に沿って配置されるライナ、及び、(d) 基板支持部を囲むように配置されるバッフルプレート of のいずれかである。

[0028] 以下、図面を参照して、本開示の各実施形態について詳細に説明する。なお、各図面において同一または同様の要素には同一の符号を付し、重複する説明を省略する。特に断らない限り、図面に示す位置関係に基づいて上下左右等の位置関係を説明する。図面の寸法比率は実際の比率を示すものではなく、また、実際の比率は図示の比率に限られるものではない。

[0029] <プラズマ処理システムの構成例>

図1は、プラズマ処理システムの構成例を説明するための図である。一実施形態において、プラズマ処理システムは、プラズマ処理装置1及び制御部2を含む。プラズマ処理システムは、基板処理システムの一例であり、プラズマ処理装置1は、基板処理装置の一例である。プラズマ処理装置1は、プラズマ処理チャンバ10、基板支持部11及びプラズマ生成部12を含む。プラズマ処理チャンバ10は、プラズマ処理空間を有する。また、プラズマ処理チャンバ10は、少なくとも1つの処理ガスをプラズマ処理空間に供給するための少なくとも1つのガス供給口と、プラズマ処理空間からガスを排出するための少なくとも1つのガス排出口とを有する。ガス供給口は、後述するガス供給部20に接続され、ガス排出口は、後述する排気システム40に接続される。基板支持部11は、プラズマ処理空間内に配置され、基板を支持するための基板支持面を有する。

[0030] プラズマ生成部12は、プラズマ処理空間内に供給された少なくとも1つの処理ガスからプラズマを生成するように構成される。プラズマ処理空間において形成されるプラズマは、容量結合プラズマ(CCP; Capacitively Coupled Plasma)、誘導結合プラズマ(ICP; Inductively Coupled Plasma)、ECRプラズマ(Electron-Cyclotron-resonance plas

ma)、ヘリコン波励起プラズマ(HWP:Helicon Wave Plasma)、又は、表面波プラズマ(SWP:Surface Wave Plasma)等であってもよい。また、AC(Alternating Current)プラズマ生成部及びDC(Direct Current)プラズマ生成部を含む、種々のタイプのプラズマ生成部が用いられてもよい。一実施形態において、ACプラズマ生成部で用いられるAC信号(AC電力)は、100kHz~10GHzの範囲内の周波数を有する。従って、AC信号は、RF(Radio Frequency)信号及びマイクロ波信号を含む。一実施形態において、RF信号は、100kHz~150MHzの範囲内の周波数を有する。

[0031] 制御部2は、本開示において述べられる種々の工程をプラズマ処理装置1に実行させるコンピュータ実行可能な命令を処理する。制御部2は、ここで述べられる種々の工程を実行するようにプラズマ処理装置1の各要素を制御するように構成され得る。一実施形態において、制御部2の一部又は全てがプラズマ処理装置1に含まれてもよい。制御部2は、処理部2a1、記憶部2a2及び通信インターフェース2a3を含んでもよい。制御部2は、例えばコンピュータ2aにより実現される。処理部2a1は、記憶部2a2からプログラムを読み出し、読み出されたプログラムを実行することにより種々の制御動作を行うように構成され得る。このプログラムは、予め記憶部2a2に格納されていてもよく、必要なときに、媒体を介して取得されてもよい。取得されたプログラムは、記憶部2a2に格納され、処理部2a1によって記憶部2a2から読み出されて実行される。媒体は、コンピュータ2aに読み取り可能な種々の記憶媒体であってもよく、通信インターフェース2a3に接続されている通信回線であってもよい。処理部2a1は、CPU(Central Processing Unit)であってもよい。記憶部2a2は、RAM(Random Access Memory)、ROM(Read Only Memory)、HDD(Hard Disk Drive)、SSD(Solid State Drive)、又はこれら

の組み合わせを含んでもよい。通信インターフェース2a3は、LAN（Local Area Network）等の通信回線を介してプラズマ処理装置1との間で通信してもよい。

[0032] 以下に、プラズマ処理装置1の一例としての容量結合型のプラズマ処理装置の構成例について説明する。図2は、容量結合型のプラズマ処理装置の構成例を説明するための図である。

[0033] 容量結合型のプラズマ処理装置1は、プラズマ処理チャンバ10、ガス供給部20、電源30及び排気システム40を含む。また、プラズマ処理装置1は、基板支持部11及びガス導入部を含む。ガス導入部は、少なくとも1つの処理ガスをプラズマ処理チャンバ10内に導入するように構成される。ガス導入部は、シャワーヘッド13を含む。基板支持部11は、プラズマ処理チャンバ10内に配置される。シャワーヘッド13は、基板支持部11の上方に配置される。一実施形態において、シャワーヘッド13は、プラズマ処理チャンバ10の天部（ceiling）の少なくとも一部を構成する。プラズマ処理チャンバ10は、シャワーヘッド13、プラズマ処理チャンバ10の側壁10a及び基板支持部11により規定されたプラズマ処理空間10sを有する。プラズマ処理チャンバ10は接地される。シャワーヘッド13及び基板支持部11は、プラズマ処理チャンバ10の筐体とは電氣的に絶縁される。

[0034] 基板支持部11は、本体部111及びリングアセンブリ112を含む。本体部111は、基板Wを支持するための中央領域111aと、リングアセンブリ112を支持するための環状領域111bとを有する。ウェハは基板Wの一例である。本体部111の環状領域111bは、平面視で本体部111の中央領域111aを囲んでいる。基板Wは、本体部111の中央領域111a上に配置され、リングアセンブリ112は、本体部111の中央領域111a上の基板Wを囲むように本体部111の環状領域111b上に配置される。従って、中央領域111aは、基板Wを支持するための基板支持面とも呼ばれ、環状領域111bは、リングアセンブリ112を支持するための

リング支持面とも呼ばれる。

- [0035] 一実施形態において、本体部 111 は、基台 1110 及び静電チャック 1111 を含む。基台 1110 は、導電性部材を含む。基台 1110 の導電性部材は下部電極として機能し得る。静電チャック 1111 は、基台 1110 の上に配置される。静電チャック 1111 は、セラミック部材 1111a とセラミック部材 1111a 内に配置される静電電極 1111b とを含む。セラミック部材 1111a は、中央領域 111a を有する。一実施形態において、セラミック部材 1111a は、環状領域 111b も有する。なお、環状静電チャックや環状絶縁部材のような、静電チャック 1111 を囲む他の部材が環状領域 111b を有してもよい。この場合、リングアセンブリ 112 は、環状静電チャック又は環状絶縁部材の上に配置されてもよく、静電チャック 1111 と環状絶縁部材の両方の上に配置されてもよい。また、後述する RF 電源 31 及び／又は DC 電源 32 に結合される少なくとも 1 つの RF / DC 電極がセラミック部材 1111a 内に配置されてもよい。この場合、少なくとも 1 つの RF / DC 電極が下部電極として機能する。後述するバイアス RF 信号及び／又は DC 信号が少なくとも 1 つの RF / DC 電極に供給される場合、RF / DC 電極はバイアス電極とも呼ばれる。なお、基台 1110 の導電性部材と少なくとも 1 つの RF / DC 電極とが複数の下部電極として機能してもよい。また、静電電極 1111b が下部電極として機能してもよい。従って、基板支持部 11 は、少なくとも 1 つの下部電極を含む。
- [0036] リングアセンブリ 112 は、1 又は複数の環状部材を含む。一実施形態において、1 又は複数の環状部材は、1 又は複数のエッジリングと少なくとも 1 つのカバーリングとを含む。エッジリングは、導電性材料又は絶縁材料で形成され、カバーリングは、絶縁材料で形成される。
- [0037] また、基板支持部 11 は、静電チャック 1111、リングアセンブリ 112 及び基板のうち少なくとも 1 つをターゲット温度に調節するように構成される温調モジュールを含んでもよい。温調モジュールは、ヒータ、伝熱媒体、流路 1110a、又はこれらの組み合わせを含んでもよい。流路 1110

a には、ブラインやガスのような伝熱流体が流れる。一実施形態において、流路 1 1 1 0 a が基台 1 1 1 0 内に形成され、1 又は複数のヒータが静電チャック 1 1 1 1 のセラミック部材 1 1 1 1 a 内に配置される。また、基板支持部 1 1 は、基板 W の裏面と中央領域 1 1 1 a との間の間隙に伝熱ガスを供給するように構成された伝熱ガス供給部を含んでもよい。

[0038] シャワーヘッド 1 3 は、ガス供給部 2 0 からの少なくとも 1 つの処理ガスをプラズマ処理空間 1 0 s 内に導入するように構成される。シャワーヘッド 1 3 は、少なくとも 1 つのガス供給口 1 3 a、少なくとも 1 つのガス拡散室 1 3 b、及び複数のガス導入口 1 3 c を有する。ガス供給口 1 3 a に供給された処理ガスは、ガス拡散室 1 3 b を通過して複数のガス導入口 1 3 c からプラズマ処理空間 1 0 s 内に導入される。また、シャワーヘッド 1 3 は、少なくとも 1 つの上部電極を含む。なお、ガス導入部は、シャワーヘッド 1 3 に加えて、側壁 1 0 a に形成された 1 又は複数の開口部に取り付けられる 1 又は複数のサイドガス注入部 (SGI: Side Gas Injector) を含んでもよい。

[0039] ガス供給部 2 0 は、少なくとも 1 つのガスソース 2 1 及び少なくとも 1 つの流量制御器 2 2 を含んでもよい。一実施形態において、ガス供給部 2 0 は、少なくとも 1 つの処理ガスを、それぞれに対応のガスソース 2 1 からそれぞれに対応の流量制御器 2 2 を介してシャワーヘッド 1 3 に供給するように構成される。各流量制御器 2 2 は、例えばマスフローコントローラ又は圧力制御式の流量制御器を含んでもよい。さらに、ガス供給部 2 0 は、少なくとも 1 つの処理ガスの流量を変調又はパルス化する少なくとも 1 つの流量変調デバイスを含んでもよい。

[0040] 電源 3 0 は、少なくとも 1 つのインピーダンス整合回路を介してプラズマ処理チャンバ 1 0 に結合される RF 電源 3 1 を含む。RF 電源 3 1 は、少なくとも 1 つの RF 信号 (RF 電力) を少なくとも 1 つの下部電極及び／又は少なくとも 1 つの上部電極に供給するように構成される。これにより、プラズマ処理空間 1 0 s に供給された少なくとも 1 つの処理ガスからプラズマが

形成される。従って、RF電源31は、プラズマ生成部12の少なくとも一部として機能し得る。また、バイアスRF信号を少なくとも1つの下部電極に供給することにより、基板Wにバイアス電位が発生し、形成されたプラズマ中のイオン成分を基板Wに引き込むことができる。

[0041] 一実施形態において、RF電源31は、第1のRF生成部31a及び第2のRF生成部31bを含む。第1のRF生成部31aは、少なくとも1つのインピーダンス整合回路を介して少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に結合され、プラズマ生成用のソースRF信号（ソースRF電力）を生成するように構成される。一実施形態において、ソースRF信号は、10MHz～150MHzの範囲内の周波数を有する。一実施形態において、第1のRF生成部31aは、異なる周波数を有する複数のソースRF信号を生成するように構成されてもよい。生成された1又は複数のソースRF信号は、少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に供給される。

[0042] 第2のRF生成部31bは、少なくとも1つのインピーダンス整合回路を介して少なくとも1つの下部電極に結合され、バイアスRF信号（バイアスRF電力）を生成するように構成される。バイアスRF信号の周波数は、ソースRF信号の周波数と同じであっても異なってもよい。一実施形態において、バイアスRF信号は、ソースRF信号の周波数よりも低い周波数を有する。一実施形態において、バイアスRF信号は、100kHz～60MHzの範囲内の周波数を有する。一実施形態において、第2のRF生成部31bは、異なる周波数を有する複数のバイアスRF信号を生成するように構成されてもよい。生成された1又は複数のバイアスRF信号は、少なくとも1つの下部電極に供給される。また、種々の実施形態において、ソースRF信号及びバイアスRF信号のうち少なくとも1つがパルス化されてもよい。

[0043] また、電源30は、プラズマ処理チャンバ10に結合されるDC電源32を含んでもよい。DC電源32は、第1のDC生成部32a及び第2のDC生成部32bを含む。一実施形態において、第1のDC生成部32aは、少

なくとも1つの下部電極に接続され、第1のDC信号を生成するように構成される。生成された第1のDC信号は、少なくとも1つの下部電極に印加される。一実施形態において、第2のDC生成部32bは、少なくとも1つの上部電極に接続され、第2のDC信号を生成するように構成される。生成された第2のDC信号は、少なくとも1つの上部電極に印加される。

[0044] 種々の実施形態において、第1及び第2のDC信号がパルス化されてもよい。この場合、電圧パルスのシーケンスが少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に印加される。電圧パルスは、矩形、台形、三角形又はこれらの組み合わせのパルス波形を有してもよい。一実施形態において、DC信号から電圧パルスのシーケンスを生成するための波形生成部が第1のDC生成部32aと少なくとも1つの下部電極との間に接続される。従って、第1のDC生成部32a及び波形生成部は、電圧パルス生成部を構成する。第2のDC生成部32b及び波形生成部が電圧パルス生成部を構成する場合、電圧パルス生成部は、少なくとも1つの上部電極に接続される。電圧パルスは、正の極性を有してもよく、負の極性を有してもよい。また、電圧パルスのシーケンスは、1周期内に1又は複数の正極性電圧パルスと1又は複数の負極性電圧パルスとを含んでもよい。なお、第1及び第2のDC生成部32a、32bは、RF電源31に加えて設けられてもよく、第1のDC生成部32aが第2のRF生成部31bに代えて設けられてもよい。

[0045] 排気システム40は、例えばプラズマ処理チャンバ10の底部に設けられたガス排出口10eに接続され得る。排気システム40は、圧力調整弁及び真空ポンプを含んでもよい。圧力調整弁によって、プラズマ処理空間10s内の圧力が調整される。真空ポンプは、ターボ分子ポンプ、ドライポンプ又はこれらの組み合わせを含んでもよい。

[0046] <電源30とプラズマ処理チャンバ10との結合例>

図3は、プラズマ処理装置1の電源30とプラズマ処理チャンバ10（以下「チャンバ10」ともいう。）との結合例を示す図である。

[0047] 一実施形態において、第1のRF生成部31aは、伝送ラインL2を介し

て、基板支持部 11 の下部電極に電氣的に接続される。なお、下部電極は基板支持部 11 に 1 つ設けられてよく、また複数設けられてもよい。下部電極が複数設けられる場合、第 1 の RF 生成部 31 a は、複数の下部電極のいずれか 1 つに電氣的に接続されてよい。伝送ライン L2 には、少なくとも 1 つのインピーダンス整合回路が設けられる。第 1 の RF 生成部 31 a は、プラズマ生成用のソース RF 信号を生成するように構成される。一実施形態において、ソース RF 信号は、10 MHz ~ 150 MHz の範囲内の周波数を有する。一実施形態において、第 1 の RF 生成部 31 a は、異なる周波数を有する複数のソース RF 信号を生成するように構成されてもよい。なお、一実施形態において、第 1 の RF 生成部 31 a は、少なくとも 1 つのインピーダンス整合回路を介して、上部電極に電氣的に接続されてもよい。この場合、下部電極は、基板支持部に 1 つのみ設けられてよい（すなわち下部電極は基板支持部に複数設けられなくてよい）。

[0048] 一実施形態において、第 1 の DC 生成部 32 a は、伝送ライン L3 を介して基板支持部 11 の下部電極に電氣的に接続される。下部電極が複数設けられる場合、第 1 の DC 生成部 32 a は、第 1 の RF 生成部 31 a と同じ下部電極に電氣的に接続されてよく、また第 1 の RF 生成部 31 a と異なる下部電極に電氣的に接続されてもよい。第 1 の DC 生成部 32 a は、第 1 の DC 信号を生成するように構成される。

[0049] 一実施形態において、第 1 の DC 信号はパルス化されてよい。例えば、第 1 の DC 生成部 32 a の出力側（下部電極側）に、第 1 の波形生成部が設けられてよい。第 1 の波形生成部は、第 1 の DC 信号から第 1 の電圧パルスのシーケンスを生成する。これにより、第 1 の電圧パルスのシーケンスを有する第 1 の電圧信号が下部電極に印加されてよい。第 1 の電圧パルスは、矩形、台形、三角形又はこれらの組み合わせのパルス波形を有してよい。なお、第 1 の波形生成部は、第 1 の DC 生成部 32 a 内に一体的に設けられてもよい。

[0050] 一実施形態において、第 1 の DC 信号はパルス化されなくてもよい。例え

ば、第1のDC信号は、一定の電圧レベルを有し、当該一定の電圧レベルを有する第1のDC信号が下部電極に印加されてもよい。

[0051] 一実施形態において、第2のDC生成部32bは、伝送ラインL1を介してシャワーヘッド13の上部電極に電氣的に接続される。第2のDC生成部32bは、第2のDC信号を生成するように構成される。第2のDC生成部32bと上部電極との間の伝送ラインL1には、電流の方向を制限する整流素子が設けられる。整流素子を含む伝送ラインL1の各構成については後述する。

[0052] 一実施形態において、第2のDC信号はパルス化されてよい。例えば、第2のDC生成部32bの出力側（上部電極側）の伝送ラインL1上に、第2の波形生成部が設けられてよい。第2の波形生成部は、第2のDC信号から第2の電圧パルスのシーケンスを生成する。これにより、第2の電圧パルスのシーケンスを有する第2のDC信号が上部電極に印加されてよい。第2の電圧パルスは、矩形、台形、三角形又はこれらの組み合わせのパルス波形を有してよい。なお、第2の波形生成部は、第2のDC生成部32b内に一体的に設けられてもよい。

[0053] 一実施形態において、第2のDC信号はパルス化されなくてもよい。例えば、第2のDC信号は、一定の電圧レベルを有し、当該一定の電圧レベルを有する第2のDC信号が上部電極に印加されてよい。

[0054] <第1のDC信号及び第2のDC信号の一例>

図4A～図4Dは、第1のDC信号及び第2のDC信号の電圧波形の一例を示すタイミングチャートである。一実施形態において、第1のDC信号及び第2のDC信号の電圧波形は、繰り返し期間Tで複数回繰り返されてよい（図4A～図4D参照）。一例では、第1のDC信号は、0.1kHz～50kHzの繰り返し周波数（ $1/T$ ）を有してよい。一例では、第2のDC信号は、0.1kHz～50kHzの繰り返し周波数（ $1/T$ ）を有してよい。第1のDC信号の繰り返し周波数と第2のDC信号の繰り返し周波数とは、同一であってよく、また異なってもよい。第1のDC信号と第2の

DC信号とは同期してよく（図4 A～図4 C参照）、また同期しなくてもよい。例えば、第1のDC信号と第2のDC信号とは、所与の値（一例では180度）位相がずれていてもよい。

[0055] 図4 Aは、第1のDC信号（DC1）及び第2のDC信号（DC2）がともにパルス化される例である。第1のDC信号及び第2のDC信号は、それぞれ、第1の波形生成部及び第2の波形生成部で生成されてよい。一実施形態において、第1のDC信号は、繰り返し期間T内の第1の期間T1の間に、第1の電圧レベルV11を有する第1の電圧パルスのシーケンスを有する。一例では、第1の電圧パルスのシーケンスは、0.1MHz～2MHzのパルス周波数を有してよい（以下、かかるパルス周波数の電圧パルスを「高速パルス」ともいう）。第1のDC信号は、繰り返し期間T内の第2の期間T2の間に基準電圧レベルV10を有する。基準電圧レベルV10の絶対値は、第1の電圧レベルV11の絶対値よりも小さい。一実施形態において、第1の電圧レベルV11は、負極性を有する。一実施形態において、基準電圧レベルV10は、ゼロ電圧レベルを有する。

[0056] 第2のDC信号（DC2）は、第1の期間T1の間に、第2の電圧レベルV21を有する第2の電圧パルスのシーケンスを有する。一例では、第2の電圧パルスのシーケンスは、0.1MHz～2MHzのパルス周波数を有してよい。第2の電圧パルスのシーケンスのパルス周波数は、第1の電圧パルスのシーケンスのパルス周波数と同一であってよく、また異なってもよい。また第2のDC信号は、第2の期間T2の間に基準電圧レベルV20を有する。基準電圧レベルV20は、第2の電圧レベルV21の絶対値よりも小さい。一実施形態において、第2の電圧レベルV21は、負極性を有する。一実施形態において、基準電圧レベルV20は、ゼロ電圧レベルを有する。

[0057] 図4 Bは、図4 Aに示す電圧波形の変形例である。第1のDC信号（DC1）及び第2のDC信号（DC2）は、それぞれ、第1の波形生成部及び第2の波形生成部で生成されてよい。第1のDC信号及び第2のDC信号はと

もにパルス化される。この例では、第1のDC信号は、繰り返し期間T内の第2の期間T2の間に第3の電圧レベルV12を有する第3の電圧パルスのシーケンスを有する。第3の電圧レベルV12の絶対値は、基準電圧レベルV10の絶対値よりも大きく、第1の電圧レベルV11の絶対値よりも小さい。第3の電圧パルスのシーケンスは、0.1MHz～2MHzのパルス周波数を有してよい。また第2のDC信号は、繰り返し期間T内の第2の期間T2の間に第4の電圧レベルV22を有する第4の電圧パルスのシーケンスを有する。第4の電圧レベルV22の絶対値は、基準電圧レベルV20の絶対値よりも大きく、第2の電圧レベルV21の絶対値よりも小さい。第4の電圧パルスのシーケンスは、0.1MHz～2MHzのパルス周波数を有してよい。その余の点は図4Aに示す例と同様である。なお、図4Bに示す例において、繰り返し期間Tは、さらに第3の期間T3を有してもよい。そして、第1のDC信号は、繰り返し期間T内の第3の期間T3の間に基準電圧レベルV10を有してよい。また第2のDC信号は、繰り返し期間T内の第3の期間T3の間に基準電圧レベルV20を有してよい。

[0058] 図4Cは、図4Aに示す電圧波形の変形例である。第1のDC信号(DC1)及び第2のDC信号(DC2)はともにパルス化される。第1のDC信号は、第1の波形生成部で生成されてよい。第2のDC信号は、第2の波形生成部(第2のDC生成部32bと一体的に構成される場合を含む)で生成されてよく、また第2のDC生成部32bで生成されてもよい。この例では、第2のDC信号は、繰り返し期間Tに第2の電圧パルスのシーケンスを有する。すなわち、この例における第2の電圧パルスのシーケンスは、第1の期間T1の間に第2の電圧レベルV21を有し、第2の期間T2の間に基準電圧レベルV20を有する。第2の電圧パルスのシーケンスのパルス周波数は、第1のDC信号の繰り返し周波数($1/T$)と同一であってよく、例えば、0.1kHz～50kHzであってよい(以下、かかるパルス周波数の電圧パルスを「低速パルス」ともいう)。その余の点は図4Aに示す例と同様であってよい。

[0059] 図4 Dは、図4 Aに示す電圧波形の変形例である。この例では、第1のDC信号(DC1)のみがパルス化され、第2のDC信号は、繰り返し期間T内の第1の期間T1及び第2の期間T2に一定の電圧レベル(第2の電圧レベルV21)を有する。第2のDC信号は、第2のDC生成部32bで生成されてよい。その余の点は図4 Aに示す例と同様であってよい。

[0060] <第1の実施形態>

下部電極に第1のDC信号が供給された直後(例えば、高速パルスの1〜3周期程度)において、上部電極に瞬間的に急激な電流(以下この電流を「過渡電流」ともいう)が流れる場合がある。過渡電流の大きさは、第1のDC信号(バイアス信号)の電圧レベルが大きくなると大きくなる傾向がある。過渡電流は、チャンバ内のプラズマの安定化に必要な電流と考えられ、電源30の回路構成等により、過渡電流が制限されると、プラズマが不安定化し得る。プラズマが不安定化すると、例えば、上部電極(例えば、シャワーヘッド13のガス導入口13c等)において異常放電等が生じ得る。第1の実施形態においては、以下に説明するプラズマ安定化回路を備えることにより、このようなプラズマの不安定化を抑制し得る。

[0061] 図5は、第1の実施形態にかかるプラズマ安定化回路の構成例を示す図である。第1の実施形態は、下部電極に負極性の第1のDC信号が供給される場合の構成例である。図5に示すように、チャンバ10(上部電極)と第2のDC生成部32bとの間の伝送ラインL1には、ノードN1が設けられる。ノードN1と接地電位との間の伝送ラインL12には、第1の整流素子D1及びプラズマ安定化回路70が設けられる。また伝送ラインL1には、チャンバ10(上部電極)から第2のDC生成部32bに向かって、第1のフィルタF1と第2のフィルタF2が設けられる。図5に示す例では、ノードN1は、第1のフィルタF1と第2のフィルタF2との間の伝送ラインL1上にある。また図5に示す例では、第1の整流素子D1は、ノードN1とプラズマ安定化回路70との間の伝送ラインL12に設けられる。なお、一実施形態において、第1の整流素子D1は、プラズマ安定化回路70と接地電

位との間の伝送ラインL 1 2に設けられてもよい。

- [0062] 一実施形態において、第2のDC生成部3 2 bは、負極性の第2のDC信号を生成する。第2のDC生成部3 2 bで生成される第2のDC信号は、図4 Cに示すような低速パルスを有してよい。また第2のDC生成部3 2 bで生成される第2のDC信号は、図4 Dに示すような一定の電圧レベルを有してもよい。第2の波形生成部は設けられなくてよい。一実施形態において、第2のDC生成部3 2 bは、正極性の第2のDC信号を生成してもよい。
- [0063] プラズマ安定化回路7 0は、キャパシタC 1を含む。キャパシタC 1の静電容量は、上部電極に瞬時に十分な電荷を供給するのに十分な大きさある。一例では、キャパシタC 1の静電容量は、1 0 n F ~ 1 0 0 n Fである。キャパシタC 1は、1つ又は複数のキャパシタから構成されてよい。
- [0064] 一実施形態において、プラズマ安定化回路7 0は、除電回路として抵抗Rを含んで構成されてよい。抵抗Rは、キャパシタC 1に対して並列に接続される。抵抗Rは、キャパシタC 1の電荷を1 ~ 1 0秒程度で除去するように構成されてよい。なお、除電回路として、抵抗Rに代えて又は加えて、インダクタが用いられてもよい。また第1の整流素子D 1がプラズマ安定化回路7 0と接地電位との間の伝送ラインL 1 2に設けられる場合、抵抗Rは、キャパシタC 1と第1の整流素子D 1との間の、伝送ラインL 1 2のノードに接続されてよい。
- [0065] プラズマ安定化回路7 0は、下部電極に第1のDC信号（バイアス信号）が供給された直後等に、上部電極に必要な量の電荷を瞬時に供給する。すなわちプラズマ安定化回路7 0は、上部電極に十分な過渡電流が流れるようにして、プラズマが不安定化することを抑制し得る。
- [0066] 第1の整流素子D 1は、プラズマ安定化回路7 0からみて、チャンバ1 0（上部電極）側が電流の順方向となるように配置される。
- [0067] 一実施形態において、第1の整流素子D 1は、ダイオードで構成されてよい。この場合、第1の整流素子D 1（ダイオード）のカソード電極がノードN 1に電氣的に接続されてよい。また第1の整流素子D 1（ダイオード）の

アノード電極がプラズマ安定化回路70に電氣的に接続されてよい。すなわち、第1の整流素子D1のアノード電極は、プラズマ安定化回路70のキャパシタC1を介して、接地電位に電氣的に接続されてよい。ダイオードは、一例では、メサ型又はプレーナ型のPN接合ダイオードであってよい。第1の整流素子D1は、複数のダイオードから構成されてもよく、この場合、各ダイオードは、互いに直接又は並列に接続されてよい。

[0068] 第1の整流素子D1の整流作用により、第2のDC生成部32bからの第2のDC信号が、プラズマ安定化回路70に流れることが抑制される。これにより、プラズマ安定化回路70の大容量のキャパシタC1により、第2のDC信号の電圧波形が歪むことが抑制され得る。

[0069] 第1のフィルタF1は、第1のRF生成部31aで生成されるソースRF信号の周波数帯域の信号（以下「高周波信号」という。）をフィルタリングするように構成される。すなわち、第1のフィルタF1は、チャンバ10（上部電極）から第1の整流素子D1に向かって流れる高周波信号を遮断又は減衰させる。これにより、高周波信号の全部又は一部が第1の整流素子D1を通過して第1の整流素子D1を加熱すること、及び、これにより第1の整流素子D1の整流作用が低下することが抑制され得る。また第2のDC生成部32bに高周波信号が入り込むことが抑制され得る。なお、第1の整流素子D1が第1のフィルタF1の入力側（チャンバ10側）に配置されると、第1の整流素子D1のインピーダンスが変化した場合に、第1のフィルタF1の減衰性能が影響され得る。この点、図5に示す例では、第1の整流素子D1は第1のフィルタF1の出力側（第2のDC生成部32b側）に配置される。そのため、第1の整流素子D1のインピーダンスの変化によって第1のフィルタF1の減衰性能が影響を受けることが抑制され得る。

[0070] 図6Aは、第1のフィルタF1の一例を示す図である。図6Aの(a)～(d)に示すように、第1のフィルタF1は、インダクタ(LD)やキャパシタ(C)を一つ又は複数含んで構成されてよい。第1のフィルタF1のキャパシタの静電容量は、プラズマ安定化回路70のキャパシタC1に比べて

十分に小さく、一例では、 $0.01\text{ nF} \sim 1\text{ nF}$ である。

[0071] 第2のフィルタF2は、第1のDC生成部32aで生成される第1のDC信号（バイアス信号）のパルス周波数帯域の信号（以下「バイアスパルス信号」という。）をフィルタリングするように構成される。すなわち、第2のフィルタF2は、第1の整流素子D1から第2のDC生成部32bに向かって流れるバイアスパルス信号を遮断又は減衰させる。これにより、第2のDC生成部32bにバイアスパルス信号が入り込むことが抑制され得る。なお、第2のフィルタF2により第2のDC信号に干渉が生じてしまうような場合は、第2のフィルタF2は設けなくてよい。例えば、第2のDC信号が第1のDC信号のパルス周波数に近い周波数を有する場合（例えば $\pm 10\%$ 以内の大きさを有する場合）、第2のフィルタF2は設けなくてよい。

[0072] 図6Bは、第2のフィルタF2の一例を示す図である。図6Bの(a)～(e)に示すように、第2のフィルタF2は、インダクタ(LD)やキャパシタ(C)を一つ又は複数含んで構成されてよい。一実施形態において、第2のフィルタF2のキャパシタの静電容量は、プラズマ安定化回路70のキャパシタC1に比べて十分に小さく、一例では、 $0.01\text{ nF} \sim 1\text{ nF}$ である。なお、一実施形態において、第2のフィルタF2のキャパシタの静電容量は、プラズマ安定化回路70のキャパシタC1と同程度（一例では、 $10\text{ nF} \sim 100\text{ nF}$ ）であってよい。この場合、第2のフィルタF2に整流素子を設けてよい。当該整流素子は、第2のDC生成部32bからの第2のDC信号が第2のフィルタF2のキャパシタに流れ、第2のDC信号の波形が歪むことを抑制し得る。

[0073] 図7A及び図7Bは、ノードN1の他の配置例を示す図である。図7Aに示す用に、ノードN1は、伝送ラインL1上において、第2のフィルタF2と第2のDC生成部32bとの間にあってよい。また図7Bに示すように、ノードN1は、伝送ラインL1上において、チャンバ10（上部電極）と第1のフィルタF1ととの間にあってよい。なお、図7A及び図7Bに示す例では、第1のフィルタF1及び第2のフィルタF2は、1つのフィルタ回路

として一体的に構成されてもよい。

[0074] 一実施形態において、伝送ラインL 1上のノードN 1の位置は、プラズマ安定化回路7 0から上部電極に向かう電流が阻害されないように適宜設定されてよい。例えば、第1のフィルタF 1が比較的高いインダクタンス（例えば $100\mu\text{H}\sim 10000\mu\text{H}$ 程度）を有する場合、ノードN 1は、チャンバ1 0（上部電極）と第1のフィルタF 1との間にあってよい（図7 B参照）。これにより、プラズマ安定化回路7 0から上部電極に向かう電流が、第1のフィルタF 1により阻害されることが回避される。例えば、第1のフィルタF 1が比較的低いインダクタンス（例えば $0.1\mu\text{H}\sim 10\mu\text{H}$ 程度）を有する場合、ノードN 1は、第1のフィルタF 1と第2のフィルタF 2の間にあってよい（図5参照）。またこの場合、ノードN 1は、第2のフィルタF 2と第2のDC生成部3 2 bとの間にあってよい（図7 A参照）。第1のフィルタF 1や第2のフィルタF 2があってもプラズマ安定化回路7 0から上部電極に向かう電流が阻害されにくいためである。

[0075] 図8 A及び図8 Bは、プラズマ安定化回路7 0の作用を説明するための図である。図8 Aは、上部電極に対してプラズマ安定化回路7 0を設けない場合の一例である。図8 Bは、上部電極に対してプラズマ安定化回路7 0を設ける場合の一例である。図8 A及び図8 Bにおいて、「DC 1」は、下部電極に供給される第1のDC信号の電圧波形の一例を示し、「I」は、このときに上部電極に流れる過渡電流の電流波形の一例を示す。

[0076] 図8 Aに示すように、プラズマ安定化回路7 0を設けない場合、上部電極における過渡電流の電流波形は、ピーク（I a）が抑制される。すなわち上部電極に十分な過渡電流が流れない。上部電極に対して十分な電荷が供給されないためである。この場合、チャンバ1 0のプラズマが不安定化し、異常放電等が生じ得る。これに対し、図8 Bに示すように、プラズマ安定化回路を設ける場合、上部電極における過渡電流は、ピーク（I b > I a）が抑制されない。すなわち上部電極に十分な過渡電流が流れる。下部電極に第1のDC信号（バイアス信号）が供給された直後において、プラズマ安定化回路

70のキャパシタC1から上部電極に瞬時に電荷が供給されるためである。

これにより、チャンバ10におけるプラズマの不安定化が抑制され得る。

[0077] 図9A及び図9Bは、第1の整流素子D1の整流作用を説明するための図である。図9Aは、伝送ラインL12に、第1の整流素子D1が設けられない場合の例である。図9Bは、伝送ラインL12に、第1の整流素子D1が設けられる場合の例である。図9A及び図9Bにおいて、上段は、第2のDC生成部32bから出力される第2のDC信号の電圧波形の一例である。図9A及び図9Bにおいて、下段は、上部電極に入力される第2のDC信号の電圧波形の一例である。

[0078] 図9Aに示すように、第1の整流素子D1が設けられない場合、上部電極に入力される第2のDC信号の電圧波形は、大容量のキャパシタC1の影響を受けて、大きく歪み得る。これに対し、図9Bに示すように、第1の整流素子D1が設けられる場合、大容量のキャパシタC1の影響が限定的となり、上部電極に入力される第2のDC信号の電圧波形の歪みが抑制され得る。

[0079] <第2の実施形態>

図10は、第2の実施形態にかかるプラズマ安定化回路の構成例を示す図である。第2の実施形態は、下部電極に負極性の第1のDC信号が供給される場合の構成例である。以下、第1の実施形態と異なる構成を中心に説明する。

[0080] 図10に示す例では、第2の波形生成部50が、ノードN1と第2のDC生成部32bとの間の伝送ラインL1に設けられる。一実施形態において、第2のDC生成部32bで生成される第2のDC信号は、負極性を有する。第2の波形生成部50は、第2のDC生成部32bで生成される第2のDC信号をパルス化するように構成される。第2の波形生成部50から出力される第2のDC信号は、図4Aや図4Bに示すような高速パルスを有してよい。また第2の波形生成部50から出力される第2のDC信号は、図4Cに示すような低速パルスを有してもよい。一実施形態において、第2のDC生成部32bは、正極性の第2のDC信号を生成してもよい。

[0081] 図10に示す例では、図5に示すような第2のフィルタF2は設けられない。第2のフィルタF2による第2のDC信号への干渉が生じないような場合は、第2のフィルタF2を設けてもよい。例えば、第1のDC信号が高速パルスを有し、第2のDC信号が低速パルスを有するような場合においては、第2のフィルタF2が設けられてよい。この場合、第2のフィルタF2は、第1のフィルタF1と第2の波形生成部50との間の伝送ラインL1に設けられてよい。

[0082] 第2の実施形態においても、プラズマ安定化回路70は、下部電極に第1のDC信号（バイアス信号）が供給された直後等に、上部電極に必要な量の電荷を瞬時に供給する。これにより上部電極に十分な過渡電流が流れるので、プラズマが不安定化することが抑制され得る。また第1の整流素子D1の整流作用により、第2の波形生成部50から出力される第2のDC信号は、プラズマ安定化回路70には流れない。これにより、プラズマ安定化回路70の大容量のキャパシタC1によって第2のDC信号の電圧波形が歪むことが抑制され得る。

[0083] <第2の整流素子>

下部電極への第1のDC信号（バイアス信号）の供給によって上部電極に生じる電圧（以下「VDC電圧」ともいう。）に起因して、第2のDC信号によるプラズマの制御が不安定になる場合がある。例えば、上部電極におけるVDC電圧の電圧レベルが第2のDC信号の電圧レベルよりも大きくなると、上部電極に第2のDC信号と逆極性の電流が流れる（すなわち電流が逆流する）期間が生じる場合がある。電流が逆流している間は、第2のDC信号によるプラズマの制御ができず、チャンバ10内のプラズマが不安定化し得る。このような現象を抑制するために、一実施形態において、伝送ラインL1に第2の整流素子が設けられてよい。

[0084] 図11及び図12は、第2の整流素子D2の一例を示す図である。図11は、図5に示す第1の実施形態にかかる構成において、第2の整流素子D2を設ける例である。図12は、図10に示す第2の実施形態にかかる構成に

において、第2の整流素子D2を設ける例である。第2の整流素子D2は、伝送ラインL1においてノードN1と第2のフィルタF2との間に設けられてよく（図11参照）、ノードN1と第2の波形生成部50との間に設けられてもよい（図12参照）。

[0085] 第2の整流素子は、第2のDC生成部32bで生成される第2のDC信号と逆極性の電流を遮断又は抑制するように構成される。例えば、図11及び図12図6に示す例において、第2のDC信号が負極性を有する場合、第2の整流素子D2は、第2のDC生成部32b又は第2の波形生成部50からノードN1側に向かって伝送ラインL1を流れる電流を遮断又は抑制するように構成されてよい。

[0086] 一実施形態において、第2の整流素子D2は、ダイオードで構成されてよい。この場合、第2の整流素子D2（ダイオード）のアノード電極がチャンバ10（上部電極）に電氣的に接続されてよい。また第2の整流素子D2（ダイオード）のカソード電極が第2のDC生成部32b又は第2の波形生成部50に電氣的に接続されてよい。ダイオードは、一例では、メサ型又はプレーナ型のPN接合ダイオードであってよい。第2の整流素子D2は、複数のダイオードから構成されてもよく、この場合、各ダイオードは、互いに直接又は並列に接続されてよい。

[0087] 第2の整流素子D2は、第2のDC生成部32bからノードN1側に向かって伝送ラインL1を逆流する電流を遮断又は抑制し得る。そのため第2のDC信号によるプラズマの制御が不安定になることが抑制される。これにより、チャンバ10においてプラズマが不安定になって異常放電等が発生することが抑制され得る。

[0088] <第3の実施形態>

図13は、プラズマ処理装置1の電源30とチャンバ10とその他の結合例を示す図である。図13に示す例では、上部電極には、第2のDC生成部32bに代えて、インピーダンス固定回路60が伝送ラインL4を介して接続される。

[0089] インピーダンス固定回路60は、上部電極のインピーダンスを定義するために用いられる回路である。インピーダンス固定回路は、任意の周波数に対して任意のインピーダンスとなるように、インダクタ及び／又はキャパシタを直列又は並列に接続して構成されてよい。一実施形態において、インピーダンス固定回路60は、図6Aや図6Bに示す第1のフィルタ又は第2のフィルタと同様に構成されてよい。

[0090] 図14は、第3の実施形態にかかるプラズマ安定化回路の構成例を示す図である。第3の実施形態は、下部電極に負極性の第1のDC信号が供給される場合の構成例である。図14に示すように、チャンバ10（上部電極）とインピーダンス固定回路60との間には、ノードN2が設けられる。ノードN2と接地電位との間の伝送ラインL42には、第1の実施形態及び第2の実施形態で説明したと同様に、第1の整流素子D1と、プラズマ安定化回路70とが設けられる。

[0091] 第3の実施形態においても、プラズマ安定化回路70は、下部電極に第1のDC信号（バイアス信号）が供給された直後等に、上部電極に必要な量の電荷を瞬時に供給する。すなわちプラズマ安定化回路70は、上部電極に十分な過渡電流が流れるようにして、プラズマが不安定化することを抑制し得る。

[0092] プラズマ安定化回路70のキャパシタC1は、インピーダンスが低い。そのため、キャパシタC1は、第1の整流素子D1がないと、チャンバ10（上部電極）側からみたインピーダンス固定回路60のインピーダンスに強い影響を与え得る。第3の実施形態においては、ノードN2とプラズマ安定化回路70との間の伝送ラインL42に第1の整流素子D1が設けられる。第1の整流素子D1は、高インピーダンス素子として機能する。そのためキャパシタC1がチャンバ10（上部電極）側からみたインピーダンス固定回路60のインピーダンスに影響を与えることが抑制され得る。

[0093] <変形例>

図15Aは、第1の実施形態（図5）の変形例を示す図である。図15B

は、第2の実施形態（図10）の変形例を示す図である。これらの例は、第1のDC生成部32aで生成される第1のDC信号が正極性の場合の構成例である。なお、第2のDC生成部32bで生成される第2のDC信号は、正極性であってよく、また負極性であってもよい。

[0094] 図15A及び図15Bに示すように、伝送ラインL12には、第3の整流素子D3が設けられる。第3の整流素子D3は、第1の整流素子D1とは整流方向が逆向き、すなわち、プラズマ安定化回路70からみて、チャンバ10（上部電極）側が電流の逆方向となるように配置される。整流方向が逆向きである点を除き、第3の整流素子D3は、第1の整流素子D1と同様に構成されてよい。

[0095] 図16は、極性切替回路の一例を示す図である。図16に示すように、極性切替回路80は、伝送ラインL12に設けられてよい。極性切替回路80は、第1の整流素子D1と第3の整流素子D3とを所与のタイミングで切り替えるように構成される。例えば、極性切替回路80は、第1のDC信号の極性がプロセス中に反転する場合に、第1の整流素子D1と第3の整流素子D3とを切り替えてよい。具体的には、極性切替回路80は、第1のDC生成部32aで生成される第1のDC信号が負極性の場合、スイッチング素子S-1をオンにしかつスイッチング素子S-2をオフにして、第1の整流素子D1を有効にしてよい。一例では、極性切替回路80は、第1のDC生成部32aで生成される第1のDC信号が正極性の場合、スイッチング素子S-1をオフにしかつスイッチング素子S-2をオンにして、第3の整流素子D3を有効にしてよい。

[0096] 図17は、電源30とチャンバ10とその他の結合例を示す図である。図17に示す例では、第2のRF生成部31bは、伝送ラインL5を介して、下部電極に電氣的に接続される。すなわち下部電極にバイアス信号としてバイアスRF信号が供給されてもよい。その余の点は、図3に示す例と同様であってよい。上部電極には、第1の実施形態や第2の実施形態と同様、伝送ラインL1のノードN1を介してプラズマ安定化回路70等が電氣的に接続さ

れてよい。

[0097] 図18は、電源30とチャンバ10とその他の結合例を示す図である。図18に示す例は、第2のDC生成部32bが、伝送ラインL6を介して、リングアセンブリ112に電氣的に接続される例である。すなわち、リングアセンブリ112に第2のDC信号が供給されてもよい。その余の点は、図3に示す例と同様であってよい。リングアセンブリ112には、第1の実施形態や第2の実施形態と同様、伝送ラインL6のノードを介してプラズマ安定化回路70等が電氣的に接続されてよい。

[0098] 図18において例示したように、一実施形態において、第2のDC生成部32bは、上部電極以外の導電性部材に電氣的に接続されてよい。導電性部材は、接地電極（接地電極への導電経路を含む）以外であれば、チャンバ10内に配置されてよく、またチャンバ10の一部を構成してもよい。例えば、導電性部材は、上述したリングアセンブリ112のほか、リングアセンブリ112の径方向内側又は外側に離間して配置されるリング状電極であり得る。また例えば、導電性部材は、チャンバ10の内壁、内壁に沿って配置されるライナ、又は、基板支持部11を囲むように配置されるバッフルプレートであり得る。第1の実施形態や第2の実施形態と同様、第2のDC生成部32bと導電性部材との間のノードには、プラズマ安定化回路70等が電氣的に接続されてよい。

[0099] 図19は、電源30とチャンバ10とその他の結合例を示す図である。図19は、図18に示す構成の変形例である。この例では、第2のDC生成部32bに代えて、インピーダンス固定回路60がリングアセンブリ112に電氣的に接続される。リングアセンブリ112には、第3の実施形態と同様、伝送ラインL7のノードを介してプラズマ安定化回路70等が電氣的に接続されてよい。

[0100] 図19において例示したように、一実施形態において、インピーダンス固定回路60は、上部電極以外の導電性部材に電氣的に接続されてよい。導電性部材は、非接地電極であれば、チャンバ10内に配置されてよく、またチ

チャンバ10の一部を構成してもよい。導電性部材は、上述したリングアセンブリ112のほか、リングアセンブリ112の径方向内側又は外側に離間して配置されるリング状電極であり得る。また例えば、導電性部材は、チャンバ10の内壁、内壁10に沿って配置されるライナ、又は、基板支持部11を囲むように配置されるバッフルプレートであり得る。第3の実施形態と同様、インピーダンス固定回路60と導電性部材との間のノードには、プラズマ安定化回路70等が電氣的に接続されてよい。

[0101] 本開示の実施形態は、以下の態様をさらに含む。

[0102] (付記1)

チャンバと、

前記チャンバ内に配置され、少なくとも1つの下部電極を含む基板支持部と、

前記基板支持部の上方に配置される上部電極と、

前記少なくとも1つの下部電極のいずれか又は前記上部電極に電氣的に接続され、前記チャンバ内でプラズマを生成するためにRF信号を生成するように構成されるRF信号生成器と、

前記少なくとも1つの下部電極のいずれかに電氣的に接続され、第1の電圧信号を生成するように構成される第1の電圧信号生成器であって、前記第1の電圧信号は、第1の電圧パルスのシーケンスを有する、第1の電圧信号生成器と、

前記上部電極に電氣的に接続され、第2の電圧信号を生成するように構成される第2の電圧信号生成器と、

キャパシタと、

第1の電極及び第2の電極を含む整流素子であって、前記第1の電極は前記上部電極と前記第2の電圧信号生成器との間にあるノードに電氣的に接続され、前記第2の電極は、前記キャパシタを介して接地電位に電氣的に接続される、整流素子と、

を備える、プラズマ処理装置。

[0103] (付記2)

前記第2の電圧信号は、第2の電圧パルスのシーケンスを有する、付記1に記載のプラズマ処理装置。

[0104] (付記3)

前記第2の電圧信号は、一定の電圧レベルを有する、付記1に記載のプラズマ処理装置。

[0105] (付記4)

前記第2の電圧信号は、負極性を有し、前記第1の電極はカソード電極であり、前記第2の電極はアノード電極である、付記2に記載のプラズマ処理装置。

[0106] (付記5)

前記第1の電圧パルスのシーケンスは、0.1 MHz ~ 2 MHz の範囲内にある第1のパルス周波数を有する、付記4に記載のプラズマ処理装置。

[0107] (付記6)

前記第2の電圧パルスのシーケンスは、0.1 kHz ~ 50 kHz の範囲内にある第2のパルス周波数を有する、付記4又は付記5に記載のプラズマ処理装置。

[0108] (付記7)

前記上部電極と前記第2の電圧信号生成器との間の伝送ラインに設けられるフィルタ回路をさらに備える、付記1乃至付記6のいずれか1つに記載のプラズマ処理装置。

[0109] (付記8)

前記上部電極と前記ノードとの間の伝送ラインに設けられるフィルタ回路をさらに備える、付記1乃至付記7のいずれか1つに記載のプラズマ処理装置。

[0110] (付記9)

前記ノードと前記第2の電圧信号生成器との間の伝送ラインに設けられるフィルタ回路をさらに備える、付記1乃至付記8のいずれか1つに記載のプ

ラズマ処理装置。

[0111] (付記 10)

前記上部電極と前記ノードとの間の伝送ラインに設けられ、前記 R F 信号の R F 周波数の帯域の信号をフィルタリングするように構成される第 1 のフィルタと、

前記ノードと前記第 2 の電圧信号生成器との間の伝送ラインに設けられ、前記第 1 の電圧パルスのシーケンスのパルス周波数の帯域の信号をフィルタリングするように構成される第 2 のフィルタと、をさらに備える、付記 1 乃至付記 9 のいずれか 1 つに記載のプラズマ処理装置。

[0112] (付記 11)

チャンバと、

前記チャンバ内に配置され、少なくとも 1 つの下部電極を含む基板支持部と、

前記基板支持部の上方に配置される上部電極と、

前記少なくとも 1 つの下部電極のいずれか又は前記上部電極に電氣的に接続され、前記チャンバ内でプラズマを生成するために R F 信号を生成するように構成される R F 信号生成器と、

前記少なくとも 1 つの下部電極のいずれかに電氣的に接続され、電圧信号を生成するように構成される電圧信号生成器であって、前記電圧信号は、電圧パルスのシーケンスを有する、電圧信号生成器と、

前記上部電極に電氣的に接続されるインピーダンス固定回路と、

キャパシタと、

第 1 の電極及び第 2 の電極を含む整流素子であって、前記第 1 の電極は前記上部電極と前記インピーダンス固定回路との間にあるノードに電氣的に接続され、前記第 2 の電極は、前記キャパシタを介して接地電位に電氣的に接続される、整流素子と、

を備える、プラズマ処理装置。

[0113] (付記 12)

前記電圧パルスは、負極性を有し、前記第 1 の電極はカソード電極であり、前記第 2 の電極はアノード電極である、付記 1 1 に記載のプラズマ処理装置。

[0114] (付記 1 3)

前記電圧パルスのシーケンスは、0. 1 MHz ~ 2 MHz の範囲内にある第 1 のパルス周波数を有する、付記 1 1 又は付記 1 2 に記載のプラズマ処理装置。

[0115] (付記 1 4)

前記インピーダンス固定回路は、キャパシタ及びインダクタの少なくともいずれかを含む、付記 1 1 乃至付記 1 3 のいずれか 1 つに記載のプラズマ処理装置。

[0116] (付記 1 5)

チャンバと、
前記チャンバ内に配置され、電極を含む基板支持部と、
前記電極に電氣的に接続され、第 1 の電圧信号を生成するように構成される第 1 の電圧信号生成器であって、前記第 1 の電圧信号は、第 1 の電圧パルスのシーケンスを有する、第 1 の電圧信号生成器と、
前記チャンバの一部を構成する、又は、前記チャンバ内に配置される、導電性部材と、
キャパシタと、
第 1 の電極及び第 2 の電極を含む整流素子であって、前記第 1 の電極は前記導電性部材に電氣的に接続され、前記第 2 の電極は、前記キャパシタを介して接地電位に電氣的に接続される、整流素子と、
を備える、プラズマ処理装置。

[0117] (付記 1 6)

前記導電性部材と前記整流素子の前記第 1 の電極との間にあるノードに電氣的に接続され、第 2 の電圧信号を生成するように構成される第 2 の電圧信号生成器をさらに備える、付記 1 5 に記載のプラズマ処理装置。

[0118] (付記 17)

前記導電性部材と前記整流素子の前記第1の電極との間にあるノードに電氣的に接続されるインピーダンス固定回路をさらに備える、付記15に記載のプラズマ処理装置。

[0119] (付記 18)

前記インピーダンス固定回路は、キャパシタ及びインダクタの少なくともいずれかを含む、付記17に記載のプラズマ処理装置。

[0120] (付記 19)

前記導電性部材は、

- (a) 前記基板支持部の上方に配置される上部電極、
- (b) 前記基板支持部上の基板を囲むように前記基板支持部上に配置されるリングアセンブリ、
- (c) 前記チャンバの内壁に沿って配置されるライナ、及び、
- (d) 前記基板支持部を囲むように配置されるバッフルプレートのいずれかである、付記15乃至付記18のいずれか1つに記載のプラズマ処理装置。

[0121] 以上の各実施形態は、説明の目的で記載されており、本開示の範囲を限定することを意図するものではない。以上の各実施形態は、本開示の範囲及び趣旨から逸脱することなく種々の変形をなし得る。例えば、ある実施形態における一部の構成要素を、他の実施形態に追加することができる。また、ある実施形態における一部の構成要素を、他の実施形態の対応する構成要素と置換することができる。

符号の説明

[0122] 1……プラズマ処理装置、2……制御部、10……プラズマ処理チャンバ、13……シャワーヘッド、31a……第1のRF生成部、31b……第2のRF生成部、32a……第1のDC生成部、32b……第2のDC生成部、50……第2の波形生成部、60……インピーダンス固定回路、70……プラズマ安定化回路、80……極性切替回路、D1……第1の整流素子、D2

……第2の整流素子、F 1 ……第1のフィルタ、F 2 ……第2のフィルタ、
L 1 ……伝送ライン

請求の範囲

- [請求項1] チャンバと、
 前記チャンバ内に配置され、少なくとも1つの下部電極を含む基板支持部と、
 前記基板支持部の上方に配置される上部電極と、
 前記少なくとも1つの下部電極のいずれか又は前記上部電極に電氣的に接続され、前記チャンバ内でプラズマを生成するためにRF信号を生成するように構成されるRF信号生成器と、
 前記少なくとも1つの下部電極のいずれかに電氣的に接続され、第1の電圧信号を生成するように構成される第1の電圧信号生成器であって、前記第1の電圧信号は、第1の電圧パルスのシーケンスを有する、第1の電圧信号生成器と、
 前記上部電極に電氣的に接続され、第2の電圧信号を生成するように構成される第2の電圧信号生成器と、
 キャパシタと、
 第1の電極及び第2の電極を含む整流素子であって、前記第1の電極は前記上部電極と前記第2の電圧信号生成器との間にあるノードに電氣的に接続され、前記第2の電極は、前記キャパシタを介して接地電位に電氣的に接続される、整流素子と、
 を備える、プラズマ処理装置。
- [請求項2] 前記第2の電圧信号は、第2の電圧パルスのシーケンスを有する、請求項1に記載のプラズマ処理装置。
- [請求項3] 前記第2の電圧信号は、一定の電圧レベルを有する、請求項1に記載のプラズマ処理装置。
- [請求項4] 前記第2の電圧信号は、負極性を有し、前記第1の電極はカソード電極であり、前記第2の電極はアノード電極である、請求項2に記載のプラズマ処理装置。
- [請求項5] 前記第1の電圧パルスのシーケンスは、0.1MHz～2MHzの

範囲内にある第1のパルス周波数を有する、請求項4に記載のプラズマ処理装置。

[請求項6] 前記第2の電圧パルスのシーケンスは、0.1 kHz～50 kHzの範囲内にある第2のパルス周波数を有する、請求項5に記載のプラズマ処理装置。

[請求項7] 前記上部電極と前記第2の電圧信号生成器との間の伝送ラインに設けられるフィルタ回路をさらに備える、請求項1に記載のプラズマ処理装置。

[請求項8] 前記上部電極と前記ノードとの間の伝送ラインに設けられるフィルタ回路をさらに備える、請求項1に記載のプラズマ処理装置。

[請求項9] 前記ノードと前記第2の電圧信号生成器との間の伝送ラインに設けられるフィルタ回路をさらに備える、請求項1に記載のプラズマ処理装置。

[請求項10] 前記上部電極と前記ノードとの間の伝送ラインに設けられ、前記RF信号のRF周波数の帯域の信号をフィルタリングするように構成される第1のフィルタと、

前記ノードと前記第2の電圧信号生成器との間の伝送ラインに設けられ、前記第1の電圧パルスのシーケンスのパルス周波数の帯域の信号をフィルタリングするように構成される第2のフィルタと、をさらに備える、請求項1に記載のプラズマ処理装置。

[請求項11] チャンバと、

前記チャンバ内に配置され、少なくとも1つの下部電極を含む基板支持部と、

前記基板支持部の上方に配置される上部電極と、

前記少なくとも1つの下部電極のいずれか又は前記上部電極に電気的に接続され、前記チャンバ内でプラズマを生成するためにRF信号を生成するように構成されるRF信号生成器と、

前記少なくとも1つの下部電極のいずれかに電気的に接続され、電

圧信号を生成するように構成される電圧信号生成器であって、前記電圧信号は、電圧パルスのシーケンスを有する、電圧信号生成器と、
前記上部電極に電氣的に接続されるインピーダンス固定回路と、
キャパシタと、

第1の電極及び第2の電極を含む整流素子であって、前記第1の電極は前記上部電極と前記インピーダンス固定回路との間にあるノードに電氣的に接続され、前記第2の電極は、前記キャパシタを介して接地電位に電氣的に接続される、整流素子と、
を備える、プラズマ処理装置。

[請求項12] 前記電圧パルスは、負極性を有し、前記第1の電極はカソード電極であり、前記第2の電極はアノード電極である、請求項11に記載のプラズマ処理装置。

[請求項13] 前記電圧パルスのシーケンスは、0.1MHz～2MHzの範囲内にある第1のパルス周波数を有する、請求項12に記載のプラズマ処理装置。

[請求項14] 前記インピーダンス固定回路は、キャパシタ及びインダクタの少なくともいずれかを含む、請求項13に記載のプラズマ処理装置。

[請求項15] チャンバと、
前記チャンバ内に配置され、電極を含む基板支持部と、
前記電極に電氣的に接続され、第1の電圧信号を生成するように構成される第1の電圧信号生成器であって、前記第1の電圧信号は、第1の電圧パルスのシーケンスを有する、第1の電圧信号生成器と、
前記チャンバの一部を構成する、又は、前記チャンバ内に配置される、導電性部材と、
キャパシタと、
第1の電極及び第2の電極を含む整流素子であって、前記第1の電極は前記導電性部材に電氣的に接続され、前記第2の電極は、前記キャパシタを介して接地電位に電氣的に接続される、整流素子と、

を備える、プラズマ処理装置。

[請求項16] 前記導電性部材と前記整流素子の前記第1の電極との間にあるノードに電氣的に接続され、第2の電圧信号を生成するように構成される第2の電圧信号生成器をさらに備える、請求項15に記載のプラズマ処理装置。

[請求項17] 前記導電性部材と前記整流素子の前記第1の電極との間にあるノードに電氣的に接続されるインピーダンス固定回路をさらに備える、請求項15に記載のプラズマ処理装置。

[請求項18] 前記インピーダンス固定回路は、キャパシタ及びインダクタの少なくともいずれかを含む、請求項17に記載のプラズマ処理装置。

[請求項19] 前記導電性部材は、
(a) 前記基板支持部の上方に配置される上部電極、
(b) 前記基板支持部上の基板を囲むように前記基板支持部上に配置されるリングアセンブリ、
(c) 前記チャンバの内壁に沿って配置されるライナ、及び、
(d) 前記基板支持部を囲むように配置されるバッフルプレートのいずれかである、請求項15乃至請求項18のいずれか一項に記載のプラズマ処理装置。