

明 細 書

発明の名称： プラズマ処理装置及び吸着制御方法

技術分野

[0001] 本開示は、プラズマ処理装置及び吸着制御方法に関する。

背景技術

[0002] 下記の特許文献1には、「基板を載置する第1の載置部と、前記基板の周囲に配置されるリング状のエッジリングを載置する第2の載置部を有する載置台であって、前記第2の載置部は、電圧が印加されることにより前記エッジリングを吸着する吸着電極と、前記吸着電極に対して前記エッジリングの内周側及び外周側の少なくとも一方に設けられた温度調整機構と、を有する載置台。」が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2022-42379号公報

発明の概要

発明が解決しようとする課題

[0004] 本開示は、パーティクルの発生を抑制する技術を提供する。

課題を解決するための手段

[0005] 本開示の一態様によるプラズマ処理装置は、プラズマ処理チャンバと、基台と、静電チャックと、第1電極と、第2電極と、電源と、制御部とを備える。基台は、プラズマ処理チャンバ内に配置される。静電チャックは、基台の上部に配置され、基板支持面及びリング支持面を有する。第1電極は、静電チャック内の基板支持面の下方に配置され、静電気力により基板を吸着する。第2電極は、第1電極の周囲を囲むように静電チャック内に配置される。電源は、第2電極と電氣的に接続される。制御部は、リング支持面に配置されるリングアセンブリの電圧を取得する工程と、取得された電圧の値に応じて、電源の出力電圧を制御する工程と、を含む処理を実行する。

発明の効果

[0006] 本開示によれば、パーティクルの発生を抑制できる。

図面の簡単な説明

[0007] [図1]図1は、容量結合型のプラズマ処理装置の構成例を説明するための図である。

[図2]図2は、実験結果を示すグラフである。

[図3]図3は、実施形態に係る静電チャックの構成の一例を示す断面図である。

[図4]図4は、実施形態に係る静電チャックの構成の一例を示す平面図である。

[図5]図5は、実施形態に係る静電電極及び制御電極の具体的な配置条件の一例を説明する図である。

[図6]図6は、実施形態に係るプラズマ処理の流れの一例を示すフローチャートである。

[図7]図7は、実施形態に係る静電チャックの構成の他の一例を概略的に示した図である。

[図8]図8は、実施形態に係る静電チャックの構成の他の一例を概略的に示した図である。

[図9]図9は、実施形態に係る静電チャックの構成の他の一例を概略的に示した図である。

[図10]図10は、実施形態に係る静電チャックの構成の他の一例を概略的に示した図である。

[図11]図11は、実施形態に係る静電チャックの構成の他の一例を概略的に示した図である。

[図12]図12は、実施形態に係る静電チャックの構成の他の一例を概略的に示した図である。

発明を実施するための形態

[0008] 以下に、プラズマ処理装置及び吸着制御方法の実施形態について、図面に

基づいて詳細に説明する。なお、以下の実施形態により、開示されるプラズマ処理装置及び吸着制御方法が限定されるものではない。

[0009] 従来から、プラズマを用いて半導体ウェハ（以下「ウェハ」ともいう。）等の基板にプラズマ処理を行うプラズマ処理装置が知られている。このようなプラズマ処理装置には、基板を載置する載置台に静電チャックを設けた構成のものがある。静電チャックは、内蔵された電極に電圧が印加されることで基板を静電吸着する。しかし、プラズマ処理装置では、静電チャックの電極に電圧を印加すると、パーティクルが発生する場合がある。そこで、パーティクルの発生を抑制する技術が期待されている。

[0010] （実施形態）

〔装置構成〕

本開示のプラズマ処理装置の一例について説明する。以下に説明する実施形態では、本開示のプラズマ処理装置をシステム構成のプラズマ処理システムとした場合を例に説明する。

[0011] 以下に、プラズマ処理システムの構成例について説明する。図1は、容量結合型のプラズマ処理装置の構成例を説明するための図である。

[0012] プラズマ処理システムは、容量結合型のプラズマ処理装置1及び制御部2を含む。容量結合型のプラズマ処理装置1は、プラズマ処理チャンバ10、ガス供給部20、電源30及び排気システム40を含む。また、プラズマ処理装置1は、基板支持部11及びガス導入部を含む。ガス導入部は、少なくとも1つの処理ガスをプラズマ処理チャンバ10内に導入するように構成される。ガス導入部は、シャワーヘッド13を含む。基板支持部11は、プラズマ処理チャンバ10内に配置される。シャワーヘッド13は、基板支持部11の上方に配置される。一実施形態において、シャワーヘッド13は、プラズマ処理チャンバ10の天部（c e i l i n g）の少なくとも一部を構成する。プラズマ処理チャンバ10は、シャワーヘッド13、プラズマ処理チャンバ10の側壁10a及び基板支持部11により規定されたプラズマ処理空間10sを有する。プラズマ処理チャンバ10は、少なくとも1つの処理

ガスをプラズマ処理空間10sに供給するための少なくとも1つのガス供給口と、プラズマ処理空間からガスを排出するための少なくとも1つのガス排出口とを有する。プラズマ処理チャンバ10は接地される。シャワーヘッド13及び基板支持部11は、プラズマ処理チャンバ10の筐体とは電氣的に絶縁される。

[0013] 基板支持部11は、本体部111及びリングアセンブリ112を含む。本体部111は、基板Wを支持するための中央領域111aと、リングアセンブリ112を支持するための環状領域111bとを有する。ウェハは基板Wの一例である。本体部111の環状領域111bは、平面視で本体部111の中央領域111aを囲んでいる。基板Wは、本体部111の中央領域111a上に配置され、リングアセンブリ112は、本体部111の中央領域111a上の基板Wを囲むように本体部111の環状領域111b上に配置される。従って、中央領域111aは、基板Wを支持するための基板支持面とも呼ばれ、環状領域111bは、リングアセンブリ112を支持するためのリング支持面とも呼ばれる。

[0014] 一実施形態において、本体部111は、基台1110及び静電チャック1111を含む。基台1110は、導電性部材を含む。基台1110の導電性部材は下部電極として機能し得る。静電チャック1111は、基台1110の上に配置される。静電チャック1111は、セラミック部材1111aとセラミック部材1111a内に配置される静電電極1111bとを含む。セラミック部材1111aは、中央領域111aを有する。一実施形態において、セラミック部材1111aは、環状領域111bも有する。静電チャック1111は、中央領域111aよりも環状領域111bが低く形成されている。なお、環状静電チャックや環状絶縁部材のような、静電チャック1111を囲む他の部材が環状領域111bを有してもよい。この場合、リングアセンブリ112は、環状静電チャック又は環状絶縁部材の上に配置されてもよく、静電チャック1111と環状絶縁部材の両方の上に配置されてもよい。また、後述するRF(Radio Frequency)電源31及び

／又はDC (Direct Current) 電源32に結合される少なくとも1つのRF／DC電極がセラミック部材1111a内に配置されてもよい。この場合、少なくとも1つのRF／DC電極が下部電極として機能する。後述するバイアスRF信号及び／又はDC信号が少なくとも1つのRF／DC電極に供給される場合、RF／DC電極はバイアス電極とも呼ばれる。なお、基台1110の導電性部材と少なくとも1つのRF／DC電極とが複数の下部電極として機能してもよい。また、静電電極1111bが下部電極として機能してもよい。従って、基板支持部11は、少なくとも1つの下部電極を含む。静電電極1111bは、配線33を介して電源34に接続されている。電源34は、制御部2の制御に応じて、配線33を介して静電電極1111bに所定の直流電圧又は交流電圧を印加する。

[0015] リングアセンブリ112は、1又は複数の環状部材を含む。一実施形態において、1又は複数の環状部材は、1又は複数のエッジリングと少なくとも1つのカバーリングとを含む。エッジリングは、導電性材料又は絶縁材料で形成され、カバーリングは、絶縁材料で形成される。

[0016] また、基板支持部11は、静電チャック1111、リングアセンブリ112及び基板のうち少なくとも1つをターゲット温度に調節するように構成される温調モジュールを含んでもよい。温調モジュールは、ヒータ、伝熱媒体、流路1110a、又はこれらの組み合わせを含んでもよい。流路1110aには、ブラインやガスのような伝熱流体が流れる。一実施形態において、流路1110aが基台1110内に形成され、1又は複数のヒータが静電チャック1111のセラミック部材1111a内に配置される。また、基板支持部11は、基板Wの裏面と中央領域111aとの間の間隙に伝熱ガスを供給するように構成された伝熱ガス供給部を含んでもよい。

[0017] シャワーヘッド13は、ガス供給部20からの少なくとも1つの処理ガスをプラズマ処理空間10s内に導入するように構成される。シャワーヘッド13は、少なくとも1つのガス供給口13a、少なくとも1つのガス拡散室13b、及び複数のガス導入口13cを有する。ガス供給口13aに供給さ

れた処理ガスは、ガス拡散室13bを通過して複数のガス導入口13cからプラズマ処理空間10s内に導入される。また、シャワーヘッド13は、少なくとも1つの上部電極を含む。なお、ガス導入部は、シャワーヘッド13に加えて、側壁10aに形成された1又は複数の開口部に取り付けられる1又は複数のサイドガス注入部(SGI: Side Gas Injector)を含んでもよい。

[0018] ガス供給部20は、少なくとも1つのガスソース21及び少なくとも1つの流量制御器22を含んでもよい。一実施形態において、ガス供給部20は、少なくとも1つの処理ガスを、それぞれに対応のガスソース21からそれぞれに対応の流量制御器22を介してシャワーヘッド13に供給するように構成される。各流量制御器22は、例えばマスフローコントローラ又は圧力制御式の流量制御器を含んでもよい。さらに、ガス供給部20は、少なくとも1つの処理ガスの流量を変調又はパルス化する1又はそれ以上の流量変調デバイスを含んでもよい。

[0019] 電源30は、少なくとも1つのインピーダンス整合回路を介してプラズマ処理チャンバ10に結合されるRF電源31を含む。RF電源31は、少なくとも1つのRF信号(RF電力)を少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に供給するように構成される。これにより、プラズマ処理空間10sに供給された少なくとも1つの処理ガスからプラズマが形成される。従って、RF電源31は、プラズマ処理チャンバ10において1又はそれ以上の処理ガスからプラズマを生成するように構成されるプラズマ生成部の少なくとも一部として機能し得る。また、バイアスRF信号を少なくとも1つの下部電極に供給することにより、基板Wにバイアス電位が発生し、形成されたプラズマ中のイオン成分を基板Wに引き込むことができる。

[0020] 一実施形態において、RF電源31は、第1のRF生成部31a及び第2のRF生成部31bを含む。第1のRF生成部31aは、少なくとも1つのインピーダンス整合回路を介して少なくとも1つの下部電極及び／又は少な

くとも1つの上部電極に結合され、プラズマ生成用のソースRF信号（ソースRF電力）を生成するように構成される。一実施形態において、ソースRF信号は、10MHz～150MHzの範囲内の周波数を有する。一実施形態において、第1のRF生成部31aは、異なる周波数を有する複数のソースRF信号を生成するように構成されてもよい。生成された1又は複数のソースRF信号は、少なくとも1つの下部電極及び／又は少なくとも1つの上部電極に供給される。

[0021] 第2のRF生成部31bは、少なくとも1つのインピーダンス整合回路を介して少なくとも1つの下部電極に結合され、バイアスRF信号（バイアスRF電力）を生成するように構成される。バイアスRF信号の周波数は、ソースRF信号の周波数と同じであっても異なってもよい。一実施形態において、バイアスRF信号は、ソースRF信号の周波数よりも低い周波数を有する。一実施形態において、バイアスRF信号は、100kHz～60MHzの範囲内の周波数を有する。一実施形態において、第2のRF生成部31bは、異なる周波数を有する複数のバイアスRF信号を生成するように構成されてもよい。生成された1又は複数のバイアスRF信号は、少なくとも1つの下部電極に供給される。また、種々の実施形態において、ソースRF信号及びバイアスRF信号のうち少なくとも1つがパルス化されてもよい。

[0022] また、電源30は、プラズマ処理チャンバ10に結合されるDC電源32を含んでもよい。DC電源32は、第1のDC生成部32a及び第2のDC生成部32bを含む。一実施形態において、第1のDC生成部32aは、少なくとも1つの下部電極に接続され、第1のDC信号を生成するように構成される。生成された第1のバイアスDC信号は、少なくとも1つの下部電極に印加される。一実施形態において、第2のDC生成部32bは、少なくとも1つの上部電極に接続され、第2のDC信号を生成するように構成される。生成された第2のDC信号は、少なくとも1つの上部電極に印加される。

[0023] 種々の実施形態において、第1及び第2のDC信号のうち少なくとも1つがパルス化されてもよい。この場合、電圧パルスのシーケンスが少なくとも

1つの下部電極及び／又は少なくとも1つの上部電極に印加される。電圧パルスは、矩形、台形、三角形又はこれらの組み合わせのパルス波形を有してもよい。一実施形態において、DC信号から電圧パルスのシーケンスを生成するための波形生成部が第1のDC生成部32aと少なくとも1つの下部電極との間に接続される。従って、第1のDC生成部32a及び波形生成部は、電圧パルス生成部を構成する。第2のDC生成部32b及び波形生成部が電圧パルス生成部を構成する場合、電圧パルス生成部は、少なくとも1つの上部電極に接続される。電圧パルスは、正の極性を有してもよく、負の極性を有してもよい。また、電圧パルスのシーケンスは、1周期内に1又は複数の正極性電圧パルスと1又は複数の負極性電圧パルスとを含んでもよい。なお、第1及び第2のDC生成部32a、32bは、RF電源31に加えて設けられてもよく、第1のDC生成部32aが第2のRF生成部31bに代えて設けられてもよい。

[0024] 排気システム40は、例えばプラズマ処理チャンバ10の底部に設けられたガス排出口10eに接続され得る。排気システム40は、圧力調整弁及び真空ポンプを含んでもよい。圧力調整弁によって、プラズマ処理空間10s内の圧力が調整される。真空ポンプは、ターボ分子ポンプ、ドライポンプ又はこれらの組み合わせを含んでもよい。

[0025] 制御部2は、本開示において述べられる種々の工程をプラズマ処理装置1に実行させるコンピュータ実行可能な命令を処理する。制御部2は、ここで述べられる種々の工程を実行するようにプラズマ処理装置1の各要素を制御するように構成され得る。一実施形態において、制御部2の一部又は全てがプラズマ処理装置1に含まれてもよい。制御部2は、処理部2a1、記憶部2a2及び通信インターフェース2a3を含んでもよい。制御部2は、例えばコンピュータ2aにより実現される。処理部2a1は、記憶部2a2からプログラムを読み出し、読み出されたプログラムを実行することにより種々の制御動作を行うように構成され得る。このプログラムは、予め記憶部2a2に格納されていてもよく、必要なときに、媒体を介して取得されてもよい。

。取得されたプログラムは、記憶部2 a 2に格納され、処理部2 a 1によって記憶部2 a 2から読み出されて実行される。媒体は、コンピュータ2 aに読み取り可能な種々の記憶媒体であってもよく、通信インターフェース2 a 3に接続されている通信回線であってもよい。処理部2 a 1は、CPU (Central Processing Unit) であってもよい。記憶部2 a 2は、RAM (Random Access Memory)、ROM (Read Only Memory)、HDD (Hard Disk Drive)、SSD (Solid State Drive)、又はこれらの組み合わせを含んでもよい。通信インターフェース2 a 3は、LAN (Local Area Network) 等の通信回線を介してプラズマ処理装置1との間で通信してもよい。

[0026] 上記のように構成されたプラズマ処理装置1は、上述した制御部2によって、その動作が統括的に制御される。制御部2は、プラズマエッチングなどのプラズマ処理を制御する。例えば、制御部2は、排気システム40を制御し、プラズマ処理チャンバ10内を所定の真空度まで排気する。制御部2は、電源34を制御し、電源34から配線33を介して静電電極1111bに所定の直流電圧又は交流電圧を印加して、静電チャック1111に基板Wを静電吸着させる。例えば、基板Wを静電吸着する場合、電源34は、数kVの直流電圧を静電電極1111bに印加する。制御部2は、ガス供給部20を制御し、ガス供給部20からプラズマ処理用の処理ガスをプラズマ処理空間10s内に導入する。制御部2は、電源30を制御し、処理ガスの導入に合わせて、電源30から電力を供給してプラズマ処理チャンバ10内にプラズマを生成して、基板Wに対してプラズマ処理を実施する。

[0027] ところで、プラズマ処理装置1では、基板Wを静電吸着するために静電チャック1111の静電電極1111bに電圧を印加すると、パーティクルが発生する場合がある。

[0028] プラズマ処理チャンバ10内にプラズマが生成されると、リングアセンブリ112はプラズマによって帯電する。これにより、リングアセンブリ11

2には、自己バイアスの電圧が生じる。そして、静電電極1111bに印加される電圧とリングアセンブリ112に生じる自己バイアスの電圧と電位差によって、静電チャック1111の周囲に漏洩電界が発生する。この漏洩電界の大きさによっては、パーティクルが発生し得る。

[0029] 図2は、リングアセンブリ112及び静電電極1111bに印加する電圧と発生するパーティクルの数との関係を確認した実験結果の一例を示すグラフである。実験は、リングアセンブリ112の電圧が変更可能な構成により実施された。実験では、プラズマ処理装置1は、リングアセンブリ112に配線を介して電源を接続し、電源からリングアセンブリ112に直流電圧を印加することで、リングアセンブリ112の電圧が変更可能な構成を実現させた。実験では、リングアセンブリ112に印加する直流電圧と、静電電極1111bに印加する直流電圧との電位差を変えて、それぞれ基板Wにプラズマ処理を実施し、各基板Wに付着したパーティクルの数をカウントした。

[0030] 図2の横軸は、リングアセンブリ112に印加された直流電圧(FRDC)に対する静電電極1111bに印加された直流電圧(ESDC)の電位差 Δ (V)である。横軸のマイナス側は、FRDCに対してESDCが低い状態である。横軸のプラス側は、FRDCに対してESDCが高い状態である。横軸の目盛りとして示した「 V_1 」から「 V_4 」は、 $|V_1| < |V_2| < |V_3| < |V_4|$ を満たす。縦軸は、基板Wに付着したパーティクルの数であり、上側ほどパーティクルの数が多いことを示している。図2には、各電位差 Δ でのパーティクルの数がプロットされている。また、図2には、電位差 Δ のプラス側とマイナス側に、点線により回帰直線が示されている。図2に示すように、パーティクルの数は、電位差 Δ が小さくほど少なく、電位差 Δ が大きいくほど多くなる傾向がある。なお、図2では、パーティクル数の増加率は、電位差 Δ がマイナス側よりもプラス側の方が高くなっている。しかし、パーティクル数の増加率は、必ずしもマイナス側よりもプラス側が高くなるわけではない。パーティクル数の増加率は、プラス、マイナスのどちらに帯電したパーティクルが多いかによって変化する。

- [0031] このことから、リングアセンブリ 1 1 2 の電圧と静電電極 1 1 1 1 b に印加された電圧との電位差が小さいほど、静電チャック 1 1 1 1 の周囲に発生する漏洩電界の大きさが弱くなり、パーティクル数が少なくなると推測される。しかし、静電電極 1 1 1 1 b に印加する電圧を低くすると、静電チャック 1 1 1 1 は、基板 W を十分に吸着できなくなる。
- [0032] そこで、実施形態では、静電チャック 1 1 1 1 を以下のように構成する。図 3 は、実施形態に係る静電チャック 1 1 1 1 の構成の一例を示す断面図である。図 4 は、実施形態に係る静電チャック 1 1 1 1 の構成の一例を示す平面図である。図 3 には、基板支持部 1 1 の周辺部分の部分的な断面が概略的に示されている。静電チャック 1 1 1 1 は、セラミック部材 1 1 1 1 a と、静電電極 1 1 1 1 b と、制御電極 1 1 1 2 とを含む。実施形態では、静電電極 1 1 1 1 b が本開示の第 1 電極に対応し、制御電極 1 1 1 2 が本開示の第 2 電極に対応する。
- [0033] 静電電極 1 1 1 1 b 及び制御電極 1 1 1 2 は、セラミック部材 1 1 1 1 a 内に設けられている。静電電極 1 1 1 1 b 及び制御電極 1 1 1 2 は、中央領域 1 1 1 a に沿うように配置されている。静電チャック 1 1 1 1 は、中央領域 1 1 1 a よりも環状領域 1 1 1 b が低く形成されている。静電チャック 1 1 1 1 の中央領域 1 1 1 a には、環状領域 1 1 1 b 側に側面 1 1 1 c が形成されている。
- [0034] 図 4 には、静電チャック 1 1 1 1 の中央領域 1 1 1 a 部分が示されている。静電電極 1 1 1 1 b は、中央領域 1 1 1 a の中央部分から周辺近くまで配置されている。制御電極 1 1 1 2 は、中央領域 1 1 1 a の周辺部分に配置されている。制御電極 1 1 1 2 は、静電電極 1 1 1 1 b の周囲を囲むようにリング状に形成されている。
- [0035] 制御電極 1 1 1 2 は、配線 3 5 a を介して電源 3 6 に接続されている。電源 3 6 は、配線 3 5 b を介して GND に接続されている。電源 3 6 は、制御電極 1 1 1 2 に印加する直流電圧が変更可能な可変電源として構成されている。電源 3 6 は、制御部 2 の制御に応じて、配線 3 5 a を介して制御電極 1

112に直流電圧を印加する。配線35aには、可変抵抗37が設けられている。可変抵抗37は、電源36から印加される直流電圧に対する制御電極1112の電圧の応答速度を調整するための調整ノブとして機能する。可変抵抗37は、制御電極1112に急激な電圧変化が生じないように、抵抗値が調整される。可変抵抗37は、配線35a上であれば、静電チャック1111内や基台1110内に配置されてもよい。

[0036] 記憶部2a2は、プラズマ処理の際にリングアセンブリ112に生じる自己バイアスの電圧のデータを記憶する。例えば、自己バイアスの電圧は、プラズマ処理装置1においてプラズマ処理を実施した際のリングアセンブリ112の電圧を測定することで、事前に特定できる。記憶部2a2は、事前に特定した自己バイアスの電圧のデータを記憶する。

[0037] 制御部2は、プラズマ処理を実施する際、リングアセンブリ112の電圧を取得する。例えば、処理部2a1は、記憶部2a2から自己バイアスの電圧のデータを読み出して、リングアセンブリ112の電圧として、自己バイアスの電圧を取得する。なお、制御部2は、実際のリングアセンブリ112の電圧を測定して取得してもよい。この場合、例えば、プラズマ処理装置1は、リングアセンブリ112に配線を介して電圧計を接続してリングアセンブリ112の電圧を測定可能に構成する。処理部2a1は、電圧計により測定されるリングアセンブリ112の電圧を取得する。

[0038] 制御部2は、取得されたリングアセンブリ112の電圧の値に応じて、電源36の出力電圧を制御する。例えば、制御部2は、電源36の出力電圧をリングアセンブリ112の電圧の値から所定の電位差以内に制御する。例えば、処理部2a1は、電源36を制御し、電源36から配線35aを介して制御電極1112に、取得された自己バイアスの電圧を基準としてプラス又はマイナスに所定の電位差以内の電圧を印加する。例えば、処理部2a1は、電源36を制御し、電源36から制御電極1112に、自己バイアスの電圧を基準として、電位差が1000V以内の電圧を印加する。

[0039] このように、プラズマ処理装置1は、プラズマ処理の際、基板Wを静電吸

着するため、静電チャック1111の静電電極1111bに数kVの電圧を印加する。これにより、プラズマ処理装置1は、静電チャック1111により基板Wを静電吸着することができる。また、プラズマ処理装置1は、静電電極1111bの周囲に設けた制御電極1112に、自己バイアスの電圧を基準として電位差が1000V以内の電圧を印加する。これにより、プラズマ処理装置1は、静電電極1111bとリングアセンブリ112の電位差と比較して、制御電極1112とリングアセンブリ112の電位差を小さくすることができる。また、制御電極1112は、静電電極1111bに対してシールドとして機能し、静電電極1111bから静電チャック1111の周囲に漏洩する漏洩電界を遮蔽する。これにより、プラズマ処理装置1は、静電チャック1111の周囲に発生する漏洩電界を減らすことができ、パーティクルの発生を抑制できる。

[0040] 次に、静電電極1111b及び制御電極1112の具体的な配置条件の一例を説明する。図5は、実施形態に係る静電電極1111b及び制御電極1112の具体的な配置条件の一例を説明する図である。図5には、静電チャック1111の静電電極1111b及び制御電極1112が概略的に示されている。

[0041] 静電チャック1111のセラミック部材1111aは、例えば、絶縁耐圧を13kV/mm以上に構成する。例えば、セラミック部材1111aは、アルミナ焼結体により構成する。

[0042] 静電電極1111bと制御電極1112との間隔L1は、0.5mm~1mmに構成することが好ましい。また、制御電極1112と、静電チャック1111の中央領域111aの側面111cとの間隔L2は、0.5μm以上に構成することが好ましい。例えば、基板Wを静電吸着する際に静電電極1111bに印加される電圧が6kVであり、制御電極1112に生じる自己バイアスの電圧が1kVである場合を想定する。この場合、間隔L1は、0.8mm~1mmに構成する。間隔L2は、0.2mm以上に構成する。

[0043] 静電チャック1111は、このような配置条件で静電電極1111b及び

制御電極 1 1 1 2 を構成することで、静電電極 1 1 1 1 b 及び制御電極 1 1 1 2 の絶縁を維持できる。

[0044] [プラズマ処理の流れ]

次に、本開示の吸着制御方法を含むプラズマ処理の流れを説明する。図 6 は、実施形態に係るプラズマ処理の流れの一例を示すフローチャートである。

[0045] 搬送アームなどの搬送機構により、基板 W が、不図示の搬入出口を介してプラズマ処理チャンバ 1 0 内に搬入され、基板支持部 1 1 の中央領域 1 1 1 a 上に載置される（ステップ S 1 0）。

[0046] 制御部 2 は、リングアセンブリ 1 1 2 の電圧を取得する（ステップ S 1 1）。例えば、処理部 2 a 1 は、記憶部 2 a 2 から自己バイアスの電圧のデータを読み出し、リングアセンブリ 1 1 2 の電圧として、自己バイアスの電圧を取得する。

[0047] 制御部 2 は、取得されたリングアセンブリ 1 1 2 の電圧の値に応じて、電源 3 6 の出力電圧を制御する（ステップ S 1 2）。例えば、制御部 2 は、電源 3 6 の出力電圧をリングアセンブリ 1 1 2 の電圧の値から所定の電位差以内に制御する。例えば、処理部 2 a 1 は、電源 3 6 を制御し、電源 3 6 から制御電極 1 1 1 2 に、自己バイアスの電圧を基準として、電位差が 1 0 0 0 V 以内の電圧を印加する。

[0048] 制御部 2 は、電源 3 4 を制御し、電源 3 4 から配線 3 3 を介して静電電極 1 1 1 1 b に数 k V の直流電圧を印加して、静電チャック 1 1 1 1 に基板 W を静電吸着させる（ステップ S 1 3）。

[0049] 制御部 2 は、プラズマ処理装置 1 を制御し、プラズマ処理を実施する（ステップ S 1 4）。例えば、制御部 2 は、ガス供給部 2 0 を制御し、ガス供給部 2 0 からプラズマ処理用の処理ガスをプラズマ処理空間 1 0 s 内に導入する。制御部 2 は、電源 3 0 を制御し、処理ガスの導入に合わせて、電源 3 0 から電力を供給してプラズマ処理チャンバ 1 0 内にプラズマを生成して、基板 W に対してプラズマ処理を実施する。

- [0050] 基板Wに対するプラズマ処理が終了すると、制御部2は、電源34及び電源36からの電圧の印加を停止して、基板Wの静電吸着を解除する（ステップS15）。
- [0051] 搬送アームなどの搬送機構により、中央領域111a上に載置された基板Wが、不図示の搬入出口を介してプラズマ処理チャンバ10外に搬出される（ステップS16）。
- [0052] なお、上記の実施形態では、制御電極1112を1つ設けた場合を例に説明した。しかし、開示の技術はこれに限定されるものではない。例えば、制御電極1112は、複数設けてもよい。図7は、実施形態に係る静電チャック1111の構成の他の一例を概略的に示した図である。図7には、静電チャック1111の概略的な断面が示されている。静電チャック1111の中央領域111aの周辺部分には、複数の制御電極1112が設けられている。制御電極1112は、静電チャック1111内に複数設けられ、それぞれの制御電極1112は、静電チャック1111の厚さ方向において異なる位置に配置される。制御電極1112は、静電チャック1111の厚さ方向において、静電電極1111bと同じ位置の他、静電電極1111bよりも中央領域111aに近い位置及び中央領域111aから遠い位置にそれぞれ配置されていてもよい。このように配置された複数の制御電極1112は、シールドとして機能して静電電極1111bから静電チャック1111の周囲に漏洩する漏洩電界をより広い範囲で遮蔽できるため、パーティクルの発生を抑制できる。図7の例では、複数の制御電極1112は、厚さ方向において等間隔に設けられているが、不等間隔に設けられてもよい。
- [0053] また、上記の実施形態では、静電電極1111b及び制御電極1112を中央領域111aに沿うように配置した場合を例に説明した。しかし、開示の技術はこれに限定されるものではない。制御電極1112は、静電電極1111bの延在方向に対する交差方向に配置してもよい。例えば、制御電極1112は、静電チャック1111の断面に沿う方向における制御電極1112の延在方向が、静電電極1111bを含む平面に交差するように、静電

チャック 1 1 1 1 内に配置されていてもよい。図 8 は、実施形態に係る静電チャック 1 1 1 1 の構成の他の一例を概略的に示した図である。図 8 には、静電チャック 1 1 1 1 の概略的な断面が示されている。静電電極 1 1 1 1 b は、中央領域 1 1 1 a と並列に、中央領域 1 1 1 a の中央部分から周辺近くまで配置されている。制御電極 1 1 1 2 は、中央領域 1 1 1 a の周辺部分に、中央領域 1 1 1 a に対して直交方向に配置されている。このように静電電極 1 1 1 1 b の延在方向に対する交差方向に配置された制御電極 1 1 1 2 は、シールドとして機能して静電電極 1 1 1 1 b から静電チャック 1 1 1 1 の周囲に漏洩する漏洩電界をより広い範囲で遮蔽できるため、パーティクルの発生を抑制できる。

[0054] また、上記の実施形態では、静電電極 1 1 1 1 b の周囲を囲むようにリング状に制御電極 1 1 1 2 を形成した場合を例に説明した。しかし、開示の技術はこれに限定されるものではない。制御電極 1 1 1 2 は、静電電極 1 1 1 1 b の周方向に分割されていてもよい。図 9 及び図 10 は、実施形態に係る静電チャック 1 1 1 1 の構成の他の一例を概略的に示した図である。図 9 及び図 10 には、静電チャック 1 1 1 1 の中央領域 1 1 1 a 部分が示されている。制御電極 1 1 1 2 は、静電電極 1 1 1 1 b の周方向に分割されている。例えば、図 9 では、静電電極 1 1 1 1 b の周方向に対して 2 つの領域に制御電極 1 1 1 2 が分割されている。図 10 では、静電電極 1 1 1 1 b の周方向に対して 4 つの領域に制御電極 1 1 1 2 が分割されている。この場合、配線 3 5 a 及び電源 3 6 は、制御電極 1 1 1 2 の分割した各領域に対してそれぞれ設けてもよい。また、配線 3 5 a を分岐させて制御電極 1 1 1 2 の分割した各領域に並列に接続してもよい。図 9 及び図 10 の例では、制御電極 1 1 1 2 は、同一の形状に分割されているが、異なる形状に分割されてもよい。

[0055] また、上記の実施形態では、静電チャック 1 1 1 1 のセラミック部材 1 1 1 a 内に静電電極 1 1 1 1 b 及び制御電極 1 1 1 2 を埋め込む構成とした場合を例に説明した。しかし、開示の技術はこれに限定されるものではない。制御電極 1 1 1 2 は、別なパーツとして静電チャック 1 1 1 1 に配置され

てもよい。図11及び図12は、実施形態に係る静電チャック1111の構成の他の一例を概略的に示した図である。図11及び図12には、静電チャック1111の概略的な断面が示されている。図11は、静電電極1111b及び制御電極1112を中央領域111aに沿うように配置する場合を示している。静電チャック1111は、中央領域111aの外周側に高さが低い平坦部111dが形成されている。パーツ1113は、静電チャック1111の平坦部111dに対応したサイズで平坦な環状に形成されている。パーツ1113は、セラミック部材1113aと、制御電極1112とを含む。制御電極1112は、セラミック部材1113aに埋め込まれている。静電チャック1111の平坦部111dにパーツ1113を取り付けることで、制御電極1112が中央領域111aに沿うように配置される。図12は、制御電極1112を静電電極1111bの延在方向に対する交差方向に配置する場合を示している。パーツ1114は、筒状に形成されており、内径が静電チャック1111の中央領域111aの外径と同程度に形成されている。パーツ1114は、セラミック部材1114aと、制御電極1112とを含む。制御電極1112は、セラミック部材1114aに埋め込まれている。静電チャック1111中央領域111aの側面111cにパーツ1114を取り付けることで、制御電極1112が静電電極1111bの延在方向に対する交差方向に配置される。

[0056] 以上、実施形態について説明した。上記したように、実施形態に係るプラズマ処理システムは、プラズマ処理チャンバ10と、基台1110と、静電チャック1111と、静電電極1111b（第1電極）と、制御電極1112（第2電極）と、電源36と、制御部2とを備える。基台1110は、プラズマ処理チャンバ10内に配置される。静電チャック1111は、基台1110の上部に配置され、中央領域111a（基板支持面）及び環状領域111b（リング支持面）を有する。静電電極1111bは、静電チャック1111内の中央領域111aの下方に配置され、静電気力により基板を吸着する。制御電極1112は、静電電極1111bの周囲を囲むように静電チ

ャック１１１１内に配置される。電源３６は、制御電極１１１２と電氣的に接続される。制御部２は、環状領域１１１ｂに配置されるリングアセンブリの電圧を取得する工程と、取得された電圧の値に応じて、電源３６の出力電圧を制御する工程と、を含む処理を実行する。これにより、実施形態に係るプラズマ処理システムは、パーティクルの発生を抑制できる。

[0057] また、制御する工程は、電源３６の出力電圧を電圧の値から所定の電位差以内に制御する。また、制御する工程は、電源３６の出力電圧を電圧の値から１０００Ｖ以内に制御する。これにより、実施形態に係るプラズマ処理システムは、パーティクルの発生を抑制できる。

[0058] また、静電電極１１１１ｂ及び制御電極１１１２は、中央領域１１１ａに沿うように配置される。制御電極１１１２は、シールドとして機能し、静電電極１１１１ｂから静電チャック１１１１の周囲に漏洩する漏洩電界を遮蔽する。これにより、実施形態に係るプラズマ処理システムは、パーティクルの発生を抑制できる。

[0059] また、制御電極１１１２は、静電チャック１１１１内に複数設けられる。それぞれの制御電極１１１２は、静電チャック１１１１の厚さ方向において異なる位置に配置される。また、それぞれの制御電極１１１２は、中央領域１１１ａと並列に配置される。また、制御電極１１１２は、静電チャック１１１１の厚さ方向において、静電電極１１１１ｂよりも中央領域１１１ａに近い位置及び中央領域１１１ａから遠い位置にそれぞれ配置される。このように配置された複数の制御電極１１１２は、シールドとして機能し、静電チャック１１１１周囲の広い範囲の漏洩電界を遮蔽する。これにより、実施形態に係るプラズマ処理システムは、パーティクルの発生を抑制できる。

[0060] また、制御電極１１１２は、静電電極１１１１ｂの延在方向に対する交差方向に配置されている。静電電極１１１１ｂの延在方向に対する交差方向に配置された制御電極１１１２は、シールドとして機能し、静電チャック１１１１周囲の広い範囲の漏洩電界を遮蔽する。これにより、実施形態に係るプラズマ処理システムは、パーティクルの発生を抑制できる。

- [0061] また、制御電極 1 1 1 2 は、静電電極 1 1 1 1 b の周囲を囲むようにリング状に形成されている。制御電極 1 1 1 2 は、シールドとして機能し、静電チャック 1 1 1 1 の全周で周囲の漏洩電界を遮蔽する。これにより、実施形態に係るプラズマ処理システムは、パーティクルの発生を抑制できる。
- [0062] また、静電チャック 1 1 1 1 は、中央領域 1 1 1 a よりも環状領域 1 1 1 b が低く形成されている。制御電極 1 1 1 2 は、シールドとして機能し、中央領域 1 1 1 a の側面 1 1 1 c に発生する漏洩電界を遮蔽できるため、中央領域 1 1 1 a の側面 1 1 1 c からのパーティクルの発生を抑制できる。
- [0063] また、電源 3 6 は、可変抵抗 3 7 が設けられた配線 3 5 a を介して制御電極 1 1 1 2 と電氣的に接続されている。これにより、実施形態に係るプラズマ処理システムは、可変抵抗 3 7 の抵抗を変えることで、電源 3 6 から印加される直流電圧に対する制御電極 1 1 1 2 の電圧の応答速度を調整できる。
- [0064] なお、今回開示された実施形態は全ての点で例示であって制限的なものではないと考えられるべきである。実に、上記した実施形態は多様な形態で具現され得る。また、上記の実施形態は、添付の特許請求の範囲及びその趣旨を逸脱することなく、様々な形態で省略、置換、変更されてもよい。
- [0065] また、上記の実施形態に関し、さらに以下の付記を開示する。
- [0066] (付記 1)
- プラズマ処理チャンバと、
- 前記プラズマ処理チャンバ内に配置される基台と、
- 前記基台の上部に配置され、基板支持面及びリング支持面を有する静電チャックと、
- 前記静電チャック内の前記基板支持面の下方に配置され、静電気力により基板を吸着する第 1 電極と、
- 前記第 1 電極の周囲を囲むように前記静電チャック内に配置される第 2 電極と、
- 前記第 2 電極と電氣的に接続される電源と、
- 制御部と、

を備え、
前記制御部は、
前記リング支持面に配置されるリングアセンブリの電圧を取得する工程と
、
取得された前記電圧の値に応じて、前記電源の出力電圧を制御する工程と
、
を含む処理を実行するプラズマ処理装置。

[0067] (付記 2)

前記制御する工程は、前記電源の出力電圧を前記電圧の値から所定の電位差以内に制御する

付記 1 に記載のプラズマ処理装置。

[0068] (付記 3)

前記制御する工程は、前記電源の出力電圧を前記電圧の値から 1 0 0 0 V 以内に制御する

付記 1 に記載のプラズマ処理装置。

[0069] (付記 4)

前記第 1 電極及び前記第 2 電極は、前記基板支持面に沿うように配置される

付記 1 ～ 3 の何れか 1 つに記載のプラズマ処理装置。

[0070] (付記 5)

前記第 2 電極は、前記静電チャック内に複数設けられ、それぞれの前記第 2 電極は、前記静電チャックの厚さ方向において異なる位置に配置される

付記 1 ～ 3 の何れか 1 つに記載のプラズマ処理装置。

[0071] (付記 6)

それぞれの前記第 2 電極は、前記基板支持面と並列に配置される

付記 5 に記載のプラズマ処理装置。

[0072] (付記 7)

前記第 2 電極は、前記静電チャックの厚さ方向において、前記第 1 電極よ

りも前記基板支持面に近い位置及び前記基板支持面から遠い位置にそれぞれ配置される

付記 5 又は 6 に記載のプラズマ処理装置。

[0073] (付記 8)

前記第 2 電極は、前記第 1 電極の延在方向に対する交差方向に配置されている

付記 1 ～ 3 の何れか 1 つに記載のプラズマ処理装置。

[0074] (付記 9)

前記第 2 電極は、前記第 1 電極の周囲を囲むようにリング状に形成されている

付記 1 ～ 8 の何れか 1 つに記載のプラズマ処理装置。

[0075] (付記 10)

前記第 2 電極は、前記第 1 電極の周方向に分割されている

付記 1 ～ 8 の何れか 1 つに記載のプラズマ処理装置。

[0076] (付記 11)

前記リング支持面は、前記基板支持面よりも低い

付記 1 ～ 10 の何れか 1 つに記載のプラズマ処理装置。

[0077] (付記 12)

前記電源は、可変抵抗が設けられた配線を介して前記第 2 電極と電氣的に接続されている

付記 1 ～ 11 の何れか 1 つに記載のプラズマ処理装置。

[0078] (付記 13)

プラズマ処理チャンバと、

前記プラズマ処理チャンバ内に配置される基台と、

前記基台の上部に配置され、基板支持面及びリング支持面を有する静電チャックと、

前記静電チャック内の前記基板支持面の下方に配置される第 1 電極と、

前記第 1 電極の周囲を囲むように前記静電チャック内に配置される第 2 電

極と、

前記第2電極と電氣的に接続される電源と、

を備えたプラズマ処理装置の吸着制御方法であって、

前記リング支持面に配置されるリングアセンブリの電圧を取得する工程と

、

取得された前記電圧の値に応じて、前記電源の出力電圧を制御する工程と

、

を有する吸着制御方法。

符号の説明

- [0079]
- 1 プラズマ処理装置
 - 2 制御部
 - 2 a コンピュータ
 - 2 a 1 処理部
 - 2 a 2 記憶部
 - 2 a 3 通信インターフェース
 - 1 0 プラズマ処理チャンバ
 - 1 1 基板支持部
 - 3 0 電源
 - 3 1 電源
 - 3 1 a 第1のRF生成部
 - 3 1 b 第2のRF生成部
 - 3 2 電源
 - 3 2 a 第1のDC生成部
 - 3 2 b 第2のDC生成部
 - 3 3 配線
 - 3 4 電源
 - 3 5 a 配線
 - 3 5 b 配線

- 3 6 電源
- 3 7 可変抵抗
- 4 0 排気システム
- 1 1 1 本体部
 - 1 1 1 a 中央領域
 - 1 1 1 b 環状領域
 - 1 1 1 c 側面
 - 1 1 1 d 平坦部
- 1 1 2 リングアセンブリ
- 1 1 1 0 基台
 - 1 1 1 0 a 流路
 - 1 1 1 1 静電チャック
 - 1 1 1 1 a セラミック部材
 - 1 1 1 1 b 静電電極
 - 1 1 1 2 制御電極
 - 1 1 1 3 パーツ
 - 1 1 1 3 a セラミック部材
 - 1 1 1 4 パーツ
 - 1 1 1 4 a セラミック部材
- W 基板

請求の範囲

- [請求項1] プラズマ処理チャンバと、
前記プラズマ処理チャンバ内に配置される基台と、
前記基台の上部に配置され、基板支持面及びリング支持面を有する静電チャックと、
前記静電チャック内の前記基板支持面の下方に配置され、静電気力により基板を吸着する第1電極と、
前記第1電極の周囲を囲むように前記静電チャック内に配置される第2電極と、
前記第2電極と電氣的に接続される電源と、
制御部と、
を備え、
前記制御部は、
前記リング支持面に配置されるリングアセンブリの電圧を取得する工程と、
取得された前記電圧の値に応じて、前記電源の出力電圧を制御する工程と、
を含む処理を実行するプラズマ処理装置。
- [請求項2] 前記制御する工程は、前記電源の出力電圧を前記電圧の値から所定の電位差以内に制御する
請求項1に記載のプラズマ処理装置。
- [請求項3] 前記制御する工程は、前記電源の出力電圧を前記電圧の値から1000V以内に制御する
請求項1に記載のプラズマ処理装置。
- [請求項4] 前記第1電極及び前記第2電極は、前記基板支持面に沿うように配置されている
請求項1に記載のプラズマ処理装置。
- [請求項5] 前記第2電極は、前記静電チャック内に複数設けられ、それぞれの

前記第2電極は、前記静電チャックの厚さ方向において異なる位置に配置される

請求項4に記載のプラズマ処理装置。

[請求項6] それぞれの前記第2電極は、前記基板支持面と並列に配置される
請求項5に記載のプラズマ処理装置。

[請求項7] 前記第2電極は、前記静電チャックの厚さ方向において、前記第1電極よりも前記基板支持面に近い位置及び前記基板支持面から遠い位置にそれぞれ配置される

請求項5に記載のプラズマ処理装置。

[請求項8] 前記第2電極は、前記第1電極の延在方向に対する交差方向に配置されている

請求項1に記載のプラズマ処理装置。

[請求項9] 前記第2電極は、前記第1電極の周囲を囲むようにリング状に形成されている

請求項1に記載のプラズマ処理装置。

[請求項10] 前記第2電極は、前記第1電極の周方向に分割されている
請求項1に記載のプラズマ処理装置。

[請求項11] 前記リング支持面は、前記基板支持面よりも低い
請求項1に記載のプラズマ処理装置。

[請求項12] 前記電源は、可変抵抗が設けられた配線を介して前記第2電極と電氣的に接続されている

請求項1に記載のプラズマ処理装置。

[請求項13] プラズマ処理チャンバと、
前記プラズマ処理チャンバ内に配置される基台と、
前記基台の上部に配置され、基板支持面及びリング支持面を有する静電チャックと、
前記静電チャック内の前記基板支持面の下方に配置される第1電極と、

前記第 1 電極の周囲を囲むように前記静電チャック内に配置される
第 2 電極と、

前記第 2 電極と電氣的に接続される電源と、

を備えたプラズマ処理装置の吸着制御方法であって、

前記リング支持面に配置されるリングアセンブリの電圧を取得する
工程と、

取得された前記電圧の値に応じて、前記電源の出力電圧を制御する
工程と、

を有する吸着制御方法。