

内存数据迁移方法和相关设备

本申请要求于 2023 年 03 月 31 日提交国家知识产权局、申请号为 202310363679.X, 申请名称为“内存数据迁移方法和相关设备”的中国专利申请的优先权, 这些全部内容通过引用结合在本申请中。

技术领域

本申请涉及计算机领域, 尤其涉及一种内存数据迁移方法、装置、内存、芯片、处理器、计算机设备和计算机可读存储介质。

背景技术

目前, 计算机设备中处理器以交织方式对内存进行读操作或写操作, 即将访问内存的数据按照单位存储空间(例如, 缓存线(cacheline))均匀地分布到多个内存通道上, 对多个内存进行读操作或写操作, 改善系统的访问性能。但是, 在处理器以交织方式访问内存的应用场景下, 基于页面的访问频次确定内存访问热度, 由于需要较多的计数器统计每个内存通道的页面访问频次, 导致页面访问频次的统计数据量较大, 尤其对小页面(如: 4 千字节(Kilobyte, KB)页面)而言尤为严重。由此, 处理器可能无法及时获取页面访问频次, 可能导致存取速度快的存储器可能存储访问不频繁的数据, 或者导致存取速度慢的存储器可能存储访问频繁的数据, 影响了系统的数据处理速度和时延。

发明内容

本申请提供了一种内存数据迁移方法、装置、内存、芯片、处理器、计算机设备和计算机可读存储介质。由此提高系统的数据处理速度, 以及降低数据处理时延。

第一方面, 提供了一种内存数据迁移方法, 该方法应用于混合内存系统, 混合内存系统包含多个处理器和多种不同类型的内存介质, 处理器关联至少两种不同类型的内存介质。方法包括: 在计算机设备中处理器采用交织方式访问内存介质场景下, 根据采样策略对多个内存通道进行采样, 根据采样的内存通道内交织后数据块的访问频次确定内存介质中交织后数据块所在页面的访问频次, 以便于根据页面的访问频次确定页面的访问热度, 根据访问热度触发数据迁移。其中, 访问频次直观地表示了数据块被应用程序访问的频繁程度。数据块被应用程序访问的次数越多, 表示数据块被应用程序访问的越频繁, 数据块的访问热度越热; 数据块被应用程序访问的次数越少, 表示数据块被应用程序访问的越不频繁, 数据块的访问热度越冷。

如此, 本申请提供的内存数据迁移方法, 由于基于采样策略指示的空间维度和时间维度, 对内存通道进行多维度采样, 确保采样的内存通道内交织后数据块的访问频次具有代表性, 实现基于采样的内存通道内交织后数据块的访问频次确定交织后数据块所在页面的访问频次, 即基于页面的部分访问频次确定页面的全部访问频次, 从而, 提升了交织后数据块所在页面的访问频次的准确性, 又减少了页面的访问频次的统计数据量, 使得处理器能够尽可能快地获取到页面的访问频次, 依据页面的访问热度触发数据迁移时, 可以将热数据迁移到近端内存(near memory), 将冷数据迁移到远端内存(far memory), 使处理器可以尽可能快地从近端内存获取频繁访问的数据, 提高系统的数据处理速度, 以及降低数据处理时延。

其中, 近端内存的存取速度大于远端内存的存取速度。例如, 近端内存可以是动态随机存取存储器(Dynamic Random Access Memory, DRAM)或者双倍数据速率同步动态随机存取存储器(double data rate SDRAM, DDR SDRAM)。远端内存可以是存储级内存(storage-class-memory, SCM)。

多种不同类型的内存介质包括第一内存介质和第二内存介质, 处理器关联的内存介质包含第一内存介质和第二内存介质, 第一内存介质的存取速度大于第二内存介质的存取速度, 则第一内存介质的访问时延小于第二内存介质的访问时延。例如, 第一内存介质可以是近端内存, 第二存

储介质可以为远端内存。

在一种可能的实现方式中，根据采样策略对计算机设备中多个内存通道进行采样，包括：根据采样策略指示的页面标识与内存通道的空间分布，从多个内存通道采样得到采样的内存通道。

在一种可能的实现方式中，根据采样策略指示的页面标识与内存通道的空间分布，从多个内存通道采样得到采样的内存通道，包括：根据页面标识与内存通道的对应关系从多个内存通道采样得到采样的内存通道。

从而，基于页面与内存通道的空间分布特征，对内存通道进行空间采样，基于页面中部分存储空间访问频次代表完整页面的访问频次，即一个内存通道内的计数器记录的访问频次来代表一个页面的访问频次，既提升了交织后数据块所在页面的访问频次的准确性，又减少了页面的访问频次的统计数据量。

在一种可能的实现方式中，根据采样策略对计算机设备中多个内存通道进行采样，包括：根据采样策略指示的旋转采样方式从多个内存通道采样得到采样的内存通道，旋转采样方式用于指示页面标识与内存通道的对应关系的变化方式。

从而，基于空间维度和时间维度对内存通道进行采样，通过旋转采样方式，改变页面标识与内存通道的对应关系，提升采样的内存通道内交织后数据块的访问频次代表性，减少了由于采样后带来的失真影响。

在一种可能的实现方式中，根据采样策略对计算机设备中多个内存通道进行采样，包括：根据采样策略指示的时段与内存介质的存储空间的对对应关系，从多个内存通道采样得到采样的内存通道。

在一种可能的实现方式中，根据采样策略对计算机设备中多个内存通道进行采样，包括：根据采样策略指示的旋转采样方式从多个内存通道采样得到采样的内存通道，旋转采样方式用于指示时段与内存介质的存储空间的对对应关系的变化方式。

从而，基于空间维度和时间维度对内存通道进行采样，通过旋转采样方式，改变时段与内存介质的存储空间的对对应关系，提升采样的内存通道内交织后数据块的访问频次代表性，减少了由于采样后带来的失真影响。

在一种可能的实现方式中，根据采样策略对计算机设备中多个内存通道进行采样，包括：根据采样策略对访问请求指示的地址对应的多个内存通道进行采样，访问请求用于指示计算机设备中处理器运行的应用程序对内存介质的操作。

在一种可能的实现方式中，交织后数据块的大小为处理器访问内存介质时缓存线的倍数。

在一种可能的实现方式中，页面的大小为4千字节(Kilobyte, KB)。由于基于本申请提供的内存数据迁移方法可以提升交织后数据块所在页面的访问频次的准确性，又减少了页面的访问频次的统计数据量，使得处理器能够尽可能快地获取到页面的访问频次，对于更小的页面而言，既减少了小页面的访问频次的统计数据量，又提升统计准确性，从而可获得更高的数据迁移精度。

第二方面，提供了一种内存数据迁移装置，内存数据迁移装置包括用于执行第一方面或第一方面任一种可能设计中的内存数据迁移方法的各个模块。

第三方面，提供了一种内存，内存包括存储介质和控制器，存储介质用于存储一组计算机指令；当控制器执行所述一组计算机指令时，执行第一方面或第一方面任一种可能实现方式中的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

第四方面，提供了一种芯片，包括：处理器和供电电路；其中，供电电路用于为处理器供电；处理器用于执行第一方面或第一方面任一种可能实现方式中的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

第五方面，提供了一种处理器，处理器包括关联至少两种不同类型的内存介质，处理器用于执行第一方面或第一方面任一种可能实现方式中的方法的操作步骤实现识别内存介质中数据块被应用程序访问的访问频次。

第六方面，提供了一种计算机设备，该计算机设备包括存储器、多种不同类型的内存介质和处理器，存储器用于存储一组计算机指令；当处理器执行一组计算机指令时，处理器用于执行第一方面或第一方面任一种可能实现方式中的方法的操作步骤实现识别内存中数据块被应用程序访

问的访问频次。

第七方面，提供了一种计算机可读存储介质，包括：计算机软件指令；当计算机软件指令在处理器中运行时，使得处理器执行如第一方面或第一方面任意一种可能的实现方式中所述方法的操作步骤。

第八方面，提供了一种计算机程序产品，当计算机程序产品在计算机上运行时，使得计算机执行如第一方面或第一方面任意一种可能的实现方式中所述方法的操作步骤。

第二方面至第八方面中任一种设计方式所带来的技术效果可参见第一方面或第一方面中不同设计方式所带来的技术效果，此处不再赘述。

本申请在上述各方面提供的实现方式的基础上，还可以进行进一步组合以提供更多实现方式。

附图说明

图1为本申请提供的一种计算机设备的组成示意图；

图2为本申请提供的一种内存交织的示意图；

图3为本申请提供的一种内存访问热度统计的场景示意图；

图4为本申请提供的一种内存数据迁移方法的流程示意图；

图5为本申请提供的一种基于空间维度内存访问热度统计的示意图；

图6为本申请提供的一种基于时间维度内存访问热度统计的示意图；

图7为本申请提供的一种内存访问热度统计方法的流程示意图；

图8为本申请提供的一种采样策略调整方法的流程示意图；

图9为本申请提供的一种内存数据迁移装置的结构示意图。

具体实施方式

为了便于描述，首先对本申请涉及的术语进行简单介绍。

在计算机存储系统的层次结构中，越靠近处理器的存储器，存取速度越快，存储容量也越小。依据距离处理器从近到远的顺序，存储器分为：寄存器，高速缓冲存储器，主存储器，外部存储器。

主存储器（main memory），也称内存储器，简称主存或内存(memory)。主存是计算机系统的重要部件，即外部存储器与处理器进行沟通的桥梁。主存用于暂时存放处理器中的运算数据以及处理器与硬盘等外部存储器交换的数据。例如，计算机开始运行，将需要运算的数据从主存加载到处理器中进行运算，运算完成后，处理器将运算结果存入主存。例如，主存包括动态随机存取存储器(dynamic random access memory, DRAM)，双倍数据率同步动态随机存取存储器(double data rate synchronous DRAM, DDR SDRAM)。

外部存储器，也称辅助存储器，简称为外存或辅存。相对主存，外存的存储容量大，存取速度慢。例如，外部存储器包括网络存储器，固态驱动器(solid state disk 或 solid state drive, SSD)，硬盘驱动器(hard disk drive, HDD)。

高速缓冲存储器(cache)，是介于处理器和主存之间的高速小容量存储器。高速缓冲存储器简称缓存。相对主存，缓存的存储容量小，存取速度快。缓存包括一级缓存(L1 cache)、二级缓存(L2 cache)和三级缓存(L3 cache)。一级缓存设置于处理器核内部。二级缓存可以设置于处理器核内部或处理器核外部。一级缓存和二级缓存通常由其所在的处理器核独享(exclusive)。三级缓存一般设置在处理器核外部，由多个处理器核共享(shared)。

寄存器(register)，是位于处理器内部的小型存储器，用于暂时存放参与运算的数据和运算结果。寄存器可以是一种常用的时序逻辑电路。

分级存储(Hierarchical Storage Technology)，是根据数据的重要性、访问频率、保留时间、存储容量、性能等指标，将数据采取不同的存储方式分别存储在不同性能的存储设备上，通过分级存储管理实现数据在存储设备之间的自动迁移。

热数据，指处理器经常访问的数据。如果将热数据存储到近端内存(near memory)，使得处理器可以尽可能快地获取到数据，提高系统的数据处理速度，以及降低数据处理时延，显著地改善系统的访问性能。

冷数据，指处理器不经常访问的数据。如果将冷数据存储到远端内存（far memory），可以存储更多的数据，而且使近端内存存储更多的热数据，提高近端内存的资源利用率，降低系统成本。近端内存的存取速度大于远端内存的存取速度。例如，高速缓冲存储器相对主存，高速缓冲存储器为近端内存，主存为远端内存。又如，主存相对外存，主存为近端内存，外存为远端内存。

缓存线（cache line），指计算机设备对内存的存储空间进行读操作或写操作的单位。一个缓存线的大小可以为 64 字节（byte，B）。

页面，指计算机设备对内存的存储空间进行管理的单位。例如，页面大小（page size）为 4 KB、2 兆字节（Megabyte，MB）或其他的字节大小。4KB 页面可以称为小页。2MB 页面可以称为大页。页面越小，计算机设备管理内存所需的资源越多；页面越大，计算机设备管理内存所需的资源越少。一个页面可以包括多个缓存线，即页面大小为缓存线的大小的倍数。

交织，指将访问内存的数据按照单位存储空间（例如，缓存线）均匀地分布到多个内存通道上。交织方式可以由系统管理员配置，可以在一个处理器连接的多个内存通道之间进行交织，也可以在多个处理器的多个内存通道之间进行交织。

内存通道，指计算机设备中处理器连接的多个内存。处理器可以采用交织技术对内存进行操作。例如，处理器根据缓存线的大小将待写入内存的数据均匀地分布到多个内存通道上。进而，处理器根据缓存线的大小从多个内存通道上读取数据。从而，基于多个内存通道进行数据处理，以提升计算机设备的内存带宽利用率和处理性能。

为了提高系统的数据处理速度，以及降低数据处理时延，本申请提供一种内存数据迁移方法，该方法应用于混合内存系统，混合内存系统包含多个处理器和多种不同类型的内存介质，处理器关联至少两种不同类型的内存介质。方法包括：在计算机设备中处理器采用交织方式访问内存介质场景下，根据采样策略对多个内存通道进行采样，根据采样的内存通道内交织后数据块的访问频次确定内存介质中交织后数据块所在页面的访问频次，以便于根据页面的访问频次确定页面的访问热度，根据访问热度触发数据迁移。

本申请提供的内存数据迁移方法，由于基于采样策略指示的空间维度和时间维度，对内存通道进行多维度采样，确保采样的内存通道内交织后数据块的访问频次具有代表性，实现基于采样的内存通道内交织后数据块的访问频次确定交织后数据块所在页面的访问频次，即基于页面的部分访问频次确定页面的全部访问频次，从而，提升了交织后数据块所在页面的访问频次的准确性，又减少了页面的访问频次的统计数据量，使得处理器能够尽可能快地获取到页面的访问频次，依据页面的访问热度触发数据迁移时，可以将热数据迁移到近端内存，将冷数据迁移到远端内存，使处理器可以尽可能快地从近端内存获取频繁访问的数据，提高系统的数据处理速度，以及降低数据处理时延。

本申请提供的内存数据迁移方法可以应用于人工智能、大数据、云计算等领域，以及高性能、大容量的存储系统等包含多种类型的存储介质的场景。

下面结合附图对本申请的实施方式进行详细描述。

图 1 为本申请提供的一种计算机设备的组成示意图。如图 1 所示，计算机设备 100 包括处理器 110。

处理器 110 是计算机设备 100 的控制中心。处理器 110 可以是中央处理器（central processing unit，CPU）、图形处理器（graphics processing unit，GPU）、数据处理单元（data processing unit，DPU）、神经处理单元（neural processing unit，NPU）和嵌入式神经网络处理器（neural-network processing unit，NPU）等具有计算能力的计算单元。处理器 110 还可以是其他通用处理器、数字信号处理器（digital signal processing，DSP）、专用集成电路（application-specific integrated circuit，ASIC）、现场可编程门阵列（field-programmable gate array，FPGA）、片上系统（system on chip，SoC）或者其他可编程逻辑器件、分立门或者晶体管逻辑器件、分立硬件组件等。通用处理器可以是微处理器或者是任何常规的处理器等。为了便于描述，以下实施例以处理器 110 为 CPU 为例进行说明。

图 1 中计算机设备 100 可包括一个或多个处理器（如：处理器 110 和处理器 130）。处理器可以是一个多核（multi-core）处理器，即处理器包括一个处理器核（core）或多个处理器核。例

如,图1中所示的处理器110包含的N个处理器核。这里的处理器可以指一个或多个设备、电路、和/或用于处理数据(例如计算机程序指令)的计算单元。

由于单个处理器的核数逐渐增多,处理器的计算速度也不断提高,则处理器对内存的存取速度和内存容量的需求也越来越高。在一种可能的实现方式中,将多种不同类型的存储介质一起作为计算机设备的主存储器(简称:内存或主存),以此提升内存容量,为每个处理器核从内存中分配尽可能多的内存资源和内存带宽,满足处理器对内存的存取速度和内存容量的需求。可以将利用多种不同类型的存储介质作为内存的系统称为混合内存系统。混合内存系统中作为内存的存储介质可以称为内存介质。处理器可以关联至少一种类型的内存介质,即有的处理器关联一种类型的内存介质,有的处理器关联两种以上类型的内存介质。

例如,计算机设备包括多种不同类型的内存介质。多种不同类型的内存介质包括第一内存介质和第二内存介质,第一内存介质的存储容量低于第二内存介质的存储容量,第一内存介质的存取速度高于第二内存介质的存取速度,第一内存介质的访问时延低于第二内存介质的访问时延,第一内存介质的成本高于第二内存介质的成本。

其中,第一内存介质可以包含动态随机存取存储器(dynamic random access memory, DRAM)。第二内存介质为存储级内存(storage-class-memory, SCM),SCM包括相变存储器(phase-change memory, PCM),磁性随机存储器(magneto resistive random-access memory, MRAM)、电阻型随机存储器(resistive random access memory, RRAM/ReRAM),铁电式存储器(ferroelectric random access memory, FRAM),快速NAND(fast NAND)或纳米随机存储器(Nano-RAM, NRAM)中至少一种。

示例地,计算机设备100中作为主存储器120的多种不同类型的内存介质包括DRAM121和SCM122。处理器110与DRAM121和SCM122通过支持内存语义的接口相连。

处理器110,用于运行应用程序对内存介质(如:DRAM121、SCM122)进行读操作或写操作,以及根据对内存介质的访问冷热程度触发数据迁移。

根据对内存介质的访问冷热程度触发数据迁移可以替换描述为根据内存介质存储的数据的访问冷热程度触发数据迁移。数据迁移包括将冷数据迁移到下一级内存介质,以及将热数据迁移到上一级内存介质。

例如,当缓存线为冷数据时,缓存线所在的内存介质为DRAM,将缓存线迁移到SCM。

又如,当缓存线为热数据时,缓存线所在的内存介质为SCM,将缓存线迁移到DRAM。

可理解地,对于计算机设备中的任一级内存介质均可依据数据访问冷热程度触发数据迁移。每个内存介质依据数据访问冷热程度逐级对数据进行迁移。相对当前的内存介质,下一级内存介质的存储容量更大;上一级内存介质的存取速度越快。

在一些实施例,计算机设备以页面(如:4KB页面,2MB页面)为粒度统计页面的访问频次,兼容了计算机设备对内存的页面管理方式,使得内存数据迁移方法具备易用性。例如,处理器以缓存线为粒度对内存介质进行操作,而缓存线属于管理的某一页面,则内存介质中的缓存线被操作一次,缓存线所属的页面也就被读写一次。控制器统计被操作的缓存线所属的页面的访问频次,有效地提升了页面的访问热度的识别准确性。

在另一些实施例,处理器110运行的应用程序以交织方式对计算机设备的内存介质的操作时,将访问内存介质的数据按照单位存储空间(例如,缓存线)均匀地分布到多个内存通道上,以提升存取速度。其中,每个内存通道上只能获得一个页面内的部分空间地址,则页面的访问频次包括交织的多个内存通道上页面包含的数据块的访问频次。

示例地,如图2所示,2MB的页面包括512个4KB的页面,一个缓存线的大小为64B,4KB的页面包括64个缓存线。2MB的页面包括512*64个缓存线均匀地分不到8个内存通道,每个内存通道分得512*512B的缓存线。每个内存通道包含256KB的交织后数据块。

例如,页面大小为4KB($X^{\text{page size}}=4\text{KB}$),数据按照缓存线的粒度在8个内存通道上进行交织($N^{\text{channel}}=8$),则每个内存通道的交织后数据块的大小为512B。若内存的存储容量为128GB,在无交织的情况下需要32K个计数器,在8个内存通道交织的情况下就需要32K*8=256K个计数器。

又如, 页面大小为 2MB ($X^{\text{page size}}=2\text{MB}$), 数据按照缓存线的粒度在 4 个内存通道上进行交织 ($N^{\text{channel}}=4$), 则每个内存通道的交织后数据块的大小为 512KB。若内存的存储容量为 128GB, 在无交织的情况下需要 64K 个计数器, 在 4 个内存通道交织的情况下就需要 $64\text{K} \times 4=256\text{K}$ 个计数器。

本申请中, 处理器 110 用于在采用交织方式访问内存介质场景下, 根据采样策略对多个内存通道进行采样, 根据采样的内存通道内交织后数据块的访问频次确定内存介质中交织后数据块所在页面的访问频次, 以便于根据页面的访问频次确定页面的访问热度, 根据访问热度触发数据迁移。

另外, 本申请对执行内存访问热度统计的执行主体不予限定, 执行主体包括计算机设备中介质模组、计算机设备其他具有计算功能的硬件模组或处理器。

示例地, 如图 3 中的(a)所示, 在介质模组内实现采集访问请求、采样内存通道、统计计数和存储访问频次。介质模组可以是多种不同类型的内存介质中任一种。例如介质模组可以是 DRAM 或 SCM。

计算机设备中处理器向介质模组发送访问请求, 指示对介质模组执行写操作或读操作。介质模组中的控制器(如: 寄存时钟驱动器(Register Clock Driver, RCD))可以采集访问请求, 对访问请求指示访问的内存通道进行采样, 并统计采样的内存通道内交织后数据块的访问频次, 存储交织后数据块的访问频次; 进而, 通过带内或带外的方式向处理器反馈交织后数据块的访问频次。

如图 3 中的(b)所示, 与图 3 中的(a)的区别在于: 由计算机设备内其他硬件模组实现采集访问请求、采样内存通道、统计计数和存储访问频次, 并通过带内或带外的方式向处理器反馈交织后数据块的访问频次。硬件模组可以是内存控制器或外设(如: 复杂程序逻辑器件(complex programmable logical device, CPLD), FPGA)等。

如图 3 中的(c)所示, 与图 3 中的(a)的区别在于: 由计算机设备内处理器实现采集访问请求、采样内存通道、统计计数和存储访问频次, 处理器核可以通过读处理器中寄存器的方式获取交织后数据块的访问频次。

计算机设备 100 还可以包括高速缓冲存储器和寄存器。

高速缓冲存储器用于存储处理器 110 中的处理器核可能多次访问的指令或数据。从而, 提高处理器处理数据的速度, 避免处理器频繁访问主存储器 120。

在物理形态上, 高速缓冲存储器可以是随机存取存储器(random access memory, RAM)、静态随机存取存储器(static random-access memory, SRAM)、动态随机存储器(dynamic RAM, DRAM), 或可存储信息和指令的其他类型的存储设备。

在逻辑形态上, 高速缓冲存储器可以是一级缓存(L1 cache)、二级缓存(L2 cache)、三级缓存(L3 cache)或者任意级别的缓存设备。示例地, 设置于处理器核内部的高速缓冲存储器可以是一级缓存(L1 cache)和二级缓存(L2 cache)。设置于处理器核外部的高速缓冲存储器可以是三级缓存(L3 cache)。

寄存器用于存储处理器 110 中的处理器核可能多次访问的指令或数据。由于寄存器的存取速度高于高速缓冲存储器的存取速度, 从而, 可以将处理器核可能多次访问的指令或数据先存入寄存器, 可以进一步提高处理器处理数据的速度。

处理器核通过总线 111 与处理器中的其他器件(如: 处理器核、高速缓冲存储器、主存储器 120)连接, 通过总线 111 访问其他器件。例如, 处理器核、高速缓冲存储器和主存储器 120 之间通过总线 111 传输访问频次。又如, 处理器核通过总线 111 向主存储器 120 传输写指令或读指令, 使主存储器 120 根据写指令对缓存线进行写操作或根据读指令对缓存线进行读操作。总线 111 可以是工业标准体系结构(industry standard architecture, ISA)总线、快捷外围部件互连标准(Peripheral Component Interconnect Express, PCIe)总线、或扩展工业标准结构(extended industry standard architecture, EISA)总线、统一总线(unified bus, Ubus 或 UB)、计算机快速链接(compute express link, CXL)、缓存一致互联协议(cache coherent interconnect for accelerators, CCIX)等, 或者是非标准体系的私有总线标准等。该总线可以分为地址总线、数据总线、控制总线等。为使

于表示，图1中仅用一条粗线表示，但并不表示仅有一根总线或一种类型的总线。

图1中处理器核和处理器中的其他器件的连接方式只是一种示意性说明。在一种可能的实现方式中，处理器核通过环形总线（ring bus）与处理器中的其他器件连接，通过环形总线访问处理器中的其他器件。在另一种可能的实现方式中，处理器核和处理器中的其他器件通过网形总线（mesh bus）连接，处理器核通过网形总线访问处理器中的其他器件。

处理器110通过内存控制器（memory control, MC）112与主存储器120连接。处理器110可以通过运行或执行存储在主存储器120内的软件程序，以及调用存储在主存储器120内的数据，执行计算机设备100的各种功能。例如，处理器110通过内存控制器112实现采集访问请求、采样内存通道、统计计数和存储访问频次。

主存储器120可以是只读存储器（read-only memory, ROM）或可存储静态信息和指令的其他类型的静态存储设备，随机存取存储器（random access memory, RAM）或者可存储信息和指令的其他类型的动态存储设备，也可以是电可擦可编程只读存储器（electrically erasable programmable read-only memory, EEPROM）等。主存储器120还用于存储与本实施例相关的程序。

处理器110还可以包含外设（external device）140和外设管理模块113。外设140通过总线111与外设管理模块113连接。外设140可以是特定集成电路（application specific integrated circuit, ASIC）。例如：微处理器（digital signal processor, DSP），或，一个或者多个现场可编程门阵列（field programmable gate array, FPGA），或者，图形处理器（graphics processing unit, GPU），或者，神经网络处理器（neural-network processing unit, NPU）。外设140也可以实现采集访问请求、采样内存通道、统计计数和存储访问频次，通过总线111向处理器核反馈访问频次，使处理器核根据数据的访问冷热程度触发数据迁移。

图1中示出的设备结构并不构成对计算机设备的限定，可以包括比图示更多或更少的部件，或者组合某些部件，或者不同的部件布置。

接下来，结合附图对本申请提供的内存数据迁移方法进行详细说明。

为了便于说明，以图3中的（a）所示的介质模组统计场景，即在内存介质内实现采集访问请求、采样内存通道、统计计数和存储访问频次为例进行说明，参见图4，图4为本申请提供了一种内存数据迁移方法的流程示意图。如图4所示，该方法包括以下步骤。

步骤410、处理器采用交织方式访问内存介质，向多个内存介质发送访问请求。

处理器采用交织方式访问内存介质时，将访问内存介质的数据按照单位存储空间（例如，缓存线）均匀地分布到多个内存通道上。应理解，将访问内存介质的数据按照单位存储空间均匀地分布到多个内存通道上，即将访问内存介质的数据按照单位存储空间均匀地分布到多个内存介质上。例如，处理器向多个内存介质发送访问请求，访问请求指示按照单位存储空间（例如，缓存线）对内存介质进行读操作或写操作。单位存储空间的大小可以为处理器访问内存时缓存线的大小。

步骤420、内存介质根据采样策略对计算机设备中多个内存通道进行采样，确定采样的内存通道内交织后数据块的访问频次。

内存介质接收处理器发送的访问请求，访问请求用于指示处理器运行的应用程序对计算机设备的内存介质的操作。内存介质对访问请求进行译码，得到访问请求指示的物理地址和操作指令。

当处理器采用交织方式访问多个内存介质时，物理地址指示了多个内存通道中一个内存通道内的存储空间，存储空间的大小可以是一个或多个缓存线的大小，即交织后数据块的大小为处理器访问内存介质时缓存线的倍数。操作指令用于指示对存储空间进行读操作或写操作。

可理解地，处理器采用交织方式访问多个内存介质时，多个内存介质中每个内存介质确定访问了相同的页面。为了减少对页面访问频次进行统计的数据量，内存介质根据采样策略对多个内存通道进行采样，统计采样的内存通道内交织后数据块的访问频次。采样策略用于指示基于空间维度和时间维度对内存通道进行采样。

下面对内存介质对多个内存通道进行采样的方式进行说明。

方式一，内存根据采样策略指示的页面标识与内存通道的空间分布，从多个内存通道采样得到采样的内存通道。由于处理器采用交织方式访问多个内存介质时，多个内存介质中所访问的存

存储空间访问频次相近，多个内存介质中所访问的存储空间属于同一页面的不同地址段，则基于该规律，可以预先配置页面标识与内存通道的对应关系。

在一些实施例中，内存介质接收到访问请求，根据访问请求指示的物理地址确定处理器所访问的页面以及页面中物理地址所指示的地址段；根据页面标识与内存通道的对应关系，确定所访问的页面对应的内存通道；判断接收访问请求的内存通道与所访问的页面对应的内存通道是否相同，若相同，则在接收访问请求的内存通道对交织后数据块的访问频次进行统计；若不相同，则无需在接收访问请求的内存通道对交织后数据块的访问频次进行统计，从而，实现对多个内存通道采样得到采样的内存通道，统计采样的内存通道内交织后数据块的访问频次。

例如，页面标识与内存通道的对应关系指示页面标识与内存通道标识相同时具有对应关系，即在与页面标识相同的内存通道对交织后数据块的访问频次进行统计。如，页面 0 对应内存通道 0，在内存通道 0 对页面 0 中交织后数据块的访问频次进行统计。页面 1 对应内存通道 1，在内存通道 1 对页面 1 中交织后数据块的访问频次进行统计。如果内存通道 0 接收访问请求，根据访问请求指示的物理地址确定处理器访问页面 0，则在内存通道 0 对页面 0 中交织后数据块的访问频次进行统计；如果根据访问请求指示的物理地址确定处理器访问页面 1，则在内存通道 0 无需对页面 1 中交织后数据块的访问频次进行统计。如果内存通道 1 接收访问请求，根据访问请求指示的物理地址确定处理器访问页面 0，则在内存通道 1 无需对页面 0 中交织后数据块的访问频次进行统计。

又如，页面标识与内存通道的对应关系指示与对页面标识的运算结果相同的内存通道具有对应关系。

示例地，如图 5 中的(a)所示，处理器采用 4 路（4way）交织方式访问 4 个内存介质，即将访问内存的数据按照单位存储空间均匀地分布到 4 个内存通道，包括内存通道 0 至内存通道 3。每个内存通道包括了 5 个页面的地址段的存储空间。如果在每个内存通道上对 5 个页面的访问频次进行统计，一个页面在 4 个内存通道上均需要部署计数器。

如图 5 中的(b)所示，假设页面标识与内存通道的对应关系指示与页面标识的模 4 运算结果相同的内存通道具有对应关系，即在与页面标识的模 4 运算结果相同的内存通道进行对页面中交织后数据块的访问频次进行统计。页面 0 对应内存通道 0，在内存通道 0 对页面 0 中交织后数据块的访问频次进行统计。页面 1 对应内存通道 1，在内存通道 1 对页面 1 中交织后数据块的访问频次进行统计。以此类推，页面 4 对应内存通道 0，在内存通道 0 对页面 4 中交织后数据块的访问频次进行统计。

在另一些实施例中，由于对采样的内存通道内交织后数据块的访问频次进行统计，会丢失部分访问频次特征，可能导致采样的内存通道内交织后数据块的访问频次并不能完整的代表页面的访问频次。内存根据采样策略指示的旋转采样方式从多个内存通道采样得到采样的内存通道。旋转采样方式用于指示页面标识与内存通道的对应关系的变化方式。

例如，旋转采样方式用于基于不同时刻的页面标识与内存通道的对应关系。如图 5 中的(c)所示，在时刻 0，页面 0 对应内存通道 0，在内存通道 0 对页面 0 中交织后数据块的访问频次进行统计；在时刻 1，页面 0 对应内存通道 1，在内存通道 1 对页面 0 中交织后数据块的访问频次进行统计；在时刻 2，页面 0 对应内存通道 2，在内存通道 2 对页面 0 中交织后数据块的访问频次进行统计；在时刻 3，页面 0 对应内存通道 3，在内存通道 3 对页面 0 中交织后数据块的访问频次进行统计。

方式二，内存根据采样策略指示的时段与内存的存储空间的对对应关系，从多个内存通道采样得到采样的内存通道。可理解地，将内存介质的存储空间划分为多个部分空间，多个部分空间与多个时段具有对应关系。内存介质接收到访问请求，判断处理器所访问的页面以及页面中物理地址所指示的地址段，是否属于该时段对应的部分空间，若属于，则对该页面中地址段进行访问频次统计；若不属于，则无需对该页面中地址段进行访问频次统计。

示例地，如图 6 中的(a)所示，在时刻 0，统计第 0 部分空间；在时刻 1，统计第 1 部分空间；在时刻 2，统计第 2 部分空间；在时刻 3，统计第 3 部分空间。假设在时刻 0 内存介质接收到访问请求，确定处理器所访问的页面以及页面中物理地址所指示的地址段属于第 0 部分空间，则对该

页面中地址段进行访问频次统计。如果内存介质确定处理器所访问的页面以及页面中物理地址所指示的地址段属于第1部分空间,则无需对该页面中地址段进行访问频次统计。

在另一些实施例中,由于基于时间维度采样时会丢失部分频次特征,可能导致采样的内存通道内交织后数据块的访问频次并不能完整的代表页面的访问频次。内存介质根据采样策略指示的旋转采样方式从多个内存通道采样得到采样的内存通道。旋转采样方式用于指示时段与内存介质的存储空间的对对应关系的变化方式,即更换不同存储空间上时间采样的顺序。

例如,旋转采样方式用于基于不同时段与内存介质的存储空间的对对应关系。如图6中的(b)所示,与图6中的(a)的区别在于,在第二个周期内,更换了每个时刻对应的部分空间。如:在时刻0,统计第3部分空间;在时刻1,统计第0部分空间;在时刻2,统计第1部分空间;在时刻3,统计第2部分空间。假设在时刻0内存介质接收到访问请求,确定处理器所访问的页面以及页面中物理地址所指示的地址段属于第3部分空间,则对该页面中地址段进行访问频次统计。

其中,本申请对基于空间维度和时间维度的旋转采样方式的变化方式不予限定。基于空间维度和时间维度对内存通道进行采样时,通过旋转采样方式,增加了对对应关系的更多的可能性,提升采样的内存通道内交织后数据块的访问频次代表性,减少了由于采样后带来的失真影响。

需要说明的是,处理器采用交织方式访问多个内存介质时,每个内存介质可以基于本申请提供的内存数据迁移方法,进行内存通道采样,统计采样的内存通道内交织后数据块的访问频次,基于交织后数据块所在页面的访问频次确定的页面的访问热度在至少两种不同类型的内存介质间触发数据迁移。另外,可以由内存介质中的RCD执行本申请提供的内存访问热度统计。内存介质可以在每次接收到访问请求后,便根据采样策略对多个内存通道进行采样;也可以依据采样周期,接收多个访问请求后根据采样策略对多个内存通道进行采样。

如此,基于空间维度和时间维度对内存通道进行采样,最终可以在使用更少的计数器的情况下(需要更少的用于存储访问频次的RAM存储资源),获得更小页面的访问频次。另外,采用旋转采样方式,补偿由于采样带来的部分失真效果。

例如,内存介质的存储容量为128GB,页面的大小为4KB,在4个内存通道交织的情况下只需要128M个计数器。

步骤430、处理器根据内存介质反馈的交织后数据块的访问频次确定内存介质中交织后数据块所在页面的访问频次。

由于内存介质反馈的交织后数据块的访问频次为采样的内存通道内交织后数据块的访问频次,即页面中部分存储空间的访问频次。由于处理器采用交织方式访问多个内存介质时,多个内存介质的存储空间访问频次相近,处理器根据交织后数据块的访问频次与交织路数确定内存介质中交织后数据块所在页面的访问频次。

例如,处理器采用4路交织方式访问4个内存介质,其中一个内存介质统计的交织后数据块所在页面的访问频次为1万次,交织后数据块所在页面的访问频次大约为4万次。

步骤440、处理器根据访问频次确定页面的访问热度,触发数据迁移。

处理器根据交织后数据块所在页面的访问频次确定页面的访问热度触发数据迁移。例如,访问频次大于或等于阈值,确定数据块的冷热程度为热;若冷访问频次小于阈值,确定数据块的冷热程度为冷。依据页面的访问热度触发数据迁移时,可以将热数据迁移到近端内存,将冷数据迁移到远端内存。

可选地,本申请对上述实施例中步骤的先后顺序不予限定,可以调整步骤之间的先后顺序。例如,由内存介质根据交织后数据块的访问频次确定页面的访问热度,向处理器反馈页面的访问热度,处理器根据反馈的页面的访问热度触发数据迁移。或者,内存介质向处理器反馈交织后数据块的访问频次,由处理器根据交织后数据块所在页面的访问频次确定页面的访问热度,再根据依据页面的访问热度触发数据迁移。

由于基于采样策略指示的空间维度和时间维度,对内存通道进行多维度采样,确保采样的内存通道内交织后数据块的访问频次具有代表性,实现基于采样的内存通道内交织后数据块的访问频次确定交织后数据块所在页面的访问频次,即基于页面的部分访问频次确定页面的全部访问频次,从而,提升了交织后数据块所在页面的访问频次的准确性,又减少了页面的访问频次的统计

数据量,使得处理器能够尽可能快地获取到页面的访问频次,依据页面的访问热度触发数据迁移时,可以将热数据迁移到近端内存,将冷数据迁移到远端内存,使处理器可以尽可能快地从近端内存获取频繁访问的数据,提高系统的数据处理速度,以及降低数据处理时延,显著地改善系统的访问性能。

图7为本申请提供的一种内存访问热度统计方法的流程示意图。处理器接收用户通过界面指示的配置操作,配置采样过滤模块中的过滤模式,即配置采样策略(步骤710)。处理器使能采样过滤模块,采集访问请求以及执行采样操作(步骤720)。计数模块根据采集过滤模块采样后的地址,分发到对应的计数器上并进行计数操作。所有的计数值将存储在RAM中(步骤730)。经过采样周期后,处理器发出停止采样指令,停止计数,所有的计数值存储在RAM中(步骤740)。处理器读取RAM中所有的计数值,并存储在内存空间中(步骤750)。处理器判断是否所有页面均完成采集(步骤760),若未完成所有页面采集,则执行步骤710,继续进行采样操作,若完成所有页面采集,则流程结束。具体的采样过程可以参考上述实施例的阐述,不予赘述。

图8为本申请提供的一种采样策略调整方法的流程示意图。处理器判断访存性能是否小于阈值(步骤810),若访存性能小于阈值,更改采样过滤模式(步骤820),例如更改采样策略,将基于空间维度对内存通道进行采样更改为基于时间维度对内存通道进行采样;或者,采用旋转采样方式对多个内存通道进行采样;若访存性能大于或等于阈值,继续执行采样操作。访存性能包括处理器访问内存时的数据处理速度和数据处理时延。关于步骤830至步骤860所述的采样内存通道方法可以参考上述步骤720至步骤750的阐述。

值得说明的是,对于图3中的(b)和图3中的(c)所示的硬件模组内内存访问热度统计场景,以及处理器内内存访问热度统计场景而言,数据处理过程与图3中的(a)的处理过程类似。为了简洁,在此仅以图3中的(a)所示场景为例进行说明,其他场景的数据处理过程与图3所示的数据处理过程类似,在此不再赘述。

可以理解的是,为了实现上述实施例中的功能,处理器包括了执行各个功能相应的硬件结构和/或软件模块。本领域技术人员应该很容易意识到,结合本申请中所公开的实施例描述的各示例的单元及方法步骤,本申请能够以硬件或硬件和计算机软件相结合的形式来实现。某个功能究竟以硬件还是计算机软件驱动硬件的方式来执行,取决于技术方案的特定应用场景和设计约束条件。

上文中结合图1至图8,详细描述了根据本实施例所提供的内存数据迁移方法,下面将结合图9,描述根据本实施例所提供的内存数据迁移装置。

图9为本实施例提供的可能的内存数据迁移装置的结构示意图。这些内存数据迁移装置可以用于实现上述方法实施例中内存介质的功能,因此也能实现上述方法实施例所具备的有益效果。在本实施例中,该内存数据迁移装置可以是如图4所示的第一内存介质,还可以是应用于处理器的模块(如芯片)。

如图9所示,内存数据迁移装置900包括通信模块910、采样模块920、统计模块930、迁移模块940和存储模块950。内存数据迁移装置900用于实现上述图4中所示的方法实施例中内存和处理器的功能。

通信模块910用于获取访问请求,访问请求用于指示计算机设备中处理器运行的应用程序对内存介质的操作。例如,通信模块910用于执行图4中步骤410。

采样模块920,用于根据采样策略对计算机设备中多个内存通道进行采样,采样策略用于指示基于空间维度和时间维度对内存通道的采样规则。例如,采样模块920用于执行图4中步骤420。

统计模块930,用于确定采样的内存通道内交织后数据块的访问频次。例如,统计模块930用于执行图4中步骤420。

统计模块930,还用于根据交织后数据块的访问频次确定内存介质中交织后数据块所在页面的访问频次,交织后数据块所在页面的访问频次用于确定页面的访问热度。例如,统计模块930用于执行图4中步骤430。

迁移模块940,用于根据访问热度在至少两种不同类型的内存介质间触发数据迁移。例如,迁移模块940用于执行图4中步骤440。

可选地,采样模块920,具体用于根据采样策略指示的页面标识与内存通道的空间分布,从

多个内存通道采样得到采样的内存通道。

可选地，采样模块 920，具体用于根据采样策略指示的时段与内存介质的存储空间的对对应关系，从多个内存通道采样得到采样的内存通道。

可选地，采样模块 920，具体用于根据采样策略指示的旋转采样方式从多个内存通道采样得到采样的内存通道，旋转采样方式用于指示页面标识与内存通道的对应关系的变化方式。

可选地，采样模块 920，具体用于根据采样策略指示的旋转采样方式从多个内存通道采样得到采样的内存通道，旋转采样方式用于指示时段与内存介质的存储空间的对对应关系的变化方式。

存储模块 950 用于存储采样策略和访问频次，以便于采样模块 920 对计算机设备中处理器采用交织方式访问内存介质时的多个内存通道进行采样。

应理解的是，本申请实施例的内存数据迁移装置 900 可以通过专用集成电路（application-specific integrated circuit, ASIC）实现，或可编程逻辑器件（programmable logic device, PLD）实现，上述 PLD 可以是复杂程序逻辑器件（complex programmable logical device, CPLD），现场可编程门阵列（field-programmable gate array, FPGA），通用阵列逻辑（generic array logic, GAL）或其任意组合。也可以通过软件实现图 4 所示的内存数据迁移时，及其各个模块也可以为软件模块，内存数据迁移装置 900 及其各个模块也可以为软件模块。

根据本申请实施例的内存数据迁移装置 900 可对应于执行本申请实施例中描述的方法，并且内存数据迁移装置 900 中的各个单元的上述和其它操作和/或功能分别为了实现图 4 中的各个方法的相应流程，为了简洁，在此不再赘述。

本申请还提供一种处理器，该处理器包括存储器和至少两个处理器核，处理器关联至少两种不同类型的内存介质，存储器用于存储一组计算机指令；当处理器核执行所述一组计算机指令时，执行上述各个实施例所述的方法的操作步骤，实现识别内存介质中数据块被应用程序访问的访问频次。

本申请还提供一种芯片，包括：处理器和供电电路；其中，供电电路用于为处理器供电；处理器用于执行上述各个实施例所述的方法的操作步骤。实现识别内存中数据块被应用程序访问的访问频次。

本申请还提供一种计算机系统，该计算机系统包括多个计算机设备，该计算机设备用于执行上述各个实施例所述的方法的操作步骤。

本实施例中的方法步骤可以通过硬件的方式来实现，也可以由处理器执行软件指令的方式来实现。软件指令可以由相应的软件模块组成，软件模块可以被存放于随机存取存储器（random access memory, RAM）、闪存、只读存储器（read-only memory, ROM）、可编程只读存储器（programmable ROM, PROM）、可擦除可编程只读存储器（erasable PROM, EPROM）、电可擦除可编程只读存储器（electrically EPROM, EEPROM）、寄存器、硬盘、移动硬盘、CD-ROM 或者本领域熟知的任何其它形式的存储介质中。一种示例性的存储介质耦合至处理器，从而使处理器能够从该存储介质读取信息，且可向该存储介质写入信息。当然，存储介质也可以是处理器的组成部分。处理器和存储介质可以位于 ASIC 中。另外，该 ASIC 可以位于计算机设备中。当然，处理器和存储介质也可以作为分立组件存在于计算机设备中。

在上述实施例中，可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时，可以全部或部分地以计算机程序产品的形式实现。所述计算机程序产品包括一个或多个计算机程序或指令。在计算机上加载和执行所述计算机程序或指令时，全部或部分地执行本申请实施例所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、网络设备、用户设备或者其它可编程装置。所述计算机程序或指令可以存储在计算机可读存储介质中，或者从一个计算机可读存储介质向另一个计算机可读存储介质传输，例如，所述计算机程序或指令可以从一个网站站点、计算机、服务器或数据中心通过有线或无线方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是集成一个或多个可用介质的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质，例如，软盘、硬盘、磁带；也可以是光介质，例如，数字视频光盘（digital video disc, DVD）；还可以是半导体介质，例如，固态硬盘（solid state drive, SSD）。以上所述，仅为本申

请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到各种等效的修改或替换，这些修改或替换都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以权利要求的保护范围为准。

权 利 要 求 书

1. 一种内存数据迁移方法，其特征在于，混合内存系统包含多个处理器和多种不同类型的内存介质，所述处理器关联至少两种不同类型的内存介质，所述方法包括：

根据采样策略对计算机设备中多个内存通道进行采样，确定采样的内存通道内交织后数据块的访问频次，其中，所述多个内存通道允许所述计算机设备中处理器采用交织方式访问内存介质，所述采样策略用于指示基于空间维度和时间维度对内存通道的采样规则；

根据所述交织后数据块的访问频次确定所述内存介质中所述交织后数据块所在页面的访问频次，所述交织后数据块所在页面的访问频次用于确定所述页面的访问热度；

根据所述访问热度在所述至少两种不同类型的内存介质间触发数据迁移。

2. 根据权利要求1所述的方法，其特征在于，根据采样策略对计算机设备中多个内存通道进行采样，包括：

根据所述采样策略指示的页面标识与内存通道的空间分布，从所述多个内存通道采样得到所述采样的内存通道。

3. 根据权利要求2所述的方法，其特征在于，根据所述采样策略指示的页面标识与内存通道的空间分布，从所述多个内存通道采样得到所述采样的内存通道，包括：

根据所述页面标识与所述内存通道的对应关系从所述多个内存通道采样得到所述采样的内存通道。

4. 根据权利要求1-3中任一项所述的方法，其特征在于，根据采样策略对计算机设备中多个内存通道进行采样，包括：

根据所述采样策略指示的旋转采样方式从所述多个内存通道采样得到所述采样的内存通道，所述旋转采样方式用于指示页面标识与内存通道的对应关系的变化方式。

5. 根据权利要求1-3中任一项所述的方法，其特征在于，根据采样策略对计算机设备中多个内存通道进行采样，包括：

根据所述采样策略指示的时段与所述内存介质的存储空间的对对应关系，从所述多个内存通道采样得到所述采样的内存通道。

6. 根据权利要求5所述的方法，其特征在于，根据采样策略对计算机设备中多个内存通道进行采样，包括：

根据所述采样策略指示的旋转采样方式从所述多个内存通道采样得到所述采样的内存通道，所述旋转采样方式用于指示时段与所述内存介质的存储空间的对对应关系的变化方式。

7. 根据权利要求1-6中任一项所述的方法，其特征在于，根据采样策略对计算机设备中多个内存通道进行采样，包括：

根据采样策略对访问请求指示的地址对应的多个内存通道进行采样，所述访问请求用于指示所述计算机设备中处理器运行的应用程序对所述内存介质的操作。

8. 根据权利要求1-7中任一项所述的方法，其特征在于，所述交织后数据块的大小为所述处理器访问所述内存介质时缓存线的倍数。

9. 根据权利要求1-8中任一项所述的方法，其特征在于，所述多种不同类型的内存介质包括第一内存介质和第二内存介质，所述处理器关联的内存介质包含所述第一内存介质和所述第二内存介质，所述第一内存介质的存取速度大于所述第二内存介质的存取速度，则所述第一内存介质的访问时延小于所述第二内存介质的访问时延。

10. 一种内存数据迁移装置，其特征在于，包括：

采样模块，用于根据采样策略对计算机设备中多个内存通道进行采样，其中，所述多个内存通道允许所述计算机设备中处理器采用交织方式访问内存介质，所述采样策略用于指示基于空间维度和时间维度对内存通道的采样规则；

统计模块，用于确定采样的内存通道内交织后数据块的访问频次；

所述统计模块，还用于根据所述交织后数据块的访问频次确定所述内存介质中所述交织后数据块所在页面的访问频次，所述交织后数据块所在页面的访问频次用于确定所述页面的访问热度；

迁移模块，用于根据所述访问热度在至少两种不同类型的内存介质间触发数据迁移。

11. 根据权利要求 10 所述的装置, 其特征在于, 所述采样模块根据采样策略对计算机设备中多个内存通道进行采样时, 具体用于:

根据所述采样策略指示的页面标识与内存通道的空间分布, 从所述多个内存通道采样得到所述采样的内存通道。

12. 根据权利要求 11 所述的装置, 其特征在于, 所述采样模块根据所述采样策略指示的页面标识与内存通道的空间分布, 从所述多个内存通道采样得到所述采样的内存通道时, 具体用于:

根据所述页面标识与所述内存通道的对应关系从所述多个内存通道采样得到所述采样的内存通道。

13. 根据权利要求 10-12 中任一项所述的装置, 其特征在于, 所述采样模块根据采样策略对计算机设备中多个内存通道进行采样时, 具体用于:

根据所述采样策略指示的旋转采样方式从所述多个内存通道采样得到所述采样的内存通道, 所述旋转采样方式用于指示页面标识与内存通道的对应关系的变化方式。

14. 根据权利要求 10-12 中任一项所述的装置, 其特征在于, 所述采样模块根据采样策略对计算机设备中多个内存通道进行采样时, 具体用于:

根据所述采样策略指示的时段与所述内存介质的存储空间的对对应关系, 从所述多个内存通道采样得到所述采样的内存通道。

15. 根据权利要求 14 所述的装置, 其特征在于, 所述采样模块根据采样策略对计算机设备中多个内存通道进行采样时, 具体用于:

根据所述采样策略指示的旋转采样方式从所述多个内存通道采样得到所述采样的内存通道, 所述旋转采样方式用于指示时段与所述内存介质的存储空间的对对应关系的变化方式。

16. 根据权利要求 10-15 中任一项所述的装置, 其特征在于, 所述采样模块根据采样策略对计算机设备中多个内存通道进行采样时, 具体用于:

根据采样策略对访问请求指示的地址对应的多个内存通道进行采样, 所述访问请求用于指示所述计算机设备中处理器运行的应用程序对所述内存介质的操作。

17. 根据权利要求 10-16 中任一项所述的装置, 其特征在于, 所述交织后数据块的大小为所述处理器访问所述内存介质时缓存线的倍数。

18. 根据权利要求 10-17 中任一项所述的装置, 其特征在于, 多种不同类型的内存介质包括第一内存介质和第二内存介质, 所述处理器关联的内存介质包含所述第一内存介质和所述第二内存介质, 所述第一内存介质的存取速度大于所述第二内存介质的存取速度, 则所述第一内存介质的访问时延小于所述第二内存介质的访问时延。

19. 一种内存, 其特征在于, 所述内存包括存储介质和控制器, 所述存储介质用于存储一组计算机指令; 当所述控制器执行所述一组计算机指令时, 执行上述权利要求 1-9 中任一项所述的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

20. 一种芯片, 其特征在于, 包括: 处理器和供电电路; 其中, 所述供电电路用于为所述处理器供电; 所述处理器用于执行权利要求 1-9 中任一项所述的方法的操作步骤实现识别内存中数据块被应用程序访问的访问频次。

21. 一种处理器, 其特征在于, 所述处理器关联至少两种不同类型的内存介质, 所述处理器用于执行上述权利要求 1-9 中任一项所述的方法的操作步骤, 实现识别内存介质中数据块被应用程序访问的访问频次。

22. 一种计算机设备, 其特征在于, 所述计算机设备包括存储器、处理器和多种不同类型的内存介质, 所述处理器关联至少两种不同类型的内存介质, 所述存储器用于存储一组计算机指令; 当所述处理器执行所述一组计算机指令时, 执行上述权利要求 1-9 中任一项所述的方法的操作步骤, 实现识别内存介质中数据块被应用程序访问的访问频次。

23. 一种计算机可读存储介质, 其特征在于, 所述计算机可读存储介质中包括指令, 当其在计算机上运行时, 使得计算机执行权利要求 1 至 9 中任一所述的方法。