

(12) 按照专利合作条约所公布的国际申请

更正本

(19) 世界知识产权组织
国际局



(10) 国际公布号

WO 2023/125722 A9

(43) 国际公布日
2023 年 7 月 6 日 (06.07.2023)

(51) 国际专利分类号:

G06F 13/40 (2006.01) G06F 1/3234 (2019.01)
G06F 13/42 (2006.01) G06F 1/04 (2006.01)
G06F 1/3228 (2019.01)

(74) 代理人: 北京中博世达专利商标代理有限公司
(BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路 31 号 11 号楼 8 层, Beijing 100044 (CN)。

(21) 国际申请号: PCT/CN2022/143025

(22) 国际申请日: 2022 年 12 月 28 日 (28.12.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202111679102.7 2021 年 12 月 31 日 (31.12.2021) CN

(71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

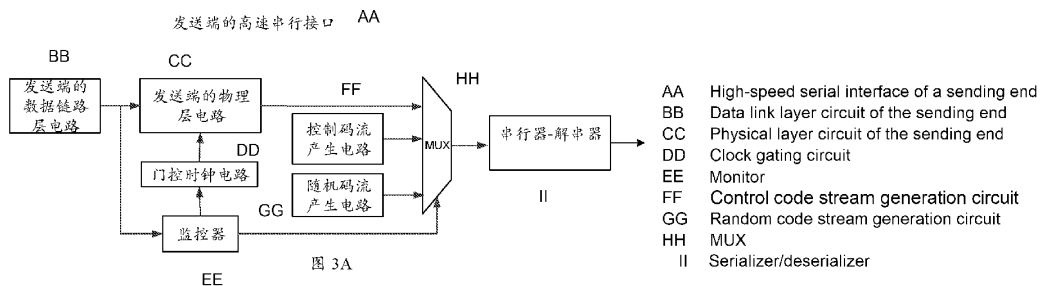
(72) 发明人: 聂耳(NIE, Er); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,

(54) Title: HIGH-SPEED SERIAL INTERFACE AND DATA TRANSMISSION METHOD

(54) 发明名称: 一种高速串行接口和数据传输方法



(57) Abstract: Embodiments of the present application relate to the technical field of chips, and provide a high-speed serial interface and a data transmission method, which can reduce the power consumption of a physical layer circuit of the high-speed serial interface when no service data is sent. The high-speed serial interface comprises a physical layer circuit of a sending end, a monitor, a clock gating circuit, a control code stream generation circuit, and a random code stream generation circuit, and further comprises: a monitor used for instructing, when no service data is sent, the clock gating circuit to stop sending clock signals to a portion of modules of the physical layer circuit of the sending end. The control code stream generation circuit sends a first control code stream by means of a serializer/deserializer to instruct the sending end to turn off the portion of the modules of the physical layer circuit of the sending end, or to instruct the portion of the modules of the physical layer circuit of the sending end to be turned off, or to instruct a receiving end to turn off the portion of the modules of the physical layer circuit of the receiving end. The random code stream generation circuit sends a random code stream. The embodiments of the present application are used for reducing the process of power consumption of the physical layer circuit.

[见续页]

WO 2023/125722 A9

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布：

- 包括国际检索报告(条约第21条(3))。
- 包括关于许可根据细则91.1对明显错误进行更正的信息(细则48.2(i))。

(48) 更正本的公布日：

2023 年 8 月 3 日 (03.08.2023)

(15) 更正内容：

见 2023 年 8 月 3 日 (03.08.2023) 公布的公告

(57) 摘要： 本申请实施例提供一种高速串行接口和数据传输方法，涉及芯片技术领域，能够在无业务数据发送时，降低高速串行接口的物理层电路的功耗。高速串行接口包括发送端的物理层电路、监控器、门控时钟电路、控制码流产生电路、随机码流产生电路，还包括：监控器，用于在没有业务数据发送的情况下，指示门控时钟电路停止向发送端的物理层电路的部分模块发送时钟信号；控制码流产生电路通过串行器-解串器发送第一控制码流，指示发送端关闭了发送端的物理层电路的部分模块，或指示发送端将要关闭发送端的物理层电路的部分模块，或指示接收端关闭接收端的物理层电路的部分模块；随机码流产生电路发送随机码流。本申请实施例用于降低物理层电路功耗的过程。