

明 細 書

発明の名称： 情報処理装置及び通信切替方法

技術分野

[0001] この開示は、データバス、制御バス、割り込みバスの切り替えを行う情報処理装置及び通信切替方法に関するものである。

背景技術

[0002] 従来、複数のCPU (Central Processing Unit) 及び複数の通信ポートから構成される情報処理装置における、CPUと通信ポートの組合せの切り替えを行う技術がある（例えば、特許文献1 参照）。CPUボードは外部インタフェースを提供するキャリア基板と、そこに搭載される一枚又は二枚のCPU基板から構成される。CPUボードは例えば以下の（１）（２）のような目的に使用される。

[0003] （１）装置制御：CPU基板を１枚搭載し、上位装置および装置内の各部位と通信を行うため、通信路を二系統必要とする。

（２）信号処理：並列に信号処理を行うためCPU基板を二枚搭載し、上位装置と処理データの送受信を行うため、各CPUが通信路を一系統ずつ必要とする。

[0004] CPU基板には通信機能として２つのLAN (Local Area Network) コントローラである、MAC (Media Access Control) が搭載されている。LANコントローラは、キャリア基板上に形成された、物理層(PHY: Physical Layer)の機能が実装された回路である物理層デバイスを介して、LANコネクタと接続することで通信機能を提供している。以下、物理層デバイスを単にPHYと称する場合がある。

[0005] CPU基板を二枚搭載し全てのMACを使用するには、キャリア基板上にPHY及びLANコネクタを四系統搭載する必要があるが、前述の装置制御、信号処理の目的においてはCPUボードとして必要な通信路は二系統であ

り、三系統以上搭載することは機器の大型化やコストアップにつながる。

[0006] そのため、これら部品は二系統とすることが望ましい。この場合、CPU基板のMACとキャリア基板のPHY間の接続が装置制御と信号処理で異なることから、

(a) 目的に応じMACとPHY間の接続を切り替える。

(b) 目的に応じMACとPHY間の接続が異なる二種類のキャリア基板を用意する。

のいずれかが必要となる。(b)に対し(a)はキャリア基板が1種類で済むことから経済的である。前述の特許文献1には、CPUと通信路の切り替えに関する技術が開示されている。

先行技術文献

特許文献

[0007] 特許文献1：特開2012-14380公報

発明の概要

発明が解決しようとする課題

[0008] 特許文献1に記載の従来技術は、二つのCPUと外部通信を切り替える仕組みを提供するものの、次の三つのバスを切り替える仕組みには言及されていないという課題がある。すなわち、MACとPHY間の接続には、通信データを送受信するデータバスと、MACからPHYを制御するための制御バス、PHYからの割り込みをCPUに通知するための割り込みバスの3種類のバスが必要であり、接続の変更にはこれらを同時に切り替える必要がある。

[0009] この開示は、上記のような課題を解消するためになされたもので、同じタイミングで、データバス切り替え、制御バス切り替え、割り込みバス切り替えを実施することが容易な情報処理装置及び通信切替方法を得ることを目的とする。

課題を解決するための手段

[0010] この開示に係る情報処理装置及び通信切替方法は、データバス（第2データバス）による第2物理層デバイスとの接続先を、第2LANコントローラ及び第3LANコントローラのいずれか一方に切り替え、第2物理層デバイスのデータバス（第2データバス）による接続先に応じて、第1LANコントローラ及び第3LANコントローラのいずれか一方が第2物理層デバイスへアクセスするように制御バスを切り替え、第2物理層デバイスのデータバス（第2データバス）による接続先に応じて、割り込みバスを切り替えて、第1CPUへの割り込み処理が、第1物理層デバイス及び第2物理層デバイスの両方から送られるか、第1物理層デバイスからのみ送られるかを第1CPUへ通知することを特徴とするものである。

発明の効果

[0011] 以上のように、この開示によれば、第2物理層デバイスの第2データバスによる接続先に応じて、制御バス切り替え、割り込みバス切り替えを実施することで、データバス切り替え、制御バス切り替え、割り込みバス切り替えを同じタイミングで実施することが容易な情報処理装置及び通信切替方法を得ることができる。

図面の簡単な説明

[0012] [図1]実施の形態1に係る情報処理装置（CPUボード部分）の機能ブロック図である。
[図2]実施の形態1に係る情報処理装置（CPUボード部分）の機能ブロック図である。
[図3]実施の形態1に係る情報処理装置（CPUボード部分）の接続テーブルである。
[図4]実施の形態1に係る情報処理装置（CPUボード部分）のデータバス切替部の機能ブロック図である。
[図5]実施の形態1に係る情報処理装置（CPUボード部分）の制御バス切替

部の機能ブロック図である。

[図6]実施の形態1に係る情報処理装置（CPUボード部分）の割り込みバス切替部の機能ブロック図である。

[図7]実施の形態1に係る情報処理装置（CPUボード部分）の割り込みバス切替部の機能ブロック図である。

[図8]実施の形態1に係る通信切替方法の処理ステップを示すフローチャートである。

[図9]実施の形態1に係る情報処理装置の機能ブロック図である。

発明を実施するための形態

[0013] 実施の形態1.

以下、実施の形態1について図1から図9を用いて説明する。実施の形態1に係る情報処理装置については図1から図7、図9を用いて説明する。実施の形態1に係る通信切替方法は、図8及び図9を用いて説明する。実施の形態1に係る情報処理装置は、CPUボード100、又は、装置制御用及び信号処理用としてCPUボード100が複数組み込まれた装置110を意味する。つまり、CPUボード100のみを指す場合は、情報処理装置100となり、装置制御用及び信号処理用としてCPUボード100（例えば、CPUボード101、CPUボード102）が複数組み込まれたものを指す場合は、情報処理装置110となる。

[0014] 図1から図9において、第1CPU基板1は、第1CPU10、第1LANコントローラ11（第1MAC11）、第2LANコントローラ12（第2MAC12）が形成されている。第2CPU基板2は、第2CPU20、第3LANコントローラ21（第3MAC21）が形成されている。第2CPU基板2は、図示するように、第4LANコントローラ22（第4MAC22）が形成されていてもよい。

[0015] 図1から図9において、キャリア基板3は、外部と通信をするための第1物理層デバイス30（第1PHY30）、及び、好ましくは第1LANコネクタ31、外部と通信をするための第2物理層デバイス32（第2PHY3

2)、及び、好ましくは第2 LANコネクタ33が形成されている。切替部4は、第1 CPU基板1及び第2 CPU基板2と第1物理層デバイス30及び第2物理層デバイス32との接続を切り替えるものである。切替部4は、データバス切替部40、制御バス切替部41、割り込みバス切替部42を有している。切替部4は、図示するようにキャリア基板3に形成してもよい。第1データバス5は、第1物理層デバイス30と第1 LANコントローラ11とを接続するものである。第2データバス6は、第2物理層デバイス30と、第2 LANコントローラ12及び第3 LANコントローラ21のいずれか一方とを接続するものである。制御バス7、割り込みバス8については後述する。

[0016] 図1は、実施の形態1に係る情報処理装置(CPUボード100)の機能ブロック図である。図2は、同じく、実施の形態1に係る情報処理装置(CPUボード100)の機能ブロック図であり、切替部4の好適な内部構成の例を示している。CPUボード100は、二枚のCPU基板である第1 CPU基板1及び第2 CPU基板2、キャリア基板3から構成されている。つまり、CPUボード100は、CPU基板(第1 CPU基板1及び第2 CPU基板2)とキャリア基板3との二種類の基板の組み合わせで構成されている。

[0017] 実施の形態1に係る情報処理装置(CPUボード100)において、第1 CPU基板1は、CPU(第1 CPU10)及びLAN通信の制御を行うLANコントローラ(第1 MAC11、第2 MAC12)を搭載している。第2 CPU基板2は、CPU(第2 CPU20)及びLAN通信の制御を行うLANコントローラ(第3 MAC21、第4 MAC22)を搭載している。キャリア基板3は、外部とのLAN通信を行う物理層デバイス(第1 PHY30、第2 PHY32)およびLANコネクタ(第1 LANコネクタ31、第2 LANコネクタ33)を搭載している。

[0018] 実施の形態1では、一つのキャリア基板3と一つ以上のCPU基板(前述の第1 CPU基板1のみ場合)とを組み合わせたものが一つのCPUボード

100となる場合も含んでいる。この場合、つまり、第2CPU基板2の実装されていない場合については後述する。まずは、図1及び図2に示すCPUボード100が、一つのキャリア基板3と二つのCPU基板（第1CPU基板1、第2CPU基板2）を組み合わせたものである場合を代表的な例として説明する。CPU基板には2つのMACを搭載しており、図1及び図2ではCPUボード100に2つのCPU基板を搭載することからLANコントローラ（MAC）は、第1MAC11、第2MAC12、第3MAC21、第4MAC22の計4つとなる。キャリア基板3は、物理層デバイスおよびLANコネクタを二系統（第1PHY30及び第1LANコネクタ31の系統、第2PHY32及び第2LANコネクタ33の系統）搭載している。よって、CPU基板の持つLANコントローラ（MAC）とキャリア基板3の物理層デバイスを接続することで、CPUボード100は最大2ポートのLAN通信を行うことができる。

[0019] 実施の形態1に係る情報処理装置（CPUボード100）において、切替部4は、外部とLAN通信を行うための複数の物理層デバイス（PHY）と、物理層デバイス（PHY）を介して外部とのLAN通信を行うLANコントローラ（MAC）との間を接続するための回路である。LANコントローラ-物理層デバイス間（MAC-PHY間）は、通信データの入出力を行うデータバス（第1データバス5、第2データバス6）、物理層デバイス（第1PHY30、第2PHY32）を制御するための制御バス7、物理層デバイス（第1PHY30、第2PHY32）からCPU（第1CPU10、第2CPU20）に対して、割り込み処理を要求するための割り込みバス8の三系統のバス接続がある。図1及び図2において、データバス（第1データバス5、第2データバス6）は太い実線で示し、制御バス7は太い実線に比して細い実線で示し、割り込みバス8は太い実線に比して細い破線で示している。

[0020] 図1及び図2に示すように、切替部4は、第1CPU基板1の第1MAC11及び第2MAC12、第2CPU基板2の第3MAC21の計3つのL

ANコントローラ（MAC）と、キャリア基板3の第1PHY30又は第2PHY32の間の接続を切り替える機能を有するものである。詳しくは、切替部4は、第2データバス6、制御バス7、割り込みバス8の切り替えは、同じ選択信号を受けたことをトリガとして実施するものである。切替部4の一部であるデータバス切替部40、制御バス切替部41、割り込みバス切替部42を次に図を用いて説明する。なお、切替部4は、例えば、キャリア基板3に搭載されている。

[0021] 図2において、データバス切替部40は、第2データバス6による第2物理層デバイス32との接続先を、第2LANコントローラ12及び第3LANコントローラ21のいずれか一方に切り替えるものである。制御バス切替部41は、第2物理層デバイス32の第2データバス6による接続先に応じて、第1LANコントローラ11及び第3LANコントローラ21のいずれか一方が第2物理層デバイス32へアクセスするように制御バス7を切り替えるものである。割り込みバス切替部42は、第2物理層デバイス32の第2データバス6による接続先に応じて、割り込みバス8を切り替えて、第1CPU10への割り込み処理が、第1物理層デバイス30及び第2物理層デバイス32の両方から送られるか、第1物理層デバイス30からのみ送られるかを第1CPU10へ通知するものである。なお、第2物理層デバイス32の第2データバス6による接続先とは、例えば、後述する図3に示すLANコントローラ-物理層デバイス間（MAC-PHY間）の接続と選択信号の対応例を示す接続テーブルを参照することを意味している。

[0022] 図2において、詳しくは、切替部4は、CPU側データポート34と物理層側データバス35の間の第2データバス6の接続を切り替えるためのデータバス切替部40、CPU側制御ポート36と物理層側制御バス37の間の制御バス7を切り替えるための制御バス切替部41、CPU側割り込みポート38と物理層側割り込みバス39の間の割り込みバス8を切り替えるための割り込みバス切替部42を持つ。なお、ポートやバスの一部の構成は、図1にも図示している。

[0023] 実施の形態 1 に係る情報処理装置（CPU ボード 100）は、図示するように、選択信号を生成する切替制御部 9 をさらに備えてもよい。つまり、データバス切替部 40、制御バス切替部 41、割り込みバス切替部 42 の三つに対し、接続先を選択するための切替制御部 9 及び選択信号を実施の形態 1 に係る情報処理装置（CPU ボード 100）は有していてもよい。切替制御部 9 は、第 1 CPU 10 からの指示により選択信号を出力し、LAN コントローラ - 物理層デバイス間（MAC - PHY 間）の接続の切り替えを各切替部（データバス切替部 40、制御バス切替部 41、割り込みバス切替部 42）に通知する（指示する）。例えば、選択信号は、切替制御部 9 が第 1 信号又は第 2 信号として切替部 4 へ送られるものが考えられる。本願では、第 1 信号を「0」とし、第 2 信号を「1」として説明を行う。

[0024] 切替制御部 9 は、第 1 CPU 10 からの指示（指示信号）により、「0」又は「1」（第 1 信号又は第 2 信号）の選択信号を生成するものである。図 2 において、指示信号の流れは、データバスの太い実線に比して細い点線（第 1 CPU 10 から切替制御部 9 へ向かうもの）で示している。つまり、この細い点線は、図 2 の割り込みバス 8 を示す細い破線に対して、ピッチが細かいといえる。なお、図 2 において、切替制御部 9 からデータバス切替部 40 へ向かう細い点線は、切替制御部 9 からデータバス切替部 40 へ送られる選択信号を示し、切替制御部 9 から制御バス切替部 41 へ向かう細い点線は、切替制御部 9 から制御バス切替部 41 へ送られる選択信号を示し、切替制御部 9 から割り込みバス切替部 42 へ向かう細い点線は、切替制御部 9 から割り込みバス切替部 42 へ送られる選択信号を示している。

[0025] 図 3 は、LAN コントローラ - 物理層デバイス間（MAC - PHY 間）の接続と選択信号の対応例を示す接続テーブルである。図 3 のテーブルにおいて、行は LAN コントローラ（MAC）を示し、列は選択信号を示している。全体では接続先や接続状況の対応例を示している。切替制御部 9 は、図示するようにキャリア基板 3 に形成してもよい。もちろん、切替部 4 及び切替制御部 9 の少なくとも一方が、キャリア基板 3 に形成されていてもよい。

[0026] 詳しくは、次の通りとなる。第1CPU基板1がLAN通信ポートを2つ使用する、すなわち第1CPU基板1の第1MAC11と第2MAC12をそれぞれ第1PHY30、第2PHY32に接続する場合、切替制御部9は選択信号「0」（第1信号）を出力する。一方、第1CPU基板1と第2CPU基板2それぞれ1ポートずつLAN通信ポートを使用する、すなわち第1CPU基板1の第1MAC11と第1PHY30、第2CPU基板2の第3MAC21と第2PHY32を接続する場合、切替制御部9は選択信号「1」（第2信号）を出力する。

[0027] 例えば、第1CPU基板1と第2CPU基板2の間にLANによる通信以外に、互いにCPU（第1CPU10と第2CPU20と）が通信可能な通信路をキャリア基板3に設けておき、その通信路を使用して第1CPU10が第2CPU20にアクセスするなどの方法を用いて、第1CPU10が、第2CPU基板2の実装の有無を確認する。このように、第1CPU10が、第2CPU基板2の実装の有無を確認し、実装されていなければ選択信号として0を選択し、第1CPU基板1がLAN通信ポートをすべて使用できるようにし、第2CPU基板2が実装されていれば、選択信号として「1」を選択し、第1CPU基板1と第2CPU基板2どちらもLAN通信ポートを1ポート使用できるようにする。この組合せは目的に応じて他の組合せとしてもよい。つまり、第2CPU基板2が実装されていると確認できた場合は、必要に応じて、選択信号「0」又は選択信号「1」を生成してもよい。

[0028] 換言すると、実施の形態1に係る情報処理装置（CPUボード100）は、第1CPU基板1と、キャリア基板3と、第1CPU基板1及び外部基板（実装、非実装の選択が可能なもの）と第1第1PHY30及び第2PHY32との接続を切り替える切替部4とを備え、第1PHY30は、第1MAC11と第1データバス5で接続され、外部基板として、第2CPU基板2が接続されたときに、これまで説明した切替部4（データバス切替部40、制御バス切替部41、割り込みバス切替部42）の動作が行われるものといえる。もちろん、この構成においても、切替制御部9を備えていてもよい。

- [0029] 続いて、三系統のバスであるデータバス切替部40、制御バス切替部41、割り込みバス切替部42について説明する。データバス切替部40、制御バス切替部41、割り込みバス切替部42は、それぞれ切替制御部9からの選択信号により、図3に対応して各バスである第2データバス6、制御バス7、割り込みバス8の接続を切り替えるものである。
- [0030] データバス切替部40の構成を図4に示す。なお、データバス切替部40において第1データバス5は、外部に形成してもよい。図4に示すように、データバス切替部40は、選択信号「0」（第1信号）を受けたとき、データバス用スイッチ400を第2データバス6が第2物理層デバイス32と第2LANコントローラ12とを接続状態にし、選択信号「1」（第2信号）を受けたとき、データバス用スイッチ400を第2データバス6が第2物理層デバイス32と第3LANコントローラ21とを接続状態にするものである。データバス用スイッチ400は、選択信号を受けた時点で所望の側に配置されている場合は動作しないことになるがこれも便宜上、切り替えに含める。
- [0031] さらに、データバス切替部40では選択信号により図3に対応した接続の切り替えを行うことに加え、バッファ401による信号品質の改善を行ってもよい。LAN通信の通信速度が1Gbpsを超える場合、データ通信が高速であることからデータバス（第1データバス5、第2データバス6）は、一般に差動信号を用いた高速シリアル伝送が使用される。このとき、コネクタを介してCPU基板（第1CPU基板1、第2CPU基板2）とキャリア基板3との間が接続されるほか、スイッチによるバスの切替を行うため信号品質の劣化が発生しうる。そこで、図4に示すように、データバス切替部40ではバッファ401をデータバス（第1データバス5、第2データバス6）に挿入し、MAC-PHY間のコネクタや切り替えスイッチにより劣化した信号を改善することで、信号品質を確保することができる。なお、データバス切替部40において第1データバス5に形成されたバッファ401は、第1データバス5と共に外部に形成してもよい。

- [0032] 制御バス切替部41の構成を図5に示す。図5に示すように、制御バス切替部41は、選択信号「0」（第1信号）を受けたとき、三つのバススイッチのうち、制御バス用スイッチ403、制御バス用スイッチ404を第1LANコントローラ11が第2物理層デバイス32へアクセスするように切り替え、選択信号「1」（第2信号）を受けたとき、三つのバススイッチのうち、制御バス用スイッチ403、制御バス用スイッチ404を第3LANコントローラ21が第2物理層デバイス32へアクセスするように切り替えるものである。いずれの場合でも、制御バス用スイッチ402は、常に選択されるため、選択信号を接続せずにイネーブル信号へ「1」を入力する。
- [0033] 図5に示すように、制御バス7は第1MAC11又は第3MAC21を介して第1CPU10又は第2CPU20からPHY（第1PHY30、第2PHY32）のレジスタ操作を行うことによりPHYの動作を制御するためのバスであり、第2PHY32は切り替えに応じて第1CPU基板1と第2CPU基板2のいずれか片方からアクセスされる。切り替えには、先のバススイッチである制御バス用スイッチ402、403、404を使用し、制御バス用スイッチ403と制御バス用スイッチ404を排他的に選択にすることで切り替えを行う。
- [0034] これらの制御バス用スイッチ402、403、404は電圧変換機能を備え、オープンドレインに対応したものを使用する。そのため、CPU基板（第1CPU基板1、第2CPU基板2）とキャリア基板3でI/O電圧が異なってもよい。また、オープンドレインであることから、切り替え後の制御バス信号をWired-ORして、第2PHY32に接続することができる。なお、Wired-ORは、複数の出力信号を結線した論理ORである。
- [0035] 割り込みバス切替部42の構成を図6及び図7に示す。図7の構成は後述する。図6に示すように、割り込みバス切替部42は、選択信号「0」（第1信号）を受けたとき、割り込みバス用スイッチ405を制御して、第1CPU10への割り込み処理が、第1物理層デバイス30及び第2物理層デバ

イス32の両方からであると第1CPU10へ通知し、選択信号「1」（第2信号）を受けたとき、割り込みバス用スイッチ405を制御して、第1CPU10への割り込み処理が、第1物理層デバイス30のみであると第1CPU10へ通知するものである。第1CPU10への割り込み処理が第1物理層デバイス30のみとは、第2物理層デバイス32からの第1CPU10への割り込み処理はないという意味であり、第2物理層デバイス32以外から第1CPU10への割り込み処理が第1物理層デバイス30からのものに限るという意味ではない。

[0036] なお、第2CPU20への割り込み処理は、第2物理層デバイス32のみであるが、割り込みバス切替部42は、選択信号「0」（第1信号）を受けたとき、第2データバスが接続されていないので、割り込み処理なしと通知する。一方、割り込みバス切替部42は、選択信号「1」（第2信号）を受けたとき、第2データバスが接続されているので、割り込み処理ありと通知する。もちろん、割り込み処理なしの場合は通知をしないことも考えられる。

[0037] 割り込みバス用スイッチ405は、図6や図7の構成を例示しており、図7は、割り込みバス切替部42の異なる構成例であり、割り込みバス切替部42は図7のように構成してもよい。図6では複数のPHY（第1PHY30、第2PHY32）からの割り込みバスの論理和をとったものを切り替えているが、図7では切り替えた信号の論理和をとってCPU（第1CPU、第2CPU）へ出力する。

[0038] 割り込みバス8は、PHY（第1PHY30、第2PHY32）からCPU（第1CPU10、第2CPU20）に対して、LANコネクタ（第1LANコネクタ31、第2LANコネクタ33）に接続されるケーブルの接続状態の変化等を通知し、それに応じた割り込み処理の実施を要求するために使用する。例えば、ケーブルが接続されたことが、CPU（第1CPU10、第2CPU20）に通知されると、CPU（第1CPU10、第2CPU20）は通信を開始できるように自身を設定する。図3で選択信号を「0」

とした場合、第1PHY30、第2PHY32の両方の割り込みを第1CPU10に通知するため、割り込み信号は切り替えではなく第1PHY30からの割り込みバスと第2PHY32からの割り込みバスの論理和を用いる。

[0039] 本願では、割り込み処理は、不定期なもの以外に、予め定められた周期で実施されるものも含んでいるとする。つまり、本願の割り込み処理は、ポーリング（polling）処理と読み替えてもよい。単に、ポーリング処理をポーリングと呼んでもよい。よって、割り込みバス8、CPU側割り込みポート38、物理層側割り込みバス39、割り込みバス用スイッチ45は、それぞれ、ポーリングバス8、CPU側ポーリングポート38、物理層側ポーリングバス39、ポーリングバス用スイッチ45と読み替えることができる。

[0040] 次に、実施の形態1に係る通信切替方法について図8を用いて説明する。実施の形態1に係る通信切替方法は、実施の形態1に係る情報処理装置の切替部4、又は、切替部4及び切替制御部9（第1CPU10を含む場合もあり）の動作（処理ステップ）に係る方法である。そのため、実施の形態1に係る通信切替方法は、実施の形態1に係る情報処理装置の切替部4、又は、切替部4及び切替制御部9（第1CPU10を含む場合もあり）で説明したものは、実施の形態2では省略する場合がある。また、実施の形態1に係る情報処理装置で説明した内容を、実施の形態1に係る通信切替方法へ適用することも可能である。

[0041] すなわち、実施の形態1に係る通信切替方法は、第1CPU基板1及び第2CPU基板2と、第1PHY30及び第2PHY32との、接続を切り替えるものであるといえる。図8のフローチャートに示す処理ステップは、実施の形態1に係る通信切替方法の基本的な処理ステップである、データバス切替ステップ（STEP11）、制御バス切替ステップ（STEP12）、割り込みバス切替ステップ（STEP13）を示している。実施の形態1に係る通信切替方法は、データバス切替ステップ、制御バス切替ステップ、割り込みバス切替ステップを、同じトリガで実施することを特徴とするもので

ある。このトリガの処理ステップをSTEP 1として図8に記載している。ここでいうトリガとは、第2データバス6による第2物理層デバイス32との接続先を、第2LANコントローラ12又は第3LANコントローラ21のいずれかにするかという情報（第2LANコントローラ12及び第3LANコントローラ21の切替情報）である。この切替情報の取得又は決定がトリガとなる。

[0042] 図示は省略するが、好ましくは、実装確認ステップ（STEP 0）及び切替制御ステップ（STEP 1）を実施の形態1に係る通信切替方法が備えていてもよい。実装確認ステップ及び切替制御ステップは、図8に示す基本的な処理ステップの説明の後で説明する。切替制御ステップ（STEP 1）は、図8に示すトリガの処理ステップの一例のため、同じSTEP 1の処理ステップ名としている。

[0043] 図8において、データバス切替ステップは、データバス切替部40が第2データバス6による第2PHY32との接続先（図3）を、第2MAC12及び第3MAC21のいずれか一方に切り替える処理ステップである。制御バス切替ステップは、制御バス切替部41が第2PHY32の第2データバス6による接続先（図3）に応じて、第1MAC11及び第3MAC21のいずれか一方が第2PHY32へアクセスするように制御バス7を切り替える処理ステップである。割り込みバス切替ステップは、割り込みバス切替部42が第2PHY32の第2データバス6による接続先（図3）に応じて、割り込みバス8を切り替えて、第1CPU10への割り込み処理が、第1PHY30及び第2PHY32の両方から送られるか、第1PHY30からのみ送られるかを第1CPU10へ通知する処理ステップである。第2CPU20への割り込み処理については、実施の形態1に係る情報処理装置の割り込みバス切替部42に関する説明で行った通りである。

[0044] 実施の形態1に係る通信切替方法において、データバス切替ステップ、制御バス切替ステップ、割り込みバス切替ステップを、同じトリガで実施するための一例として、切替制御ステップを説明する。切替制御ステップは、S

STEP 11、STEP 12、STEP 13の前段の処理ステップに当たるため、STEP 1といえる。すなわち、切替制御ステップは、データバス切替ステップ、制御バス切替ステップ、割り込みバス切替ステップの実施よりも前のタイミングで、データバス切替ステップにおける接続先を決定するトリガである第1信号及び第2信号（選択信号）を切替制御部9が生成するものである。詳しくは、切替制御ステップは、第2データバス6が第2PHY32と第2MAC12とを接続状態にする指示である第1信号、又は、第2データバス6が第2PHY32と第3MAC21とを接続状態にする指示である第2信号を切替制御部9が生成するものである。

[0045] 実施の形態1に係る通信切替方法において、切替制御ステップ（STEP 1）の実施よりも前のタイミングで、第1CPU10が、第2CPU基板2の実装の有無を確認する実装確認ステップ（STEP 0）をさらに備えていてもよい。実装確認ステップは、切替制御ステップよりも前の処理ステップであり、切り替えの前段階の処理ステップであることから、STEP 0といえる。実装確認ステップが第2CPU基板2の実装の有無を確認するため、切替制御ステップでは、実装確認ステップで第2CPU基板2が実装されていないと確認できた場合、第1信号（選択信号「0」）のみを生成すればよい。一方、実装確認ステップで第2CPU基板2が実装されていると確認できた場合は、切替制御ステップは必要に応じて、第1信号（選択信号「0」）又は第2信号（選択信号「1」）を生成すればよい。

[0046] このように、実施の形態1に係る情報処理装置（切替部4）及び通信切替方法により、MAC（LANコントローラ）とPHY（物理層デバイス）間の通信に必要な第2データバス6、制御バス7、割り込みバス8の三つのバスを同時に切り替えることが容易である。CPU基板（第1CPU基板1、第2CPU基板2）とキャリア基板3との組み合わせを目的に応じて組み替えた場合でもLAN通信ポートを効率的に使用することができる。CPU基板の数量を可変とすることで、多くの処理性能が必要な場合は2つのCPU基板、そうでない場合は1つのCPU基板を搭載する、といったように必要

に応じたハードウェア構成を実現することができる。詳しくは図9を用いて説明する。

[0047] 図9は、実施の形態1に係る情報処理装置（通信切替方法）を適用した信号処理装置であるCPUボード110（CPUボード101、CPUボード102）の一例である。図9において、CPUボード101は、CPUボード100そのものである。CPUボード102は、第2CPU基板2が非搭載（非実装）であるCPUボード101（CPUボード100）に相当する。スイッチングハブ103は、CPUボード101とCPUボード102との間で相互に通信できるよう接続し、通信中継を行うものである。スイッチングハブ103は、それぞれ、CPUボード101の第1LANコネクタ31、CPUボード101の第2LANコネクタ33、CPUボード102の第2LANコネクタ33と接続されている。CPUボード102の第1LANコネクタ31は、上位装置と接続されている。

[0048] 図9に示すものは、前述の通り、情報処理装置110の一例であり、CPU基板（第1CPU基板1）を一つ搭載した装置制御用CPUボード102と、CPU基板（第1CPU基板1、第2CPU基板2）を2つ搭載した信号処理用CPUボード101の二種類の情報処理装置110から構成される。装置制御用CPUボード102は、一つのCPU（第1CPU10）が上位装置との通信と信号処理用CPUボード101との通信の2つのLAN通信を行う。信号処理用CPUボード101は2つのCPU（第1CPU10、第2CPU20）で信号処理を行い、処理結果を各CPU基板（第1CPU基板1、第2CPU基板2）からLAN通信により、スイッチングハブ103経由で、装置制御用CPUボード102に伝送する。

[0049] 図9の構成は、CPU基板（第1CPU基板1、第2CPU基板2）とキャリア基板3との二種類の基板と切替部4の切り替えのみでも実現できるため、装置制御用CPUボード102と信号処理用CPUボード101を別々に用意する場合に比べて低コストで実現することができる。切替部4を構成する回路はデータバス（第1データバス5、第2データバス6）に使用する

バッファ401を除き、基板上のほかの機能を実現するために用いるFPGA(Field-Programmable Gate Array)などのプログラマブルロジックに合わせて実装することで、少ない追加部品で実現することが可能である。データバス(第1データバス5、第2データバス6)に使用するバッファ401も高速シリアル伝送に対応した一般的なIC(Integrated Circuit)でよい。

[0050] 以上、実施の形態1に係る情報処理装置及び通信切替方法によれば、MAC(LANコントローラ)とPHY(物理層デバイス)と間の通信に必要な三つのバスを同時に切り替える切替部を有するキャリア基板に設け、CPU基板の搭載枚数に応じてMAC(LANコントローラ)とPHY(物理層デバイス)と間の接続を切り替えることで、CPUボードに応じた最適なLAN通信ポートの構成を実現する。これによって、目的に応じMAC(LANコントローラ)とPHY(物理層デバイス)と間の接続が異なる二種類のキャリア基板を用意する必要がなくなるため、装置のコストダウンを実現することができる。なお、実施の形態1に係る情報処理装置及び通信切替方法は、前述の通り、目的に応じMACとPHY間の接続の切り替えに関するものであり、MACとPHY間の三種類のバスを同時に切り替えることも容易である。

符号の説明

- [0051] 1 第1CPU基板、
 10 第1CPU、11 第1LANコントローラ(第1MAC)、
 12 第2LANコントローラ(第2MAC)、
 2 第2CPU基板、
 20 第2CPU、21 第3LANコントローラ(第3MAC)、
 22 第4LANコントローラ(第4MAC)、
 3 キャリア基板、
 30 第1物理層デバイス(第1PHY)、31 第1LANコネクタ、
 32 第2物理層デバイス(第2PHY)、33 第2LANコネクタ、

- 34 CPU側データポート、35 物理層側データバス、
- 36 CPU側制御ポート、37 物理層側制御バス、
- 38 CPU側割り込みポート、39 物理層側割り込みバス、
- 4 切替部、
- 40 データバス切替部、41 制御バス切替部、42 割り込みバス切替部、
- 400 データバス用スイッチ、401 バッファ、
- 402 制御バス用スイッチ（バススイッチ）、
- 403 制御バス用スイッチ（バススイッチ）、
- 404 制御バス用スイッチ（バススイッチ）、405 割り込みバス用スイッチ、
- 5 第1データバス、6 第2データバス、7 制御バス、8 割り込みバス、
- 9 切替制御部、
- 100 CPUボード、101 CPUボード、102 CPUボード、
- 103 スイッチングハブ、110 信号処理装置。