

明 細 書

発明の名称：半導体記憶装置およびメモリシステム

技術分野

[0001] 本実施形態は、半導体記憶装置およびメモリシステムに関する。

背景技術

[0002] 不揮発性半導体記憶装置として、NAND型フラッシュメモリが知られている。

発明の開示

発明が解決しようとする課題

[0003] 本実施形態は、メモリセルの信頼性を落とさずに、低電圧駆動が可能な半導体記憶装置を提供する。

課題を解決するための手段

[0004] 本実施形態に係る半導体記憶装置は、メモリセルを含むメモリストリングと、

前記メモリストリングの一端と電氣的に接続されたビット線と、

前記ビット線と電氣的に接続されたセンスアンプと、

を備え、

前記センスアンプは、

前記ビット線の電流径路上の第1ノードに一端が接続され、第2ノードと電氣的に他端が接続された第1のトランジスタと、

前記第2ノードとセンスノードとの間に電氣的に接続された第2のトランジスタと、

ゲートが前記第1ノードに接続され、前記第2ノードと電圧調整可能な第3ノードとの間に電氣的に接続された第3のトランジスタとを有する。

図面の簡単な説明

[0005] [図1]本発明の一実施形態に係る半導体記憶装置1の概略構成を示すブロック図。

[図2]セルアレイ 2 周辺の詳細な構成を示すブロック図。

[図3]第 1 の実施形態に係るセンスアンプ 6 の動作原理を説明するための簡略化した回路図。

[図4]図 3 のタイミング図。

[図5]第 2 の実施形態に係るセンスアンプ 6 の回路図。

[図6]ロックアウト動作を行う場合の動作タイミング図。

[図7]ロックアウト動作を行わない場合の動作タイミング図。

[図8] (a) と (b) は図 6 の時刻 t_{13} ~ t_{14} の期間の詳細なタイミング図。

[図9] ABL 方式にてメモリセル 21 の読み出しを行う場合の動作タイミング図。

[図10]図 5 のセンスアンプ 6 を利用してメモリセル 21 への書き込みを行う場合の動作タイミング図。

[図11]図 5 のセンスアンプ 6 を用いて偶数ビット線 BL と奇数ビット線 BL に分けてメモリセル 21 の読み出しを行う場合の動作タイミング図。

[図12]第 3 の実施形態に係るセンスアンプ 6 の回路図。

[図13]外部コントローラ 41 と半導体記憶装置 1 とを備えるメモリシステム 42 の概略的なブロック図。

[図14]プレフィックス・コマンドで指示する場合の概略的なタイミング図。

[図15]外部プレフィックス・コマンドの伝送手順の一例を示す図。

[図16]SASRC ノードの電圧を調整する電圧調整部 51 の一例を示す回路図。

[図17]図 17 は基準電圧生成回路 61 の一例を示す回路図。

発明を実施するための形態

- [0006] センス方式の一つとして、ABL (All Bit Line) 方式が知られている。ABL 方式では、ビット線をプリチャージした後、1 カラム内のすべてのビット線に電流を流して、各ビット線電位を一定にする。この状態で、ビット線から流れる電流量に基づいて、メモリセルからの読み出しデータを検出す

る。

[0007] ところが、A B L方式のセンスアンプは、動作電圧が高いという問題がある。スマートフォン等の携帯電子機器では、低消費電力についての要求が高く、電源電圧を下げてでも安定に動作する半導体記憶装置が望まれている。

[0008] 例えば、N A N D型フラッシュメモリを低電圧駆動する場合、電源電圧の低下に伴って、N A N Dストリングの一端に印加するC E L S R C電圧を下げる必要がある。ところが、C E L S R C電圧を下げると、データ書き込み時の保持率（Data retention）が悪化して、メモリセルの信頼性が低下してしまうおそれがある。このため、C E L S R C電圧を下げるのは容易ではなく、結果として低電圧駆動を困難にしていた。以下に説明する実施形態は、低電圧駆動が可能なことを特徴とする。

[0009] 図1は本発明の一実施形態に係る半導体記憶装置1の概略構成を示すブロック図である。図1の半導体記憶装置1は、N A N D型フラッシュメモリの例を示している。

[0010] 図1の半導体記憶装置1は、セルアレイ2と、ロウデコーダ3と、ワード線ドライバ4と、カラムデコーダ5と、センスアンプ（S/A）6と、データラッチ回路7と、コントローラ8と、高電圧発生器9と、アドレスレジスタ10と、コマンドデコーダ11と、I/Oバッファ12とを備えている。

[0011] セルアレイ2は、複数個のメモリセルを直列接続したN A N Dストリング20を各ビット線に接続している。図2はセルアレイ2周辺の詳細な構成を示すブロック図である。図2に示すように、セルアレイ2は、複数のブロックB L K 0～B L K n-1に分かれている。各ブロックには、上述したN A N Dストリング20がカラム方向に複数個配列されている。各N A N Dストリング20は、直列接続された複数のメモリセル21と、これらメモリセル21の一端側に接続された選択ゲートトランジスタS1と、他端側に接続された選択ゲートトランジスタS2とを有する。

[0012] N A N Dストリング20内の各メモリセル21のゲートは、対応するワード線W L 0～W L n-1に接続されている。選択ゲートトランジスタS1のゲー

トは選択ゲート線SGDに接続されている。選択ゲートトランジスタS2のゲートは選択ゲート線SGSに接続されている。各NANDストリング20は、対応する選択ゲートトランジスタS1を介して、共通のセルソース線に接続されている。また各NANDストリング20は、対応する選択ゲートトランジスタS2を介して、対応するビット線BL0~BLn-1に接続されている。なお、ブロックの数とワード線の数、それぞれ任意に設定可能である。

[0013] NANDストリング20内の各メモリセル21のゲートに接続される各ワード線WL0~WLn-1は、ロウデコーダ3に接続されている。ロウデコーダ3は、アドレスレジスタ10から転送されてきたロウアドレスをデコードする。ロウデコーダ3の近傍には、ワード線ドライバ4が配置されている。ワード線ドライバ4は、デコードしたデータに基づいて、各ワード線を駆動するための電圧を生成する。

[0014] 各NANDストリング20に接続されるビット線BL0~BLnは、ビット線選択トランジスタQ0を介してセンスアンプ6に接続されている。本実施形態におけるセンスアンプ6は、後述するように、ABL (All Bit Line) 方式でもセンス可能であるが、それ以外に新方式（以下、DSA : Diode sense ABL）方式でもセンス可能である。いずれの方式を採用しても、センスアンプ6は、ビット線から流れる電流量に応じてメモリセル21からの読み出しデータを検出する。センスアンプ6で検出された読み出しデータは、例えば二値データとしてデータラッチ回路7に保持される。

[0015] 図1に示すカラムデコーダ5は、アドレスレジスタ10からのカラムアドレスをデコードする。またカラムデコーダ5は、このデコードした結果に基づいて、データラッチ回路7に保持されたデータをデータバスに転送するか否かを決定する。

[0016] I/Oバッファ12は、I/O端子から入力されたアドレス、データおよびコマンドをバッファリングする。またI/Oバッファ12は、アドレスをアドレスレジスタ10に転送し、コマンドをコマンドレジスタに転送し、デ

ータをデータバスに転送する。

[0017] コントローラ 8 は、アドレスとコマンドを識別するとともに、上述したセンスアンプ 6 等の動作を制御する。

[0018] 図 3 は第 1 の実施形態に係るセンスアンプ 6 の動作原理を説明するための簡略化した回路図である。図 3 のセンスアンプ 6 は、ビット線 BL と SEN ノード（センスノード）との間の電流経路上にカスコード接続される第 1 および第 2 のトランジスタ Q 1, Q 2 と、これら第 1 および第 2 のトランジスタ Q 1, Q 2 の間の第 2 ノード n 2 と SASRC ノード（第 2 の電圧設定ノードまたは第 3 ノード）との間に接続される第 3 のトランジスタ Q 3 とを備えている。

[0019] ビット線 BL と CELSRC ノード（第 1 の電圧設定ノード）との間には、図 2 と同様の構成の NAND スtring 20 が接続されている。第 3 のトランジスタ Q 3 のゲートは、第 1 のトランジスタ Q 1 のドレインとともに、第 1 ノード n 1 に接続されている。この第 1 ノード n 1 とビット線 BL との間の電流経路には、第 4 のトランジスタ Q 4 が接続されている。この第 4 のトランジスタ Q 4 は、例えばメモリセル 21 の消去時に、ビット線 BL と第 1 ノード n 1 とを電氣的に遮断するために設けられる高耐圧のトランジスタである。また、VDDSA ノードと第 1 ノード n 1 との間には PMOS トランジスタ Q 7 が配置されている。

[0020] 第 2 のトランジスタ Q 2 のドレインは SEN ノードであり、この SEN ノードにはキャパシタ C の一端が接続されている。この SEN ノードは、メモリセル 21 から読み出したデータの論理に応じてキャパシタ C を充放電するセンスノードである。

[0021] 第 1 ～第 4 のトランジスタ Q 1 ～Q 4 とトランジスタ Q 7 のオンまたはオフの切替制御は、図 1 のコントローラ 8 により行われる。第 1 ～第 4 のトランジスタ Q 1 ～Q 4 はいずれも NMOS トランジスタである。

[0022] 図 4 は図 3 のタイミング図である。メモリセル 21 の読み出しを行う場合は、まず、第 1 のトランジスタ Q 1 のゲート電圧 ϕ_1 をハイにして、第 2 の

トランジスタQ2のゲート電圧 ϕ_2 をロウにする（時刻 t_1 ）。このとき、第1のトランジスタQ1のドレインバイアス依存性を抑制するために、第2ノードn2の電圧変動を抑えるのが望ましい。そのためには、第1のトランジスタQ1のゲート電圧 ϕ_1 を、SASRCノードの電圧+第1のトランジスタQ1の閾値電圧+オーバードライブ電圧（約0.2V程度）の電圧に設定すればよい。この時刻 t_1 では、選択ゲート線SGS、SGDはともにハイレベルになる。

[0023] その後、NANDストリング20の一端側のCELSRCノードをVDDSAまで上昇させる（時刻 t_2 ）。これにより、ビット線BL/BL1の電圧は、NANDストリング20内の読み出し対象のメモリセル21のデータが「1」であれば、ほとんど落ち込まず（図4の実線部分）、「0」であれば、大きく落ち込む（図4の破線部分）。

[0024] 時刻 t_2 でも、第1のトランジスタQ1のゲート電圧 ϕ_1 は、SASRCノードの電圧+第1のトランジスタQ1の閾値電圧+オーバードライブ電圧に設定されている。よって、第1のトランジスタQ1はオン状態であるが、第2ノードn2は、SASRCノードの電圧+オーバードライブ電圧の電圧にクランプされ、第1のトランジスタQ1のドレイン電圧（ノードn1の電圧）の電圧と同じか、若干低い電圧になる。また、第1ノードn1は、ビット線BLを流れるセル電流に応じた電圧になる。第2ノードn2はSASRCノードの電圧よりも高く、また第1ノードn1の電圧が第3のトランジスタQ3のゲートに印加されるため、第3のトランジスタQ3はダイオードとして動作する。よって、CELSRCノードから、NANDストリング20とビット線BLを通して流れる電流は、第4のトランジスタQ4、第1のトランジスタQ1および第3のトランジスタQ3を順に通ってSASRCノード（第2の電圧設定ノード）に流れ込む。

[0025] 時刻 t_2 からしばらく経つと、ビット線BLの電位と、第1および第3のトランジスタQ1、Q3の間の第2ノードn2の電位とが安定する。この状態で、第1のトランジスタQ1と第4のトランジスタQ4をオフし、かつ第

2のトランジスタQ2のゲートには、時刻t1のゲート電圧 ϕ_1 と同じゲート電圧 ϕ_2 が印加される（時刻t3）。より具体的には、ゲート電圧 ϕ_2 は、SASRCノードの電圧+第2のトランジスタQ2の閾値電圧+オーバードライブ電圧である。これにより、第2ノードn2は、時刻t1のときと同じ電圧レベルに維持される。第1のトランジスタQ1と第4のトランジスタQ4がともにオフすることで、第1ノードn1はハイインピーダンス状態になり、第1ノードn1は、時刻t3以前の電位に保持される。

[0026] 時刻t3における第2のトランジスタQ2のゲート電圧 ϕ_2 を時刻t1における第1のトランジスタQ1のゲート電圧 ϕ_1 と同じにすることで、ノードn2の電圧レベルも維持され、第2ノードn2第3のトランジスタQ3は、時刻t3以降もダイオードとして動作し、SENノードからの電流は第2のトランジスタQ2と第3のトランジスタQ3を通してSASRCノードに流れる。時刻t3の時点で、NANDストリング20内の読み出し対象セルのデータ論理によって、ビット線BLの電位が異なるため、この電位によって、時刻t3以降にSENノードからSASRCノードに流れる電流も異なり、流れた電流に応じてSENノードの電位が決まることになる。このSENノードの電位をセンスすることで、データ「0」と「1」が判別される。

[0027] このように、時刻t3で第1のトランジスタQ1と第2のトランジスタQ2のオン・オフを切り替える前後で、第1ノードn1と第2ノードn2の電位がそれぞれ変化しないように、第1および第2のトランジスタQ1、Q2のゲート電圧 ϕ_1 、 ϕ_2 が制御される。これにより、第1および第2のトランジスタQ1、Q2のオン・オフが切り替わっても、第3のトランジスタQ3のドレインソース間を流れる電流はほぼ同じになる。

[0028] 上述した説明では、第1のトランジスタQ1をオフして、第2のトランジスタQ2をオンする際に、第4のトランジスタQ4をオフして、第1ノードn1をハイインピーダンス状態に設定したが、第4のトランジスタQ4をオフする代わりに、NANDストリング内の選択ゲートトランジスタS1、S2の少なくとも一方をオフしてもよい。

[0029] このように、第1の実施形態では、メモリセル21の読み出し時に、第1のトランジスタQ1をオンさせて、ビット線BLからの電流をダイオード接続された第3のトランジスタQ3に流して、ビット線BLおよび第2ノードn2の電位を安定化させた後に、第2のトランジスタQ2をオンさせてSENノードからの電流をダイオード接続された第3のトランジスタQ3に流して、SENノードを放電させる。すなわち、本実施形態では、第1および第2のトランジスタQ1、Q2のいずれがオンでも、第3のトランジスタQ3をダイオードとして動作させるため、SENノードからの放電電流がセル側に流れなくなる。よって、NANDストリング20の一端側のCELSRCノードの電圧に依存せずに、メモリセル21の読み出しを行うことができ、メモリセル21の信頼性を低下させる要因となるCELSRCノードの電圧を低下させずに、SENノードの電圧を下げて読み出しを行うことができ、メモリセル21の信頼性を落とさずに低電圧駆動が行える。

[0030] また、CELSRCノードの電位に影響することなく、SASRCノードの電位を調整でき、後述するように、SASRCノードの電位を調整することで、メモリセル21の温度特性や、セル電流経路の抵抗の変動や、ダイオード接続された第3のトランジスタQ3の閾値のばらつき等を調整できる。

[0031] (第2の実施形態)

以下に説明する第2の実施形態は、第1の実施形態のセンスアンプ6をより具体化したものである。

[0032] 図5は第2の実施形態に係るセンスアンプ6の回路図である。図5では、図3と機能的に同じトランジスタには同じ符号を付している。図5のセンスアンプ6は、図3に示した第1～第4のトランジスタQ1～Q4に加えて、第5～第15トランジスタQ5～Q15と、ラッチ部31とを有する。

[0033] 第5のトランジスタQ5は、第3のトランジスタQ3のゲートソース間に接続される。第5のトランジスタQ5は、メモリセル21へのデータ書き込み時に、ビット線BLから流れる電流を、第1および第2のトランジスタQ1、Q2を介さずに第3ノードn3に流すために設けられている。第5の

トランジスタQ5は、GRS信号によりオンとオフが切り替えられる。

[0034] 第6のトランジスタQ6は、第3のトランジスタQ3のソースとSASRCノードの間に配置されており、INV信号によりオンとオフが切り替えられる。

[0035] 第7のトランジスタQ7と第8のトランジスタQ8は、電源電圧ノードVDDと第2ノードn2との間にカスコード接続されている。第7のトランジスタQ7は、INV信号によりオンとオフが切り替えられ、第8のトランジスタQ8はBLX信号によりオンとオフが切り替えられる。

[0036] 第9のトランジスタQ9は、LBUSノードとSENノードの間に配置されており、BLQ信号によりオンとオフが切り替えられる。第10のトランジスタQ10と第11のトランジスタQ11は、LBUSノードとCLKノードとの間にカスコード接続されている。第10のトランジスタQ10は、STB信号によりオンとオフが切り替えられる。

[0037] 第12のトランジスタQ12は、LBUSノードとラッチ部31の入力ノードとの間に配置されており、STI信号によりオンとオフが切り替えられる。第13のトランジスタQ13は、LBUSノードとラッチ部31の出力ノードとの間に配置されており、STL信号によりオンとオフが切り替えられる。

[0038] 第14のトランジスタQ14と第15のトランジスタQ15は、電源電圧ノードVDDと接地ノードとの間にカスコード接続されている。第14のトランジスタQ14と第15のトランジスタQ15は、後述するように、ロックアウト時にラッチ部31のラッチデータの論理を強制的に反転させるロックアウト制御部として動作する。第14のトランジスタQ14はLPCn信号によりオンとオフが切り替えられ、第15のトランジスタQ15はLDC信号によりオンとオフが切り替えられる。

[0039] 第7のトランジスタQ7と第14のトランジスタQ14はPMOSトランジスタであり、その他のトランジスタはNMOSトランジスタである。

[0040] 第6および第7のトランジスタQ6、Q7のゲートに入力されるINV信

号は、ラッチ部31のラッチデータINVと同じ論理の信号である。

[0041] 図5では、第1のトランジスタQ1のゲートにBLC信号を、第2のトランジスタQ2のゲートにXXL信号を、第3のトランジスタQ3のゲートにBLI信号を、第4のトランジスタQ4のゲートにBLS信号を、第5のトランジスタQ5のゲートにGRS信号を、それぞれ供給する例を示している。BLC信号は図1のφ1信号に対応し、XXL信号はφ2信号に対応する。

[0042] 図6および図7は図5のセンスアンプ6の動作タイミングを示すタイミング図である。図6はメモリセル21から有効なデータを読み出した後は読み出し電流を流さないようにするロックアウト動作を行う場合の動作タイミングを示し、図7はロックアウト動作を行わない場合の動作タイミングを示している。このように、図5のセンスアンプ6は、ロックアウト動作を行うか否かを任意に設定変更可能である。

[0043] 図6および図7のタイミング図は、多値書き込みされたメモリセル21の読み出しを行う動作タイミングを示している。例えば4値のデータが書き込まれたメモリセル21を読み出す場合は、Upper ReadとLower Readに分けて行うが、図6および図7はUpper Readの動作タイミングを示している。

[0044] 図6および図7のタイミング図において、IDSA (C level)、IDSA (A/B level)、IDSA (E level)はそれぞれ、メモリセル21のCレベル、A/Bレベル、Eレベルを読み出す際に、ダイオード接続された第3のトランジスタQ3のドレインソース間を流れる電流波形を示している。図6および図7のそれ以外の信号波形は電圧波形である。

[0045] 図6の時刻t11でINV信号はロウからハイに変化する。このとき、CELSRCノード、BLS信号、BLS信号およびBLX信号はそれぞれ高電圧になっている。これにより、CELSRCノードからNANDストリング20、第4のトランジスタQ4、第1のトランジスタQ1、第3のトランジスタQ3、第6のトランジスタQ6を順に通って、SASRCノードに電流が流れ込み、やがて、ビット線BLおよび第2ノードn2の電位が安定化

する。ビット線BLおよび第2ノードn2の電位はそれぞれ、上述したように、NANDストリング20内の読み出し対象セルのデータ論理に応じた電位になる。

[0046] 時刻t12で、BLS信号、BLC信号およびBLX信号がロウで、かつXXL信号がハイになると、SENノードから第2のトランジスタQ2、第3のトランジスタQ3および第6のトランジスタQ6を通してSASRCノードに電流が流れ込む。

[0047] これにより、SENノードは、図6の破線または一点鎖線に示すように、時刻t12の直前における第2ノードn2の電位に応じた電位になる。ラッチ部31は、時刻t13～t14のときに、SENノードの電位に応じた論理のデータをラッチする。

[0048] 図8は図6の時刻t13～t14の期間の詳細なタイミング図である。図8(a)のタイミング図は、SENノードがロウ電位の場合、すなわちメモリセル21から読み出したデータが「0」の場合の動作タイミングを示しており、図8(b)のタイミング図は、SENノードがハイ電位の場合の動作タイミングを示している。

[0049] 図8(a)の時刻t21で、LDC信号がハイになると、第15のトランジスタQ15がオンし、LBUSノードはロウになる。その後、時刻t22でSTI信号をハイになると、第12のトランジスタQ12がオンし、ラッチ部31の入力ノードINVがSENノードと同じロウ電位になる。ラッチ部31の入力ノードINVは、図5に示すINV信号と電氣的に導通している。

[0050] 本来、SENノードがロウ電位のときは、第11のトランジスタQ11はオフであり、LBUSノードはハイ電位のままである。本実施形態では、有効なデータを読み出した後は、INV信号をロウにしてSENノードからの電流がSASRCノードに流れないようにするロックアウト動作を行う。このため時刻t22でINV信号をロウにしている。

[0051] なお、ラッチ部31は、並列接続されたインバータとクロックドインバー

タで構成されており、ラッチしたデータを反転出力するため、論理の異なる信号が衝突しないように、第13のトランジスタQ13がオンになる時刻t25までに、LBUSノードの論理とラッチ部31の出力ノードの論理を同じにしておく必要がある。そこで、時刻t23で、LPCc信号をロウにして、LBUSノードをロウからハイに変えている。

[0052] SENノードがハイ電位的时候は、まだメモリセル21から有効な読み出しを行っていないため、図8(b)に示すように、時刻t22でINV信号をいったんロウにした後に、時刻t25でハイに戻している。

[0053] 図6と図7の動作タイミングを比較すると、メモリセル21から読み出したデータの論理に応じた電位をSENノードに設定した後、SENノードの電位をラッチ部31に書き込む期間t13~t14とそれ以降の動作タイミングが図6と図7で異なる。ロックアウト動作を行わない場合は、図7に示すように、時刻t14でINV信号をハイレベルにするため、第6のトランジスタQ6がオンし、ビット線BLまたはSENノードからの電流は第6のトランジスタQ6を介してSASRCノードに流れ続ける。

[0054] 図5のセンスアンプ6は、図6~図8のようなセンス方式（以下、新センス方式）でメモリセル21の読み出しを行うことができるだけでなく、既存のABL方式でもメモリセル21の読み出しを行うことができる。

[0055] 図9はABL方式にてメモリセル21の読み出しを行う場合の動作タイミング図である。ABL方式では、まずすべてのビット線BLをプリチャージする（時刻t31~t32）。この期間内は、INV信号はロウである。よって、第7のトランジスタQ7、第8のトランジスタQ8、第1のトランジスタQ1、第4のトランジスタQ4を順に通って、ビット線BLに電流が流れる。

[0056] 時刻t32で、XXL信号の電位レベルを上げて第2のトランジスタQ2をオンする。これにより、SENノードからの電流が、第2のトランジスタQ2、第1のトランジスタQ1および第4のトランジスタQ4を介して、ビット線BLに流れる。流れる電流量は、時刻t32の直前のビット線BLの

電位に応じて変化し、これにより、SENノードの電位は、読み出し対象のメモリセル21のデータに応じた電位レベルになる。

[0057] その後、時刻t33でINV信号がハイになるが、XXL信号のレベルは0Vまで放電されるため、SENノードからSASRCノードには電流は流れない。

[0058] 図10は図5のセンスアンプ6を利用してメモリセル21への書き込み（プログラム）を行う場合の動作タイミング図である。図5のセンスアンプ6は、必要に応じてQPW（Quick Pass Write）を行うこともできる。図10には、QPWを行うビット線BL（VL passed）と、QPWを行わないビット線BL（VL not passed）と、書き込み対象外のビット線BL（inhibit）との3つのビット線BLの電圧波形を示している。SGDは、NANDストリング20内の選択ゲートトランジスタのゲート電圧波形である。

[0059] QPWでは、書き込み対象メモリセル21に印加する書き込み電圧を段階的に増加させていくため、図10の破線で示すように、BLC信号、BLX信号、およびGRS信号は、いったん大きく下がった後に（時刻t41）、少し持ち上げられ（時刻t42）、これに応じて、ビット線BL（VL passed）の電圧も少し持ち上げられる。

[0060] 図5のセンスアンプ6は、偶数ビット線BLと奇数ビット線BLに分けてメモリセル21の読み出しを行うセンス方式を採用することもできる。

[0061] 図11は図5のセンスアンプ6を用いて偶数ビット線BLと奇数ビット線BLに分けてメモリセル21の読み出しを行う場合の動作タイミング図である。図11では、偶数番目および奇数番目のビット線に対応する第1のトランジスタQ1のゲート信号をそれぞれ、BLC E、BLC Oと表記している。同様に、偶数番目および奇数番目のビット線に対応する第5のトランジスタQ5のゲート信号をそれぞれ、GRSE、GRSOと表記している。図11のタイミング図は、偶数ビット線BLを選択して、奇数ビット線BLを選択しない場合の動作タイミングを示している。時刻t51ですべてのビット線BLをいったん所定の電圧にクランプした後、読み出しを行う偶数ビット

線BLを、NANDストリング20内の読み出し対象セルに応じた電位に設定し、奇数ビット線BLは、クランプした電圧をそのまま維持する（時刻 t_{52} ）。図11のように、偶数ビット線BLの読み出しを行っている間は奇数ビット線BLをクランプし、奇数ビット線BLの読み出しを行っている間は偶数ビット線BLをクランプすることにより、隣接ビット線BLの電位変動の影響を受けずにビット線BLの電位をセンスできるため、データの読み出し精度を向上できる。

[0062] 図6～図8に示す新センス方式（第1のセンス方式）、ロックアウト動作、図9に示すABLセンス方式（第2のセンス方式）、図10に示すQPW、図11に示すセンス方式のいずれを採用するかは、図1に示すコントローラ8が任意に設定できる。

[0063] このように、第2の実施形態に係るセンスアンプ6は、第1の実施形態と同様の第1～第4のトランジスタQ1～Q4を有するため、第1の実施形態と同様の効果が得られる。また、本実施形態に係るセンスアンプ6は、SENノードから、ダイオード接続された第3のトランジスタQ3を介してSASRCノードに電流を流す新センス方式を採用することもできるし、既存のABL方式を採用することもできる。また、メモリセル21から有効なデータを読み出した後にロックアウト動作を行うかどうかを任意に設定できる。さらに、QPWを行うかどうかも、任意に設定できる。また、偶数ビット線BLと奇数ビット線BLに分けてデータ読み出しを行うセンス方式を採用することもできる。

[0064] （第3の実施形態）

図5のセンスアンプ6は、ロックアウト動作を行うために、第2ノードn2とSASRCノードとの間に第6のトランジスタQ6を配置しているが、ロックアウト動作を行う必要がない場合は、図5とは異なる回路構成にすることができる。

[0065] 図12は第3の実施形態に係るセンスアンプ6の回路図である。図12では、図5と共通する構成部分には同一符号を付しており、以下では相違点を

中心に説明する。図12のセンスアンプ6は、第3のトランジスタQ3、第5のトランジスタQ5および第6のトランジスタQ6の接続が図5と異なっている。

[0066] 図12において、第5のトランジスタQ5と第3のトランジスタQ3は、第2ノードn2とSASRCノードとの間にカスコード接続されている。また、第6のトランジスタQ6は第2ノードn2とSASRCノードとの間に配置されている。

[0067] 図5では、第5のトランジスタQ5のゲートに入力されるGRS信号は、読み出し時にはロウで、書き込み時にはハイになったが、図12では、GRS信号は、読み出し時にハイで、書き込み時にロウになる。したがって、第3のトランジスタQ3は、読み出し時には、ダイオードとして動作し、書き込み時には第1ノードn1から遮断される。

[0068] 図12の場合、INV信号がロウになると、第6のトランジスタQ6はオフするが、SENノードからの電流は、第5のトランジスタQ5とダイオード接続された第3のトランジスタQ3とを流れてSASRCノードに流れる。よって、ロックアウト動作を行うことはできない。

[0069] このように、第3の実施形態に係るセンスアンプ6は、ロックアウト動作を行うことはできないが、それ以外は第2の実施形態と同様の効果が得られる。

[0070] (第4の実施形態)

上述したように、図5や図12に示すセンスアンプ6は、読み出し時にSENノードからSASRCノードに電流を流す新センス方式と、SENノードからビット線BL側に電流を流す既存のABL方式とを任意に切り替えて実施できるが、この切替制御は、図1の半導体記憶装置1内のコントローラ8が行ってもよいし、あるいは半導体記憶装置1とは別個に設けられる外部コントローラ41が行ってもよい。

[0071] 図13は外部コントローラ41と半導体記憶装置1とを備えるメモリシステム42の概略的なブロック図である。外部コントローラ41は、プロセッ

サ43からの指示を受けて、半導体記憶装置1にアクセスして、データの書き込みや読み出しを行う。また、外部コントローラ41は、上述したように、センスアンプ6のセンス方式を切り替えることができる。

[0072] センス方式の切替を指示する手法として、例えば、プレフィックス・コマンドでの指示と、Set Featureコマンドシーケンスでの指示と、パラメータセットでの指示とのいずれかが考えられる。あるいは、別の指示手法を採用してもよい。

[0073] 図14はプレフィックス・コマンドで指示する場合の概略的なタイミング図である。図14は、多値書き込みがされたメモリセル21のデータを読み出す場合に、Aレベルの読み出しとCレベルの読み出しとで、センス方式を変える例を示している。

[0074] プレフィックス・コマンドでの指示がある場合は、例えばAレベルで新センス方式を、CレベルでABLセンス方式を採用する。プレフィックス・コマンドでの指示がない場合は、AレベルとCレベルの双方において新センス方式を採用する。

[0075] 外部コントローラ41は、図15に示すように、外部プレフィックス・コマンド、リードコマンド00h、リードアドレス、リードコマンド30hの順に、例えばI/Oバス等を介して半導体記憶装置1に送信する。半導体記憶装置1内のコントローラ8は、外部プレフィックス・コマンドを解釈して、新センス方式とABLセンス方式のいずれかを選択する。

[0076] このように、第4の実施形態では、半導体記憶装置1の外部から、センスアンプ6のセンス方式を設定変更できるようにしたため、センスアンプ6の動作確認を行いやすくなる。

[0077] (第5の実施形態)

図1や図5等のセンスアンプ6は、ダイオード接続される第3のトランジスタQ3のソース側にSASRCノードを設けている。このSASRCノードの電圧を調整することで、ビット線BLの電圧を変えることができる。ビット線BLの電圧を変える目的は、例えば、1)セル電流を調整するためと

、 2) セル電流経路の抵抗の変動を相殺するためと、 3) ダイオード接続された第3のトランジスタQ3の閾値の変動をキャンセルするため等である。

[0078] 図16はSASRCノードの電圧を調整する電圧調整部51の一例を示す回路図である。図16の電圧調整部51は、SASRCノードと接地ノードの間に配置されるトランジスタ52と、このトランジスタ52のゲート電圧を調整するコンパレータ53とを有する。コンパレータ53は、SASRCノードの電圧と基準電圧V_{ref}とを比較し、SASRCノードの電圧が高ければ、トランジスタ52のゲート電圧を下げ、SASRCノードの電圧が低ければ、トランジスタ52のゲート電圧を上げる。

[0079] 1) 周囲温度が上がると、一般にメモリセル21の閾値は低くなる。メモリセル21の閾値が低くなると、CELSRCノードからNANDストリング20を通してビット線BLに電流が流れやすくなり、ビット線BLの電圧が上昇する。この場合、SASRCノードの電圧を高くすると、ダイオード接続された第3のトランジスタQ3のドレインソース間に電流が流れにくくなることから、ビット線BLを流れる電流量を抑制することができる。よって、周囲温度が上がる場合には、例えば図16の回路を用いて、SASRCノードを高く設定すればよい。

[0080] 2) NANDストリング20からセンスアンプ6までの距離が長くなるほど、ビット線BLの抵抗の影響を受けることになる。すなわち、ビット線BLを通るセル電流経路の抵抗が高くなり、ビット線BLの電圧が低くなる。そこで、センスアンプ6から離れた場所にあるセルブロック内のメモリセル21のデータを読み出す際は、例えば図16の回路を用いて、SASRCノードの電圧を低くして、ビット線BLを流れる電流を増やす。

[0081] 3) ダイオード接続された第3のトランジスタQ3は、閾値ばらつきを持っている。閾値が低い場合は、ビット線BLから第3のトランジスタQ3に電流が流れやすくなるため、この場合は、例えば図16の回路を用いて、SASRCノードを高く設定すればよい。逆に、閾値が高い場合は、ビット線BLから第3のトランジスタQ3に電流が流れにくくなるため、SASRC

ノードを低く設定すればよい。

[0082] 図16では、SASRCノードに電圧調整用の回路を接続する例を示したが、図5等の第3のトランジスタQ3と第6のトランジスタQ6の間の第3ノードn3にこの回路を接続してもよい。

[0083] このように、第5の実施形態では、SASRCノードの電圧を調整する回路を設けるため、温度によるセル電流の変化と、セル電流経路の抵抗の変動と、ダイオード接続された第3のトランジスタQ3の閾値ばらつきとを相殺することができ、安定した電流をビット線BLに流すことができ、データ読み出しの信頼性が向上する。

[0084] (第6の実施形態)

上述した第5の実施形態で説明したように、SASRCノードの電圧は、1) 周囲温度と、2) NANDストリング20からセンスアンプ6までの距離と、3) ダイオード接続された第3のトランジスタQ3の閾値ばらつきとにより、変動する可能性がある。よって、図16のコンパレータ53にて、SASRCノードの電圧と比較される基準電圧Vrefも、上記1)～3)を考慮に入れて調整する必要がある。すなわち、SASRCノードの電圧が上記1)～3)により変動した場合は、その変動分だけ基準電圧Vrefも変動させるのが望ましい。そこで、以下に説明する第6の実施形態では、図16の電圧調整部51に、基準電圧Vrefを生成するための基準電圧生成回路を追加することを特徴とする。この基準電圧生成回路では、上記1)～3)を考慮に入れて基準電圧Vrefを調整する。

[0085] この基準電圧生成回路は、各センスアンプ6ごとに設ける必要はなく、複数のセンスアンプ6で一つの基準電圧生成回路を共用することが可能である。例えば、メモリバンクごとに基準電圧生成回路を設けてもよい。この場合、一つのメモリバンク内の全SASRCノードの電圧との比較に、対応する基準電圧生成回路で生成された基準電圧Vrefが用いられる。

[0086] 図17は基準電圧生成回路61の一例を示す回路図である。図17の基準電圧生成回路61は、電流源62と、抵抗レプリカ部63と、ダイオードレ

プリカ部 64 と、帰還制御部 65 とを有する。なお、図 17 では、図 3 等のダイオード接続されたトランジスタ Q3 を電流源 Q3 として表記している。

[0087] 電流源 62 は、読出し対象の NAND ストリング 20 に流れる電流に応じた電流を生成する。電流源 62 は、必ずしも基準電圧生成回路 61 内に設ける必要はなく、半導体記憶装置 1 内に設ければよい。電流源 62 が生成する電流は、予め設定される。より具体的には、電流源 62 が生成する電流は、理想的にはセンスアンプ 6 が NAND ストリング 20 内の任意のメモリセルを ON セルと判定する境界の電流に設定される。上述したように、周囲温度が上がると、一般にメモリセル 21 の閾値が低くなり、NAND ストリング 20 を流れるセル電流が増大する。よって、周囲温度に応じて、電流源 62 から出力する電流を可変制御してもよい。あるいは、図 17 の基準電圧生成回路 61 を設計する際に、周囲温度を予め想定して、想定した温度に基づいて、電流源 62 から出力する電流値を固定値として設定してもよい。

[0088] 抵抗レプリカ部 63 は、電流源 62 の電流経路に接続されており、ビット線の抵抗値に応じた抵抗値を有する。すなわち、抵抗レプリカ部 63 は、読出し対象の NAND ストリング 20 からビット線に読出し電流が流れる際のビット線の抵抗値に見合った抵抗値を有する。NAND ストリング 20 とセンスアンプ 6 との距離によって、ビット線の抵抗値は変わるため、抵抗レプリカ部 63 の抵抗値は、どの NAND ストリング 20 の読出しを行うかによって、可変調整するのが望ましい。抵抗レプリカ部 63 の抵抗部の調整は、例えば図 1 に示したコントローラ 8 により行われるが、半導体記憶装置内の各 NAND ストリング 20 とセンスアンプとの距離に応じて抵抗レプリカ部 63 の抵抗値を細かく調整するのは、コントローラ 8 の処理負担が大きい。よって、抵抗レプリカ部 63 の抵抗値をいくつか事前に用意して、そのうちから一つを選択するようにしてもよい。

[0089] ダイオードレプリカ部 64 は、抵抗レプリカ部 63 の一端と基準電圧 V_{ref} の出力ノード n0 との間に接続されており、第 3 のトランジスタ Q3 の電気的特性を模擬したトランジスタである。第 3 のトランジスタ Q3 は、各 SE

N ノードごとに設けられており、半導体記憶装置 1 内には、多数の第 3 のトランジスタ Q 3 が設けられている。個々の第 3 のトランジスタ Q 3 ごとに電気的特性に若干のばらつきがあることから、ダイオードレプリカ部 6 4 は、第 3 のトランジスタ Q 3 と同じ設計基準で形成された複数のトランジスタを並列接続したものでもよい。複数のトランジスタを並列接続することで、個々のトランジスタの電気的特性のばらつきを平均化できるため、第 3 のトランジスタ Q 3 の電気的特性との差異を低減できる。なお、ダイオードレプリカ部 6 4 を複数のトランジスタで構成した場合は、複数のトランジスタの数に合わせて、電流源 6 2 から流す電流も調整する必要がある。

[0090] 第 3 のトランジスタ Q 3 は、閾値ばらつきと温度特性によるばらつきを持っているが、上述したように、第 3 のトランジスタ Q 3 と同じ設計基準で形成された複数のトランジスタを並列接続してダイオードレプリカ部 6 4 を構成することで、閾値ばらつきと温度特性によるばらつきを相殺できる。

[0091] 帰還制御部 6 5 は、コンパレータ 6 6 と、PMOS トランジスタ 6 7 と、NMOS トランジスタ 6 8 とを有する。コンパレータ 6 6 は、電流源 6 2 と抵抗レプリカ部 6 3 との接続ノードの電圧を、所定の閾値電圧 V_{REF_SRC} と比較して、両電圧の大小関係を示す 2 値信号を出力する。この 2 値信号は、PMOS トランジスタ 6 7 のゲートに入力される。PMOS トランジスタ 6 7 と NMOS トランジスタ 6 8 は、電源ノードと接地ノードとの間に縦続接続されており、両トランジスタのドレインが基準電圧生成回路 6 1 の出力ノード $n 0$ となり、この出力ノード $n 0$ から基準電圧 V_{ref} が出力される。基準電圧生成回路 6 1 の出力ノード $n 0$ は、ダイオードレプリカ部 6 4 のソースにも接続されており、これにより、電流源 6 2 と抵抗レプリカ部 6 3 との接続ノードの電圧が所定の閾値電圧 V_{REF_SRC} に一致するように帰還制御が行われる。

[0092] コンパレータ 6 6 が、電流源 6 2 と抵抗レプリカ部 6 3 との接続ノードの電圧を帰還制御する理由は、この接続ノードの電圧は、読出し対象の NAND ストリング 2 0 のビット線電圧に相当する電圧であるためであり、図 1 7

の基準電圧生成回路61は、読出し対象のNANDストリング20のビット線電圧をモニタして、基準電圧V_{ref}を生成するのと等価の処理を行う。

[0093] 読出し対象のNANDストリング20のビット線電圧は、NANDストリング20の温度特性により変動する。よって、NANDストリング20の温度特性を考慮に入れて、閾値電圧VREF_SRCを設定するのが望ましい。なお、閾値電圧VREF_SRCは、いったん設定した後は、変更しなくても構わないが、例えば、温度センサ等で検知した温度に応じて、閾値電圧VREF_SRCを可変制御してもよい。

[0094] このように、第6の実施形態では、NANDストリング20からビット線と第3トランジスタQ3を通してSASRCノードに至るまでの電流経路と同様の電流経路を持つ基準電圧生成回路61にて、SASRCノードの電圧を調整するための基準となる基準電圧V_{ref}を生成するため、SASRCノードの電圧を精度よく調整できる。より具体的には、1) 周囲温度と、2) NANDストリング20からセンスアンプ6までの距離と、3) ダイオード接続された第3トランジスタQ3の閾値ばらつきとを考慮に入れて基準電圧V_{ref}を生成するため、1)～3)で変動する可能性のあるSASRCノードの電圧と基準電圧V_{ref}との差電圧は、上記1)～3)の影響を受けなくなる。これにより、上記1)～3)の影響を受けることなく、SASRCノードの電圧を基準電圧V_{ref}に合わせて精度よく調整できる。

[0095] 上述した実施形態では、本発明をNAND型フラッシュメモリに適用する例を説明したが、本発明は、NOR型フラッシュメモリやMRAM、ReRAMなど、種々の不揮発性半導体記憶装置に適用可能である。

[0096] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

請求の範囲

[請求項1]

メモリセルを含むメモリストリングと、
前記メモリストリングの一端と電氣的に接続されたビット線と、
前記ビット線と電氣的に接続されたセンスアンプと、
を備え、
前記センスアンプは、
前記ビット線の電流経路上の第1ノードに一端が接続され、第2ノードと電氣的に他端が接続された第1のトランジスタと、
前記第2ノードとセンスノードとの間に電氣的に接続された第2のトランジスタと、
ゲートが前記第1ノードに接続され、前記第2ノードと電圧調整可能な第3ノードとの間に電氣的に接続された第3のトランジスタと、
を含む半導体記憶装置。

[請求項2]

前記メモリセルの読み出し時には、前記ビット線から前記第1のトランジスタおよび前記第3のトランジスタを介して前記第3ノードに電流を流し、その後、前記センスノードから前記第2のトランジスタおよび前記第3のトランジスタを介して前記第3ノードに電流を流す請求項1に記載の半導体記憶装置。

[請求項3]

前記ビット線から前記第1のトランジスタを通して前記第3のトランジスタに電流を流すときの前記第1のトランジスタのゲート電圧は、前記第3ノードの電圧と、前記第1のトランジスタの閾値電圧と、所定のオーバードライブ電圧とを合算した電圧であり、

前記センスノードから前記第2のトランジスタを通して前記第3のトランジスタに電流を流すときの前記第2のトランジスタのゲート電圧は、前記第3ノードの電圧と、前記第2のトランジスタの閾値電圧と、所定のオーバードライブ電圧とを合算した電圧である請求項1または2に記載の半導体記憶装置。

[請求項4]

前記第3のトランジスタのゲートは、前記第1のトランジスタのド

ラインとともに、前記第1ノードに接続されており、

前記第3のトランジスタは、前記ビット線から前記第1のトランジスタを通して前記第3のトランジスタに電流を流すときと、前記センスノードから前記第2のトランジスタを通して前記第3のトランジスタに電流を流すときとにおいて、ダイオードとして動作する請求項1に記載の半導体記憶装置。

[請求項5] 前記ビット線の電流径路上に前記第1ノードに接続された第4のトランジスタを備え、

前記メモリセルの読み出し時には、前記ビット線から前記第1のトランジスタおよび前記第3のトランジスタを介して前記第3ノードに電流が流れ、その後に、前記センスノードから前記第3のトランジスタおよび前記第2のトランジスタを介して前記第3ノードに電流が流れる請求項4に記載の半導体記憶装置。

[請求項6] 前記メモリセルは、NAND型フラッシュメモリセルであり、

ビット線と第1の電圧設定ノードとの間に直列接続される複数の前記NAND型フラッシュメモリと選択ゲートトランジスタとを含むNANDストリングを備え、

前記第4のトランジスタは、前記選択ゲートトランジスタである請求項5に記載の半導体記憶装置。

[請求項7] 前記メモリセルは、NAND型フラッシュメモリセルであり、

ビット線と第1の電圧設定ノードとの間に直列接続される複数の前記NAND型フラッシュメモリと選択ゲートトランジスタとを含むNANDストリングを備え、

前記第4のトランジスタは、前記ビット線と前記第1のトランジスタとの間の電流径路上に配置される請求項5に記載の半導体記憶装置。

[請求項8] 前記メモリセルへのデータ書き込み時に前記ビット線から流れる電流を、前記第1および第2のトランジスタを介さずに前記第3ノード

に流す第5のトランジスタを備える請求項1に記載の半導体記憶装置。
。

[請求項9] 前記第3ノードと第2の電圧設定ノードとの間に配置される第6のトランジスタを備える請求項1に記載の半導体記憶装置。

[請求項10] 前記メモリセルには、多値データが書き込まれており、
前記メモリセルのワード線を所定の読み出し電圧レベルに設定して前記メモリセルから読み出したデータが所定の論理であれば、その後前記メモリセルの読み出し動作が完了するまで前記第6のトランジスタがオフする請求項9に記載の半導体記憶装置。

[請求項11] 前記センスアンプは、
前記メモリセルの読み出し時に、前記ビット線から前記第1のトランジスタおよび前記第3のトランジスタを介して前記第3ノードに電流を流し、その後に、前記センスノードから前記第2のトランジスタおよび前記第3のトランジスタを介して前記第3ノードに電流を流す第1のセンス方式と、

前記メモリセルの読み出し時に、前記第2ノードの電圧を安定させた後に、前記センスノードから前記第2のトランジスタおよび前記第1のトランジスタを介して前記ビット線に電流を流す第2のセンス方式と、を任意に選択可能である請求項1に記載の半導体記憶装置。

[請求項12] 前記第3ノードの電圧を調整する電圧調整部を有する請求項1に記載の半導体記憶装置。

[請求項13] 前記電圧調整部は、周囲温度が上昇した場合には、前記第3ノードの電圧をより高くする請求項12に記載の半導体記憶装置。

[請求項14] 前記電圧調整部は、読み出すべき前記メモリストリングと前記センスアンプとの距離が長いほど、前記第3ノードの電圧をより高くする請求項12に記載の半導体記憶装置。

[請求項15] 前記電圧調整部は、前記第3のトランジスタの閾値が低いほど、前記第3ノードの電圧をより高くする請求項12に記載の半導体記憶装

置。

[請求項16] 前記第3ノードの電圧の基準となる基準電圧を生成する基準電圧生成部を備え、

前記電圧調整部は、前記第3ノードの電圧が前記基準電圧に一致するように帰還制御を行う請求項12に記載の半導体記憶装置。

[請求項17] 前記基準電圧生成部は、

読み出し対象の前記メモリストリングに流れる電流に応じた電流を生成する電流源と、

前記電流源の電流経路に接続され、前記ビット線の抵抗値に応じた抵抗値を有する抵抗レプリカ部と、

前記抵抗レプリカ部の一端と前記基準電圧の出力ノードとの間に接続され、前記第3のトランジスタの電気的特性を模擬したダイオードレプリカ部と、

前記電流源と前記抵抗レプリカ部との接続ノードの電圧が所定の閾値電圧に一致するように帰還制御する帰還制御部と、を有する請求項16に記載の半導体記憶装置。

[請求項18] 前記抵抗レプリカ部は、読み出すべき前記メモリストリングと前記センスアンプとの距離に応じて抵抗値を可変可能な可変抵抗器である請求項17に記載の半導体記憶装置。

[請求項19] メモリセルを含むメモリストリングと、前記メモリストリングの一端と電氣的に接続されたビット線と、前記ビット線と電氣的に接続されたセンスアンプと、前記センスアンプの動作を制御する内部コントローラと、を備え、前記センスアンプは、前記ビット線の電流経路上の第1ノードに一端が接続され、第2ノードと電氣的に他端が接続された第1のトランジスタと、前記第2ノードとセンスノードとの間に電氣的に接続された第2のトランジスタと、ゲートが前記第1ノードに接続され、前記第2ノードと電圧調整可能な第3ノードとの間に電氣的に接続された第3のトランジスタと、有する半導体記憶装置と、

前記半導体記憶装置へのデータ書き込みおよび前記半導体記憶装置からのデータ読み出しを制御する外部コントローラと、を備えたメモリシステムにおいて、

前記内部コントローラは、前記外部コントローラからの指示に従って、前記メモリセルの読み出し時に、前記ビット線から前記第1のトランジスタおよび前記第3のトランジスタを介して前記第3ノードに電流を流し、その後、前記センスノードから前記第2のトランジスタおよび前記第3のトランジスタを介して前記第3ノードに電流を流す第1のセンス方式と、

前記メモリセルの読み出し時に、前記第2ノードの電圧を安定させた後に、前記センスノードから前記第2のトランジスタおよび前記第1のトランジスタを介して前記ビット線に電流を流す第2のセンス方式と、の一方を選択するメモリシステム。

[請求項20]

前記外部コントローラは、プレフィックス・コマンド、Set Featureによるビット値設定、またはパラメータセットにより、前記半導体記憶装置に対して前記第1のセンス方式または前記第2のセンス方式の選択を指示する請求項19に記載のメモリシステム。