明　細　書

液晶表示装置、液晶表示装置の駆動方法、および液晶表示装置の検査方法

[技術分野]

本発明は、液晶表示装置、液晶表示装置の駆動方法、液晶表示装置の電気的特性の検査方法に関し、特に、液晶表示マトリクスを駆動するためのトランジスタを、液晶表示マトリクス基板上に形成した液晶表示装置等に関する。

[背景技術]

薄膜トランジスタ（Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ；以下、ＴＦＴという）をスイッチング素子として用いたアクティブマトリクス型液晶表示装置において、アクティブマトリクスの駆動回路をＴＦＴで構成し、その駆動回路を構成するＴＦＴを、画素部のＴＦＴと同時にアクティブマトリクス基板上に形成できれば、ドライバＩＣを搭載する必要がなくなり便利である。

但し、ＴＦＴは、単結晶シリコン基板に集積されたトランジスタに比べて動作スピードが遅く駆動回路の高速化には一定の限界があり、また、駆動回路を高速動作させれば、それだけ消費電力も増大する。

液晶表示装置の駆動回路を高速に動作させるための技術の例としては、日本国の特開昭６１－３２０９３号公報に記載の技術，ＳＩＤ Ｄｉｇｅｓｔ，ｐｐ６０９－６１２（１９９２）に記載の技術がある。

日本国の特開昭６１－３２０９３号公報に記載の技術は、駆動回路を複数のシフトレジスタで構成し、各シフトレジスタをそれぞれ、位相が少しずつ異なるクロックで駆動することによって、シフトレジスタの実質的な動作周波数を向上させるものである。

また、ＳＩＤ Ｄｉｇｅｓｔ，ｐｐ６０９－６１２（１９９２）には、複数のアナログスイッチを、タイミング制御回路の一つの出力で同時に一括して駆動し、映像信号を並列に書き込む技術が開示されている。

また、駆動回路の低消費電力化を図る技術の例としては、特開昭６１－３２０９３号公報に記載の技術がある。この技術は、駆動回路を複数のブロックに分割

チが実現される。したがって、液晶表示マトリクスの駆動回路をＴＦＴで構成した場合でも、消費電力を増大させずに、駆動回路の高速動作が可能となる。

一本のシフトレジスタを用いて複数のパルスを同時に発生させるには、例えば、そのシフトレジスタの入力端に、映像信号の１水平期間毎に１つの同極性のパルスを入力していき、少なくとも（Ｎ－１）回の水平期間の経過を待って、前記シフトレジスタの各段の出力端より、相互に間隔をおいて並列に走るＮ個のパルスが出力されるような定常状態を実現すればよい。

本発明の液晶表示装置の他の態様では、一本のシフトレジスタに加えで、そのシフトレジスタの出力信号を入力とするゲート回路が設けられ、そのゲート回路の出力信号を、データ線駆動回路を構成する回路のタイミング制御信号として使用する。例えば、ゲート回路の出力信号は、アナログドライバにおける映像信号のサンプリングタイミングを決めるタイミング信号として使用でき、デジタルドライバにおける映像信号のラッチタイミングを決めるタイミング信号として使用できる。

例えば、ゲート回路として排他的論理和ゲートを使用し、シフトレジスタの隣り合う段の各出力をその排他的論理和ゲートの入力とし、シフトレジスタに映像信号の２水平期間を１周期とするクロックを入力とすれば、１水平期間におけるクロックのレベルの変化数が減少し、より低消費電力化が可能である。

本発明の液晶表示装置の他の態様では、一本のシフトレジスタを活用することにより、液晶表示マトリクスの電気的検査を行うことができる構成を実現する。例えば、データ線の一端に検査用信号の入力回路を接続し、データ線の他端にアナログスイッチを介して映像信号の入力線を接続しておく。

そして、検査用信号の入力回路を用いてデータ線に検査用の信号を一括して入力し、そのような入力が維持されている状態で、１本のシフトレジスタより一つのパルスを順次に出力させ、そのパルスの各々を用いて複数のアナログスイッチを順次にオンさせ、これにより、前記データ線の一端より送信された検査用の信号を、アナログスイッチおよび映像信号の入力線を介して受信することにより、データ線やアナログスイッチの電気的特性の検査を行うことができる。例えば、データ線やアナログスイッチの周波数特性やデータ線の断線等を正確かつ高速に

図１６Ａは、図１５の回路におけるデータ線の配列を示す図であり、図１６Ｂは、本発明の駆動回路の通常動作を示す図であり、図１６Ｃは図１６Ｂの駆動回路の欠陥検査時の動作例を示す図であり、

図１７は、図１６Ｃに示される本発明の駆動回路の欠陥検査時の動作を、より具体的に説明するためのタイミングチャートであり、

図１８Ａは、本発明の駆動回路の要部構成を示す図であり、図１８Ｂは、図１８Ａの回路の欠陥検査時の動作の一例を示す図であり、

図１９Ａは、本発明の駆動回路の要部構成を示す図であり、図１９Ｂは、図１９Ａの駆動回路の通常の動作例を示すタイミングチャートであり、

図２０は、本発明の液晶表示装置の他の実施例の構成を示す図であり、

図２１は、液晶表示装置の構造を示す斜視図であり、

図２２Ａ～図２２Ｅはそれぞれ、ドライバ部を構成するＴＦＴとアクティブマトリクスを構成するＴＦＴとを同時に形成する製造プロセスの例を示す、各工程におけるデバイスの断面図であり、

図２３Ａは、ｐチャネルＴＦＴとｎチャネルＴＦＴの電圧－電流特性を示す図であり、図２３Ｂは、ｐチャネルＴＦＴおよびｎチャネルＴＦＴを用いたバッファ回路の回路図であり、図２３Ｃは、図２３Ｂの回路の入力波形と出力波形を示す図であり、

図２４Ａは、ｐチャネルＴＦＴおよびｎチャネルＴＦＴを用いたナンドゲートを示し、図２４Ｂは、図２４Ａの回路の入力波形と出力波形を示す図であり、図２４Ｃは、ｐチャネルＴＦＴおよびｎチャネルＴＦＴを用いた排他的論理和ゲートを示す図であり、図２４Ｄは、図２４Ｃの回路の入力波形と出力波形を示す図であり、

図２５Ａは、アナログスイッチの構成の一例を示す図であり、図２５Ｂは、アナログドライバの構成を示す図である。

[発明を実施するための最良の形態]

以下、本発明の実施例を用いて、本発明の内容をより詳細に説明する。

（実施例１）

（全体構成）

号についても、位相が１８０度ずれたクロックは冒頭に「ｎ」を付して表すこととする。また、正極性のパルスがデジタル値の「１」に対応し、負極性のパルスがデジタル値の「０」に対応する。

また、映像信号の多重化の意味が図４Ｂに示されている。図４Ａに示すように、１番目から１６番目までの映像信号を例にとると、通常、各信号は時系列的に順番に配置されている。

一方、本実施例のように多重度「４」で映像信号を多重化すると、図４Ｂに示すように、時刻ｔ１において、映像信号Ｖ１～Ｖ４にはそれぞれ、「１番目」，「５番目」，「９番目」，「１３番目」の各信号が同時に現れる。以下、同様に、時刻ｔ２には「２番目」，「６番目」，「１０番目」，「１４番目」の各信号が同時に現れ、時刻ｔ３には「３番目」，「７番目」，「１１番目」，「１５番目」の各信号が同時に現れ、時刻ｔ４には「４番目」，「８番目」，「１２番目」，「１６番目」の各信号が同時に現れる。

映像信号の多重化は、例えば、図6に示すようにアナログ映像信号を少しずつ遅延させて、位相が少しずつ異なる複数の映像信号を作成することにより可能である。そのような映像信号の遅延は、例えば、図５に示すような遅延回路１２００を用いて実現できる。遅延回路１２００は同じ遅延量をもつ４つの遅延回路１２０２～１２０７を直列に接続してなり、各遅延回路の出力をデータ線駆動回路２００に供給する。なお、図５において、参照番号１０００はアナログ映像信号発生装置であり、参照番号１１００はタイミングコントローラである。

本実施例では、このように映像信号を多重化しておき、一方、一本のシフトレジスタを用いて多重度に応じた数のパルスを同時に発生させ、複数のアナログスイッチを同時に駆動して、映像信号を同時に複数のデータ線に供給することにより、データ線駆動の高速化が図られる。

なお、液晶表示装置は、実際は、図２１に示されるように、アクティブマトリクス基板３１００と対向基板３０００とを張り合わせて構成される。各基板の間に液晶が封入されている。

（データ線駆動回路の具体的構成）

本実施例は、データ線駆動回路２００における動作に特徴があり、以下、具体

次に、図９および図１０を用いて、図３に示される回路の動作を具体的に説明する。図９は、シフトレジスタ２２０から並列に走る４つのパルスが定常的に出力されるようになるまで（その状態が図１０に示される）の動作のうちの、初期段階の動作を示している。

図９において、「ａ」～「ｇ」は、図３に示される、シフトレジスタ２２０の各段の出力端における信号波形を示し、「ＯＵＴ１」～「ＯＵＴ６」は、同じく図３に示されるナンドゲート２４１～２４６のそれぞれの出力信号の波形を示す。また、「ＧＰ」は一本の走査線の選択パルスであり、「H_{1st}」は１番目の選択期間を示し、「H_{2nd}」は２番目の選択期間を示す。また、上述したように、「ＣＬ１」，「ｎＣＬ１」は動作クロックであり、「ＳＰ」はスタートパルスである。図１０においても同様である。

図９に示されるように、１選択期間（１Ｈ）に１個のスタートパルス（ＳＰ）をシフトレジスタ２２０に順次に入力していくと、それに対応してシフトレジスタ２２０の各段から一つのパルスが出力され、そのパルスは順次にシフトされていく。これに応じて、ナンドゲート２４１～２４６のそれぞれから順次に１つのパルスが出力される。

このような動作が繰り返され、図１０に示すように、４番目の選択期間「H_{4th}」の開始時点（時刻ｔ２）において、初めて、４つのパルスが、ゲート回路２４０より同時に出力される（ＯＵＴ１，ＯＵＴ１１，ＯＵＴ２１，ＯＵＴ３１）。以後、各パルスは相互の間隔を保ちながら同一方向に並列に走るようになり、４つのパルスが同時に出力される状態が定常的に実現される。

このようにして得られた、同時に出力される４つのパルスでもって、図３の各アナログスイッチ２６１を構成するＭＯＳトランジスタ４１０を同時にオンさせ、多重化された映像信号を同時にサンプリングし、対応する４本のデータ線に同時に映像信号を供給する。

すなわち、パルスが入力されるとＭＯＳトランジスタ４１０がオンし、データ線（Ｄ（ｎ））と映像信号線（Ｓ１～Ｓ４）とが電気的に接続され、アナログビデオ信号がデータ線容量４１２に書き込まれる。そして、ＭＯＳトランジスタ４１０がオフすると、書き込まれた信号がデータ線容量４１２に保持される。つま

個別にスタートパルス（ＳＰ）を供給するようにしている。そのスタートパルスのシフトレジスタへの入力は、専用の配線Ｓ１０を介して行う必要がある。

この場合、スタートパルス入力用の配線Ｓ１０が、各シフトレジスタ２２２，２２４，２２６へ動作クロック（ＣＬ１，ｎＣＬ１）を入力するための配線Ｓ２０と交差し、その結果、図１１Ｂに示すように、スタートパルスにノイズが重畳されることになる。

また、スタートパルスの入力用配線Ｓ１０の長さは、少なくとも１０μｍ程度になり、よって微細化の大きな障害となる。

さらに、その配線の抵抗よってスタートパルスが遅延し、各シフトレジスタへの入力タイミングに差が生じる恐れもある。

これに対し、本実施例のデータ線駆動回路では、図１２Ａに示されるように、１本のシフトレジスタ２２０の左端から所望のタイミングでスタートパルス（ＳＰ）を入力すればよく、スタートパルス用の専用配線は不要である。

したがって、本実施例では、図１１Ｂに示すようにスタートパルスにノイズが重畳するがことがなく、また、レイアウト面積の削減も図れる。

また、一本のシフトレジスタを用いて複数のパルスを生成するので、スタートパルスの遅延も生じない。

このように、本発明によれば、回路の微細化とシフトレジスタの動作クロックの周波数の低減とを両立できる。したがって、例えば、データ線駆動回路を構成するＴＦＴとして、低温プロセスを用いて作成したＴＦＴを用いた場合でも高速かつ正確な動作が確保される。

したがって、本実施例を用いれば、駆動回路をＴＦＴで構成した液晶表示装置の性能を高めることができる。

（ＴＦＴの製造プロセス）

図２２Ａ～図２２Ｅに、ドライバ部のＴＦＴと、アクティブマトリクス部（画素部）のＴＦＴとを同時に基板上に形成する場合の、製造プロセス（低温製造プロセス）の一例が示されている。本製造プロセスにより製造されるＴＦＴは、ポリシリコンを用いた、ＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）構造のＴＦＴである。

タル映像信号のラッチを高速化できる。

デジタル映像信号の多重化は例えば、図７に示される、データの組み替え回路１２７０により実現できる。なお、図７において、参照番号１０００はアナログ映像信号発生装置を示し、参照番号１２５０はＡ／Ｄ変換回路を示し、参照番号１２６０はγ補正用ＲＯＭを示し、参照番号１１１０はタイミングコントローラを示す。

なお、線順次駆動方式のデジタルドライバに限定されず、点順次駆動方式のデジタルドライバにも同様に、本発明は適用可能である。

（実施例３）

本発明の第３の実施例の特徴が図１９Ａ，図１９Ｂに示されている。第１の実施例では、ゲート回路２４０をナンドゲートで構成していたが（図３）、本実施例では、ゲート回路２４０を排他的論理和ゲート２５１で構成している。排他的論理和ゲート２５１は、シフトレジスタの隣接する２つの段の出力（ａ，ｂ・・・）を入力とし、映像信号のサンプリングタイミングを決めるために使用されるパルス（Ｘ，Ｙ，Ｚ・・・）を出力する。

排他的論理和ゲート２５１を用いる利点は、スタートパルス（ＳＰ）の１周期を２選択期間（選択期間の２倍）とすると消費電力の低減が可能となる点と、出力パルスの後端が急峻となってパルス幅が広がるのを防ぐことができる点である。

すなわち、図３に示すように、スタートパルス（ＳＰ）の１周期を２選択期間（選択期間の２倍）とすると、図９に示されるのと同様の回路動作によって並列にパルスが出力されると共に、１選択期間あたりの、シフトレジスタの各段の出力（ａ，ｂ・・・）のレベル変化の回数が、図９のような動作が行われる場合に比べて半分となる。

つまり、図１９Ａの「ｂ」点における１選択期間（１Ｈ）内の信号のレベル変化は、図１９Ｂに示すように、１回である。つまり、１選択期間（１Ｈ）にはポジティブエッジＲ３が１つ存在するだけである。

これに対し、図９に示す回路動作では、「ｂ」点における信号レベルは１選択期間（１Ｈ）内で２回変化している。つまり、１選択期間（１Ｈ）には、ポジティブエッジＲ１とネガティブエッジＲ２の２つが存在する。したがって、図９の

図１４に、実際の回路において、水平帰線期間（時刻ｔ１２～ｔ１３）にゲート回路からのパルスの発生を停止させる場合の動作が示される。図１４中、例えば、「１５７」は、一本のシフトレジスタの「第１５７段の出力」を示し、「ＯＵＴ１５９」は、「第１５９番目のナンドゲートの出力」を示す。

図１４に明示されるように、水平帰線期間（時刻ｔ１２～ｔ１３）にゲート回路からのパルスの発生を停止させるためには、時刻ｔ１～ｔ１４において、動作クロック（ＣＬ１，ｎＣＬ１）およびイネーブル信号（ｎ，ｎＥ）を停止させればよい。

（実施例５）

図１に示す液晶表示装置は、データ線等の電気的特性の検査にも適している。すなわち、図１５の上側に示すように、検査用信号の入力回路２０００を設けることにより、データ線やアナログスイッチの周波数特性や、データ線の断線等を正確かつ高速に検出可能となる。

図１５において、データ線の一端に検査用信号の入力回路２００が接続され、データ線の他端に、アナログスイッチ２６１を介して映像信号の入力線Ｓ１が接続されている。図１５において、「ＴＧ」はテストイネーブル信号を示し、「ＴＣ」は電源電圧を示す。

検査は、以下のように行われる。

まず、テストイネーブル信号「ＴＧ」をアクティブとし、各データ線に電源電圧（検査用電圧）を一括して供給する。

そのような電圧印加状態において、１本のシフトレジスタより一つのパルスを順次に出力させる。すると、ゲート回路２４０から１個のパルスが順次に出力される。そのパルスによりアナログスイッチが順次にオンし、これにより、データ線の一端より供給された電圧を、アナログスイッチ２６１および映像信号の入力線Ｓ１を介して受信でき、これにより、データ線やアナログスイッチの電気的特性の検査を行うことができる。

このように、本実施例では、１本のシフトレジスタから１個ずつ順次にパルスを発生させることが必要である。つまり、図１６Ａに示すようにデータ線が配列されていて、前掲の実施例では、図１６Ｂに示すように複数本同時にデータ線を

請 求 の 範 囲

（１）走査線とデータ線の交点に一つの液晶表示画素が形成されている液晶表示マトリクスと、前記走査線を駆動する走査線駆動回路と、前記データ線を駆動するデータ線駆動回路と、を有する液晶表示装置であって、

前記データ線駆動回路は、前記データ線の本数に対応する段数を、少なくとも具備する１本のシフトレジスタを有しており、

前記１本のシフトレジスタ内で、複数のパルスが相互に間隔をおいて同時にシフトされ、これによって、前記シフトレジスタの各段の出力端より、相互に間隔をおいて並列に走る複数のパルスが出力され、それら複数のパルスの各々が、前記データ線駆動回路を構成する回路の動作タイミングを決定するために用いられることを特徴とする液晶表示装置。

（２）請求項１において、

前記データ線駆動回路は、データ線の各々に対応して設けられた、映像信号をサンプリングするための複数のスイッチ回路を有し、

前記複数のパルスの各々が、前記複数のスイッチ回路の各々による映像信号のサンプリングのタイミングを決定するために用いられることを特徴とする液晶表示装置。

（３）請求項２において、

前記映像信号は、相互に間隔をおいて並列に走る前記複数のパルスの数に応じて多重化されていることを特徴とする液晶表示装置。

（４）請求項３において、

相互に間隔をおいて並列に走る前記複数のパルスの総数は「Ｎ個（Ｎは２以上の自然数）」であり、

また、前記複数のスイッチ回路は「Ｍ個（Ｍは２以上の自然数）」毎にグループ化されて計Ｎ個のグループに分割されており、

また、前記映像信号を入力するための映像信号入力線はＮ本からなり、

一つのグループに属する前記Ｍ個のスイッチ回路は、前記Ｎ本の映像信号線のうちの一本に共通に接続されていることを特徴とする液晶表示装置。

号として用いられ、

かつ、前記前記ゲート回路のそれぞれには、そのゲート回路の出力信号のレベル変化を強制的に停止させるための出力イネーブル信号が入力されていることを特徴とする液晶表示装置。

（１１）請求項１０において、

映像信号が入力されないブランキング期間において、前記出力イネーブル信号は所定のレベルに固定され、これにより前記各ゲート回路の出力信号のレベル変化が強制的に停止させられることを特徴とする液晶表示装置。

（１２）請求項１において、

液晶表示装置は、スイッチング素子を介して各液晶表示画素を駆動するアクティブマトリクス型液晶表示装置であり、

前記データ線駆動回路を構成するトランジスタの少なくとも一部は、前記スイッチング素子の製造工程を共用してアクティブマトリクス基板上に形成されたことを特徴とする液晶表示装置。

（１３）請求項１２において、

前記スイッチング素子および前記データ線駆動回路を構成するトランジスタは、薄膜トランジスタ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ；ＴＦＴ）であることを特徴とする液晶表示装置。

（１４）走査線とデータ線との交点に一つの液晶表示画素が形成され、その液晶表示画素にはスイッチング素子が接続されているアクティブマトリクスと、

前記走査線を駆動する走査線駆動回路と、

前記データ線を駆動するデータ線駆動回路と、

検査用の信号を前記データ線の各々の第１の端より一括して入力することができる検査用信号の入力回路と、を有する液晶表示装置であって、

前記データ線駆動回路は、

前記データ線の本数に対応する段数を少なくとも具備する１本のシフトレジスタと、

前記データ線の各々の前記第１の端とは反対側に位置する第２の端より、液晶表示用信号を供給する機能をもつ複数のスイッチ回路とを有し、

号の周波数の１／Ｎ以下であることを特徴とする液晶表示装置の駆動方法。

（１９）走査線とデータ線の交点に一つの液晶表示画素が形成されている液晶表示装置の駆動方法であって、

前記データ線の駆動回路の構成要素として、前記データ線の本数に対応する段数を少なくとも具備する１本のシフトレジスタと、このシフトレジスタの隣り合う複数の段の各出力を入力とする複数の排他的論理和回路とを設け、

前記シフトレジスタの入力端に、映像信号の２水平期間を１周期とするパルスを入力し、前記シフトレジスタの各段の出力端より、相互に間隔をおいて並列に走る複数個のパルスが出力されるような状態を実現し、

前記複数個のパルスの各々を、前記データ線駆動回路を構成する回路のタイミング制御信号として用いて前記データ線を駆動することを特徴とする液晶表示装置の駆動方法。

（２０）走査線とデータ線との交点に一つの液晶表示画素が形成され、その液晶表示画素にはスイッチング素子が接続されているアクティブマトリクスと、前記走査線を駆動する走査線駆動回路と、前記データ線を駆動するデータ線駆動回路と、検査用の信号を前記データ線の各々の第１の端より一括して入力することができる検査用信号の入力回路とを有し、前記データ線駆動回路は、前記データ線の本数に対応する段数を少なくとも具備する１本のシフトレジスタと、前記データ線の各々の前記第１の端とは反対側に位置する第２の端より、液晶表示用信号を供給する機能をもつ複数のスイッチ回路とを有し、各スイッチ回路はそれぞれ、前記液晶表示用信号を入力するための入力線に接続されている液晶表示装置の検査方法であって、

前記検査用信号の入力回路によって、前記データ線の各々の第１の端より前記検査用の信号を入力し、

そのような入力が維持されている状態で、前記１本のシフトレジスタ内で一つのパルスを順次にシフトし、これによって、前記シフトレジスタの各段の出力端より一つのパルスを順次に出力させ、そのパルスの各々が、前記複数のスイッチ回路を順次にオンさせるために使用されて、その結果として前記スイッチ回路が順次にオンし、これにより前記データ線の一端より送信された前記検査用の信号

要　約　書

一本のシフトレジスタを用いて複数のパルスを同時に発生させる技術を用いて、データ線を高速に駆動する液晶表示装置である。

シフトレジスタの動作クロックの周波数を変更することなく、シフトレジスタの出力信号の周波数を高くすることができる。シフトレジスタの出力信号を、アナログスイッチによる、映像信号のサンプリングのタイミングを決めるために使用すれば、高速なデータ線の駆動が実現される。

また、上述のシフトレジスタの出力信号を、デジタルドライバにおける映像信号のラッチタイミングを決めるために使用すれば、映像信号の高速なラッチが実現される。したがって、液晶表示マトリクスの駆動回路をＴＦＴで構成した場合でも、消費電力を増大させずに、駆動回路の高速動作が可能となる。

シフトレジスタは、データ線やアナログスイッチの電気的特性の検査用にも使用できる。