(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 9 月 19 日 (19.09.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/187895 A1

(51) 国际专利分类号:
G01R 31/28 (2006.01)

(21) 国际申请号: PCT/CN2023/141457

(22) 国际申请日: 2023 年 12 月 25 日 (25.12.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310261232.1 2023年3月13日 (13.03.2023) CN

(71) 申请人: 华为技术有限公司 (**HUAWEI TECHNOLOGIES CO., LTD.**) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人:焦慧芳(**JIAO, Huifang**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。万军(**WAN, Jun**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。朱国良(**ZHU, Guoliang**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。董伟(**DONG, Wei**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。周雪(**ZHOU, Xue**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人:北京同达信恒知识产权代理有限公司 (**TDIP & PARTNERS**); 中国北京市西城区裕民路18号北环中心A座2002, Beijing 100029 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) **Title:** CHIP AGING METHOD AND DEVICE

(54) 发明名称: 一种芯片老化方法及装置

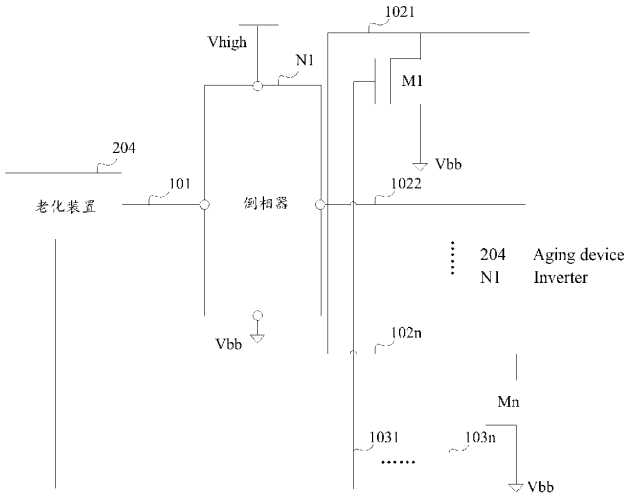

图 2

(57) **Abstract:** A chip aging method and device. An aging device (204) is connected to a driving circuit of a chip; the driving circuit comprises an inverter (N1) and at least one selection transistor; the device is connected to an input end of the inverter (N1) and a gate of the selection transistor; an output end of the inverter (N1) is connected to a drain of the selection transistor; a source of the selection transistor and a second power supply end (Vbb) of the inverter (N1) are connected to a low voltage; a first power supply end (Vhigh) of the inverter (N1) is connected to a high voltage. The method comprises: outputting to an inverter (N1) a first level for forming a DC electric field between an input and an output of the inverter (N1); or outputting to the inverter (N1) a second level for controlling the connection between a first power supply end (Vhigh) and an output end, and outputting to a gate of a selection transistor a third level for forming a DC electric field between a source and a drain of the selection transistor. In this way, a driving circuit having a quality

WO 2024/187895 A1

[见续页]

CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

problem fails after accelerated aging, thereby avoiding a row failure or a multi-row failure of a chip due to time-dependent dielectric breakdown or hot carrier degradation of the driving circuit after the chip leaves the factory.

(57) 摘要: 一种芯片老化方法及装置，老化装置（204）与芯片的驱动电路连接，驱动电路包括倒相器（N1）和至少一个选择晶体管；该装置连接倒相器（N1）输入端和选择晶体管栅极，倒相器（N1）输出端连接选择晶体管漏极，选择晶体管源极以及倒相器（N1）的第二电源端（Vbb）接入低电压；倒相器（N1）的第一电源端（Vhigh）接入高电压，该方法包括向倒相器（N1）输出用于在倒相器（N1）的输入输出之间形成直流电场的第一电平；或向倒相器（N1）输出用于控制第一电源端（Vhigh）与输出端导通的第二电平，并向选择晶体管的栅极输出用于在选择晶体管源漏极之间形成直流电场的第三电平，从而使得存在质量问题的驱动电路经加速老化后失效，避免出厂后因驱动电路发生介质经时击穿或热载流子退化，而导致芯片发生行或多行失效。