

明 細 書

発明の名称：シフトレジスタ、ドライバ回路、表示装置

技術分野

[0001] 本発明は、表示装置等に用いられるシフトレジスタに関する。

背景技術

[0002] 特許文献1には、シフトレジスタを含む走査線駆動回路において、垂直帰線（ブランキング）期間に、シフトレジスタに入力されるクロック信号を止める（非アクティブに固定する）ことで消費電力の低減を図る技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：日本国公開特許公報「特開2010-49767号公報」

発明の概要

発明が解決しようとする課題

[0004] 発明者らは、各段に複数のクロック信号が入力されるシフトレジスタにおいて、シフトレジスタの非動作期間に上記複数のクロック信号を止めると、シフトレジスタの動作期間初期のこれらクロック信号間の位相関係に起因して誤作動のおそれがあることを見出した。

[0005] 本発明の目的は、各段に複数のクロック信号が入力されるシフトレジスタの誤動作を抑制することにある。

課題を解決するための手段

[0006] 本シフトレジスタは、初段、第1中途段、第2中途段、および末段を含み、第1および第2中途段それぞれに、第1入力端子と、第2入力端子と、出力トランジスタを介して第1入力端子に接続された出力端子と、第2入力端子および出力トランジスタに接続し、出力トランジスタの制御端子の電位を設定する設定回路とが設けられ、第1入力端子と第2入力端子とに別位相のクロック信号が入力され、第2中途段に、上記設定回路に接続し、制御信号

が入力される制御回路が設けられ、初段に入力されるシフト開始信号がアクティブになってから末段の出力がアクティブから非アクティブになるまでの期間（あるいはシフト開始信号がアクティブになってから末段がリセットされるまでの期間）を動作期間として、第2中途段の第1入力端子に入力されるクロック信号が動作期間開始後に初めてアクティブ化したときに、第2中途段の第2入力端子に入力されるクロック信号が非アクティブである。

[0007] このように第2中途段に設定回路を設けることで、第2中途段の第1入力端子に入力されるクロック信号が動作期間開始後に初めてアクティブ化したときに、第2中途段の第2入力端子に入力されるクロック信号が非アクティブであっても、第2中途段の誤動作を防止することができる。

発明の効果

[0008] 各段に複数のクロック信号が入力されるシフトレジスタの誤動作を抑制することができる。

図面の簡単な説明

[0009] [図1]実施例1のシフトレジスタの単位段を示す回路図である。

[図2]本実施の形態の表示装置の構成例を示すブロック図である。

[図3]実施例1のシフトレジスタの第1～第8段を示す回路図である。

[図4]実施例1のシフトレジスタの第9～第16段を含むを示す回路図である。

[図5]実施例1のシフトレジスタの第 $n-5$ ～第 n 段を含むを示す回路図である。

[図6]実施例1のシフトレジスタの動作を示すタイミングチャートである。

[図7]実施例1のシフトレジスタの第1変形例を示す回路図である。

[図8]図7のシフトレジスタの動作を示すタイミングチャートである。

[図9]実施例1のシフトレジスタの第2変形例を示す回路図である。

[図10]図9のシフトレジスタの動作を示すタイミングチャートである。

[図11]実施例1のシフトレジスタの第3変形例を示す回路図である。

[図12]図11のシフトレジスタの動作を示すタイミングチャートである。

[図13]図1の別構成例を示す回路図(a)と入力信号の波形(b)である。

[図14](a)(b)は、実施例2のシフトレジスタの単位段を示す回路図である。

[図15]実施例2のシフトレジスタの第1～第8段を示す回路図である。

[図16]実施例2のシフトレジスタの第9～第16段を含むを示す回路図である。

[図17]実施例2のシフトレジスタの第 $n-5$ ～第 n 段を含むを示す回路図である。

[図18]実施例2のシフトレジスタの第1変形例を示す回路図である。

[図19]図14の別構成例を示す回路図(a)(b)と入力信号の波形(c)である。

[図20]実施例3のシフトレジスタの単位段を示す回路図である。

[図21]実施例3のシフトレジスタの第1～第8段を示す回路図である。

[図22]実施例3のシフトレジスタの第9～第16段を含むを示す回路図である。

[図23]実施例3のシフトレジスタの第 $n-5$ ～第 n 段を含むを示す回路図である。

[図24]実施例3のシフトレジスタの動作を示すタイミングチャートである。

[図25]実施例3のシフトレジスタの第1変形例を示す回路図である。

[図26]図25のシフトレジスタの動作を示すタイミングチャートである。

[図27]実施例3のシフトレジスタの第2変形例を示す回路図である。

[図28]図27のシフトレジスタの動作を示すタイミングチャートである。

[図29]実施例1のシフトレジスタの第3変形例を示す回路図である。

[図30]図20の別構成例を示す回路図(a)とその入力信号の波形(b)である。

[図31](a)(b)は、実施例4のシフトレジスタの単位段を示す回路図である。

[図32]実施例4のシフトレジスタの第1～第8段を示す回路図である。

[図33]実施例4のシフトレジスタの第9～第16段を含むを示す回路図である。

[図34]実施例4のシフトレジスタの第 $n-5$ ～第 n 段を含むを示す回路図である。

[図35]実施例4のシフトレジスタの第1変形例を示す回路図である。

[図36]図31の別構成例を示す回路図(a)(b)と入力信号の波形(c)である。

[図37](a)(b)は、実施例5のシフトレジスタの単位段を示す回路図である。

[図38]実施例5のシフトレジスタの第1～第 n 段を示す回路図である。

[図39]実施例5のシフトレジスタの変形例を示す回路図である。

[図40]実施例6のシフトレジスタの単位段を示す回路図である。

[図41]実施例6のシフトレジスタの第1～第8段を示す回路図である。

[図42]実施例6のシフトレジスタの第9～第16段を含むを示す回路図である。

[図43]実施例6のシフトレジスタの第 $n-5$ ～第 n 段を含むを示す回路図である。

[図44]実施例6のシフトレジスタの動作を示すタイミングチャートである。

[図45]実施例6のシフトレジスタの第1変形例を示す回路図である。

[図46]図45のシフトレジスタの動作を示すタイミングチャートである。

[図47]実施例6のシフトレジスタの第2変形例を示す回路図である。

[図48]図47のシフトレジスタの動作を示すタイミングチャートである。

[図49]実施例6のシフトレジスタの第3変形例を示す回路図である。

[図50]図49のシフトレジスタの動作を示すタイミングチャートである。

[図51]図40の別構成例を示す回路図(a)と入力信号の波形(b)である。

[図52](a)(b)は、実施例7のシフトレジスタの単位段を示す回路図である。

[図53]実施例7のシフトレジスタの第1～第8段を示す回路図である。

[図54]実施例7のシフトレジスタの第9～第16段を含むを示す回路図である。

[図55]実施例7のシフトレジスタの第 $n-5$ ～第 n 段を含むを示す回路図である。

[図56]実施例7のシフトレジスタの第1変形例を示す回路図である。

[図57]図52の別構成例を示す回路図(a)(b)と入力信号の波形(c)である。

[図58]実施例8のシフトレジスタの単位段を示す回路図である。

[図59]実施例8のシフトレジスタの第1～第8段を示す回路図である。

[図60]実施例8のシフトレジスタの第9～第16段を含むを示す回路図である。

[図61]実施例8のシフトレジスタの第 $n-5$ ～第 n 段を含むを示す回路図である。

[図62]実施例8のシフトレジスタの動作を示すタイミングチャートである。

[図63]実施例8のシフトレジスタの第1変形例を示す回路図である。

[図64]図64のシフトレジスタの動作を示すタイミングチャートである。

[図65]実施例8のシフトレジスタの第2変形例を示す回路図である。

[図66]図65のシフトレジスタの動作を示すタイミングチャートである。

[図67]実施例8のシフトレジスタの第3変形例を示す回路図である。

[図68]図58の別構成例を示す回路図(a)とその入力信号の波形(b)である。

[図69](a)(b)は、実施例9のシフトレジスタの単位段を示す回路図である。

[図70]実施例9のシフトレジスタの第1～第8段を示す回路図である。

[図71]実施例9のシフトレジスタの第9～第16段を含むを示す回路図である。

[図72]実施例9のシフトレジスタの第 $n-5$ ～第 n 段を含むを示す回路図で

ある。

[図73]実施例9のシフトレジスタの第1変形例を示す回路図である。

[図74]図69の別構成例を示す回路図(a)(b)と入力信号の波形(c)である。

[図75](a)(b)は、実施例10のシフトレジスタの単位段を示す回路図である。

[図76]実施例10のシフトレジスタの第1～第n段を示す回路図である。

[図77]実施例10のシフトレジスタの変形例を示す回路図である。

[図78]本表示装置のドライバの構成例を示す模式図である。

[図79]配線L・Iを除去する場合の変形例を示すタイミングチャートである。

[図80]配線W・wを用いる場合の変形例を示すタイミングチャートである。

[図81]実施例1のさらなる変形例を示す回路図(第n-5～第n段)である。

[図82]実施例2のさらなる変形例を示す回路図(第n-5～第n段)である。

[図83]実施例3のさらなる変形例を示す回路図(第n-5～第n段)である。

[図84]実施例4のさらなる変形例を示す回路図(第n-5～第n段)である。

[図85]実施例6のさらなる変形例を示す回路図(第9-第16段)である。

[図86]実施例7のさらなる変形例を示す回路図(第9-第16段)である。

[図87]実施例8のさらなる変形例を示す回路図(第9-第16段)である。

[図88]実施例9のさらなる変形例を示す回路図(第9-第16段)である。

発明を実施するための形態

[0010] 本発明の実施形態を図1～図88に基づいて説明すれば以下のとおりである。図2に示すように、本液晶表示装置LCDは、液晶パネルLCPと、液晶パネルLCPの走査信号線G1～Gnを駆動するゲートドライバGDと、

液晶パネルLCPのデータ信号線 $S_1 \sim S_n$ を駆動するソースドライバSDと、ゲートドライバGDおよびソースドライバSDを制御する表示制御回路DCCとを備える。なお、ゲートドライバGDおよびソースドライバは液晶パネルLCPとモノリシックに形成されていてもよい。

[0011] ゲートドライバGDは、表示部DAの一方の側（液晶パネルの短辺が左右に配される図1において左側）に設けられた第1シフトレジスタSR1およびこれに接続された信号入力用の複数の配線IL1と、表示部DAのもう一方の側（液晶パネルの短辺が左右に配される図1において右側）に設けられた第2シフトレジスタSR2およびこれに接続された信号入力用の複数の配線IL2とを含み、第1シフトレジスタSR1は奇数番目の走査信号線（ $G_1 \dots G_{n-1}$ ）に接続され、第2シフトレジスタSR2は偶数番目の走査信号線（ $G_2 \dots G_n$ ）に接続される。

[0012] 〔実施例1〕

実施例1にかかる第1および第2シフトレジスタSR1・SR2の m 段（単位回路UC m ）の構成例を図1に示す（ m は自然数）。なお、 m が奇数の段は第1シフトレジスタSR1に含まれ、 m が偶数の段は第2シフトレジスタSR2に含まれるものとする。

[0013] 図1に示すように、単位回路UC m は、4つの入力端子CK1～CK4と、セット端子ST m と、リセット端子RT m と、出力端子OT m と、制御端子CT m と、初期化端子LT m と、 N チャネルのトランジスタM1～M12と、容量C1とを備え、出力端子OT m が液晶パネルの m 番目の走査信号線G m に接続されている。

[0014] 図1では、M10のドレインがCK1に接続され、M10のソースが、容量C1の一方の電極、M11のドレイン、M12のドレインおよび出力端子OT m に接続され、M10のゲート（ノードnA）が、容量C1のもう一方の電極、M9のドレイン、M8のドレイン、M6のゲート、M1のソース、およびM2のドレインに接続されている。また、M8のゲート（ノードnB）が、M4のソース、M7のドレイン、M3のドレイン、M6のドレインお

よびM5のソースに接続され、M2、M3、M6～M9およびM11～M12それぞれのソースが、低電源電位VSS（VGL）に接続されている。また、M1のドレインおよびゲートがセット端子STmに接続され、M5のドレインおよびゲートが入力端子CK2に接続され、M4（制御トランジスタ）のドレインおよびゲートが制御端子CTmに接続され、M2、M3およびM12それぞれのゲートが初期化端子LTmに接続され、M7のゲートが入力端子CK3に接続され、M9のゲートがリセット端子RTmに接続され、M11のゲートが入力端子CK4に接続されている。

[0015] 図1および図3～図5に、実施例1にかかる第1および第2シフトレジスタの第1～第n段（ $m = 1 \sim n$ ）の構成を示す。図3～図5に示されるように、図2の複数の配線IL1は、4相のクロック信号CKA～CKDを供給する配線（幹配線）A～Dと、2相の（ゲート）スタートパルス信号SPX・SPYを供給する配線（幹配線）X・Yと、初期化信号INTLを供給する配線（幹配線）Lと、低電源電位VSSを供給する配線（電源配線）Pとを含み、図2の複数の配線IL2は、4相のクロック信号CKa～CKdを供給する配線（幹配線）a～dと、2相の（ゲート）スタートパルス信号SPx・SPyを供給する配線（幹配線）x・yと、初期化信号INTIを供給する配線（幹配線）Iと、低電源電位VSSを供給する配線（電源配線）Pとを含む。なお、液晶パネルLCPの走査信号線の本数は、例えば1286本（表示部1280本、表示部上側のダミー走査信号線0本、および表示部下側のダミー走査信号線6本）であり、 $n = 1286$ を想定している。すなわち、シフトレジスタSR1・SR2の総段数は $1286 = 8 \times 160 + 6$ となる。ただし、ダミー走査信号線6本は特に設けなくても構わない。

[0016] また、 $m = 8k + 1$ の単位回路UCm（kは0以上の整数）では、入力端子CK1がクロック信号CKAを供給する配線Aに接続され、入力端子CK2がクロック信号CKDを供給する配線Dに接続され、入力端子CK3がクロック信号CKCを供給する配線Cに接続され、入力端子CK4がクロック信号CKBを供給する配線Bに接続され、 $m = 8k + 2$ の単位回路UCmで

は、入力端子CK1がクロック信号CKaを供給する配線aに接続され、入力端子CK2がクロック信号CKdを供給する配線dに接続され、入力端子CK3がクロック信号CKcを供給する配線cに接続され、入力端子CK4がクロック信号CKbを供給する配線bに接続されている。

[0017] また、 $m = 8k + 3$ の単位回路UC_m（kは0以上の整数）では、入力端子CK1がクロック信号CKCを供給する配線Cに接続され、入力端子CK2がクロック信号CKAを供給する配線Aに接続され、入力端子CK3がクロック信号CKBを供給する配線Bに接続され、入力端子CK4がクロック信号CKDを供給する配線Dに接続され、 $m = 8k + 4$ の単位回路UC_mでは、入力端子CK1がクロック信号CKcを供給する配線cに接続され、入力端子CK2がクロック信号CKaを供給する配線aに接続され、入力端子CK3がクロック信号CKbを供給する配線bに接続され、入力端子CK4がクロック信号CKdを供給する配線dに接続されている。

[0018] また、 $m = 8k + 5$ の単位回路UC_m（kは0以上の整数）では、入力端子CK1がクロック信号CKBを供給する配線Bに接続され、入力端子CK2がクロック信号CKCを供給する配線Cに接続され、入力端子CK3がクロック信号CKDを供給する配線Dに接続され、入力端子CK4がクロック信号CKAを供給する配線Aに接続され、 $m = 8k + 6$ の単位回路UC_mでは、入力端子CK1がクロック信号CKbを供給する配線bに接続され、入力端子CK2がクロック信号CKcを供給する配線cに接続され、入力端子CK3がクロック信号CKdを供給する配線dに接続され、入力端子CK4がクロック信号CKaを供給する配線aに接続されている。

[0019] また、 $m = 8k + 7$ の単位回路UC_m（kは0以上の整数）では、入力端子CK1がクロック信号CKDを供給する配線Dに接続され、入力端子CK2がクロック信号CKBを供給する配線Bに接続され、入力端子CK3がクロック信号CKAを供給する配線Aに接続され、入力端子CK4がクロック信号CKCを供給する配線Cに接続されている。また、 $m = 8k + 8$ の単位回路UC_m（kは0以上の整数）では、入力端子CK1がクロック信号CK

d を供給する配線 d に接続され、入力端子 C K 2 がクロック信号 C K b を供給する配線 b に接続され、入力端子 C K 3 がクロック信号 C K a を供給する配線 a に接続され、入力端子 C K 4 がクロック信号 C K c を供給する配線 c に接続されている。

[0020] なお、 $m = 5 \sim n - 6$ の場合、セット端子 S T m は、 $m - 4$ 段の出力端子 O T m - 4 に接続され、リセット端子 R T m は、 $m + 6$ 段の出力端子 O T m + 6 に接続される。また、 $m = 1$ の場合、セット端子 S T m は、スタートパルス信号 S P X を供給する配線 X に接続され、リセット端子 R T m は、 $m + 6$ 段の出力端子 O T 7 に接続され、 $m = 2$ の場合、セット端子 S T m は、スタートパルス信号 S P x を供給する配線 x に接続され、リセット端子 R T m は、 $m + 6$ 段の出力端子 O T 8 に接続され、 $m = 3$ の場合、セット端子 S T m は、スタートパルス信号 S P Y を供給する配線 Y に接続され、リセット端子 R T m は、 $m + 6$ 段の出力端子 O T 9 に接続され、 $m = 4$ の場合、セット端子 S T m は、スタートパルス信号 S P y を供給する配線 y に接続され、リセット端子 R T m は、 $m + 6$ 段の出力端子 O T 10 に接続される。また、 $m = n - 5 \cdot n - 3 \cdot n - 1$ の場合、セット端子 S T m は、 $m - 4$ 段の出力端子 O T m - 4 に接続され、リセット端子 R T m は、初期化信号 I N T L を供給する配線 L に接続され、 $m = n - 4 \cdot n - 2 \cdot n$ の場合、セット端子 S T m は、 $m - 4$ 段の出力端子 O T m - 4 に接続され、リセット端子 R T m は、初期化信号 I N T I を供給する配線 I に接続される。

[0021] 図 1 ～図 5 の配線 A ～ D、配線 a ～ d、配線 X ・ Y、配線 x ・ y、配線 L ・ I、配線 P、（各段に接続される）走査信号線 G 1 ～ G n、および（各段の）ノード n A ・ ノード n B それぞれの電位変動（信号波形）を図 6 に示す。図 6 に示すように、配線 A ～ D からのクロック信号 C K A ～ C K D、配線 a ～ d からのクロック信号 C K a ～ C K d、配線 X ・ Y ・ x ・ y からのスタートパルス信号 S P X ・ S P Y ・ S P x ・ S P y、および配線 L ・ I からの初期化信号 I N T L ・ I N T I はすべて、4 H（4 水平走査期間）のアクティブ期間に「H i g h」となる信号であり、（シフトレジスタの）動作期間

P Tの開始（スタートパルス信号S P Xの立ち上がり）前の非動作期間N Tに、クロック信号C K A～C K Dおよびクロック信号C K a～C K dはすべて非アクティブ（L o w）となっている。なお、表示部の走査信号線を走査している期間を垂直走査期間とすれば、垂直走査期間は動作期間P Tに含まれ、非動作期間は垂直ブランキング（帰線）期間に含まれることになる。

[0022] また、スタートパルス信号S P xは、スタートパルス信号S P Xよりも1 H位相が遅れ、スタートパルス信号S P Yは、スタートパルス信号S P xよりも1 H位相が遅れ、スタートパルス信号S P yは、スタートパルス信号S P Yよりも1 H位相が遅れている。

[0023] また、スタートパルス信号S P Xが立ち下がる（非アクティブとなる）のに同期して、クロック信号C K Aが立ち上がり（アクティブとなり）、クロック信号C K aは、クロック信号C K Aよりも1 H位相が遅れ、クロック信号C K Cは、クロック信号C K aよりも1 H位相が遅れ、クロック信号C K cは、クロック信号C K Cよりも1 H位相が遅れ、クロック信号C K Bは、クロック信号C K cよりも1 H位相が遅れ、クロック信号C K bは、クロック信号C K Bよりも1 H位相が遅れ、クロック信号C K Dは、クロック信号C K bよりも1 H位相が遅れ、クロック信号C K dは、クロック信号C K Dよりも1 H位相が遅れている。

[0024] この場合、 $m = 8k + 1$ （ k は1以上）の単位回路U C mでは、入力端子C K 1に入力されるクロック信号C K Aが、動作期間開始後に初めて立ち上がったときに、入力端子C K 2に入力されるクロック信号C K Dが非アクティブ（ノードn Bが「L o w」でトランジスタM 8がO F F）のままである。

[0025] 発明者らはこの点に着目し、 $m = 8k + 1$ となる段（第2中途段）を構成する単位回路U C mに、トランジスタM 4を含む制御回路S Cを設け、M 4のドレインおよびゲートに接続する制御端子C T mを、スタートパルス信号S P Xを供給する配線Xに接続している（図1・図4・図5参照）。こうすれば、スタートパルス信号S P Xが立ち上がったとき（動作期間P Tの開始

時)に、ノードnBを「High」としてトランジスタM8をONし、ノードnA(トランジスタM10のゲート)を「Low」に充電することができる。したがって、クロック信号CKAが動作期間開始後に初めて立ち上がったときにクロック信号CKDが非アクティブのままであっても、(トランジスタM10のゲート・ドレイン寄生容量PCに起因して)出力端子OTmからパルスがでてしまうといった誤動作は回避される。

[0026] 同様に、 $m = 8k + 2$ (k は1以上)の単位回路UCmでも、入力端子CK1に入力されるクロック信号CKaが、動作期間開始後に初めて立ち上がったときに、入力端子CK2に入力されるクロック信号CKdが非アクティブのままであるため、このような単位回路UCmに、トランジスタM4を含む制御回路SCを設け、M4のドレインおよびゲートに接続する制御端子CTmを、スタートパルス信号SPxを供給する配線xに接続している(図1・図4・図5参照)。こうすれば、スタートパルス信号SPxが立ち上がったときに、ノードnBを「High」としてトランジスタM8をONし、ノードnA(トランジスタM10のゲート)を「Low」に充電することができる。したがって、クロック信号CKaが動作期間開始後に初めて立ち上がったときにクロック信号CKdが非アクティブのままであっても、(トランジスタM10のゲート・ドレイン寄生容量PCに起因して)出力端子OTmからパルスがでてしまうといった誤動作は回避される。

[0027] そして、 $m = 1 \sim 2$ 、 $8k + 1$ および $8k + 2$ (k は1以上)の単位回路UCmにのみスタートパルス信号SPX・SPxを入力することで、スタートパルスSPX・SPxの負荷(鈍り等)を低減することができる。

[0028] ただし、 $m = 1 \cdot 2$ の場合は、(M1のゲートおよびドレインに接続する)セット出力端子STmにスタートパルス信号(SPX・SPx)が入力されるため、制御回路SCのかわりにトランジスタM4を含む調整回路ACを設け、M4のドレインおよびゲートに接続する制御端子CTmを、低電源電位VSSを供給する配線Pに接続している。一方、 $m = 8k + 3$ 、 $8k + 4$ 、 $8k + 5$ 、 $8k + 6$ 、 $8k + 7$ 、および $8k + 8$ (k は0以上)の単位回

路UC_mでは、入力端子CK₁に入力されるクロック信号が、動作期間開始後に初めて立ち上がったときに、入力端子CK₂に入力されるクロック信号がアクティブである（少なくとも非アクティブではない）ため、入力端子CK₁に入力されるクロック信号が動作期間開始後に初めて立ち上がったときに、（トランジスタM₁₀のゲート・ドレイン寄生容量PCに起因して）出力端子OT_mからパルスがでてしまうといった誤動作のおそれは少ない。そこで、制御回路SCのかわりにトランジスタM₄を含む調整回路ACを設け、M₄のドレインおよびゲートに接続する制御端子CT_mを、低電源電位VSSを供給する配線Pに接続している。このように、制御回路SCと同一構成の調整回路ACを設けることでトランジスタM₄まわりの負荷を各段で揃え、走査信号線への出力信号の波形が段ごとにずれることを抑制することができる。

[0029] 第1段の単位回路UC₁（図3）の動作は以下のとおりである。配線Xからのスタートパルス信号SPXが立ち上がると、M₁がONしてノードnA（図6ではnA₁）が「High」になり、M₆・M₁₀がONする。一方、ノードnB（図6ではnB₁）は「Low」になってM₈はOFFする。この状態で、配線Aからのクロック信号CKAが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKAのパルス（幅4H）が出力端子OT₁から出力される。クロック信号CKAが立ち下ると、ノードnAの電位も下降する。続いて第7段の単位回路UC₇の出力端子OT₇からパルスが出力されると同時に配線Dからのクロック信号CKDが立ち上がる（M₈・M₉がONする）ため、ノードnBが「High」でノードnAが「Low」になり（M₁₀がOFF）、リセットが完了する。その後、最終段の単位回路UC_nの出力端子OT_nからのパルスが立ち下ると同時に初期化信号INTLが立ち上がってM₂・3・12がONすると、ノードnAおよびノードnB並びに出力端子OT₁が「Low」に充電される。なお、初期化信号INTLが立ち上がり以降は、クロック信号CKA～CKDおよびクロック信号CKa～CKdはすべて停止（非アクティブ「Low」に固定）さ

れる。

[0030] 第5段の単位回路UC5（図3）の動作は以下のとおりである。第1段の単位回路UC1の出力端子OT1からパルスが出力されると、M1がONしてノードnA（図6ではnA5）が「High」になり、M6・M10がONする。一方、ノードnB（図6ではnB5）は「Low」になってM8はOFFする。この状態で、配線Bからのクロック信号CKBが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKBのパルス（幅4H）が出力端子OT5から出力される。クロック信号CKBが立ち下がると、ノードnAの電位も下降する。続いて第11段の単位回路UC11の出力端子OT11からパルスが出力されると同時に配線Cからのクロック信号CKCが立ち上がる（M8・M9がONする）ため、ノードnBが「High」でノードnAが「Low」になり（M10がOFF）、リセットが完了する。その後、最終段の単位回路UCnの出力端子OTnからのパルスが立ち下がると同時に初期化信号INTLが立ち上がってM2・3・12がONすると、ノードnAおよびノードnB並びに出力端子OT5が「Low」に充電される。

[0031] 第9段の単位回路UC9（図4）の動作は以下のとおりである。まず、スタートパルス信号SPXが立ち上がったときに、ノードnB（図6ではnB9）を「High」としてトランジスタM8をONし、ノードnA（図6ではnA9）を「Low」に充電する。これにより、動作期間開始後にクロック信号CKAが初めて立ち上がったときに、出力端子OT9からパルスがでてしまうといった誤動作は回避される。その後、第5段の単位回路UC5の出力端子OT5からパルスが出力されると、M1がONしてノードnAが「High」になり、M6・M10がONする。一方、ノードnBは「Low」になってM8はOFFする。この状態で、配線Aからのクロック信号CKAが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKAのパルス（幅4H）が出力端子OT9から出力される。クロック信号CKAが立ち下がると、ノードnAの電位も下降する。続いて第15段の単位回路UC

C 1 5 の出力端子 O T 1 5 からパルスが出力されると同時に配線 D からのクロック信号 C K D が立ち上がる (M 8 ・ M 9 が O N する) ため、ノード n B が「H i g h」でノード n A が「L o w」になり (M 1 0 が O F F)、リセットが完了する。その後、初期化信号 I N T L が立ち上がって M 2 ・ 3 ・ 1 2 が O N すると、ノード n A およびノード n B 並びに出力端子 O T 9 が「L o w」に充電される。

[0032] 第 n 段の単位回路 U C n (図 5) の動作は以下のとおりである。第 n - 4 段の単位回路 U C n - 4 の出力端子 O T n - 4 からパルスが出力されると、M 1 が O N してノード n A が「H i g h」になり、M 6 ・ M 1 0 が O N する。一方、ノード n B は「L o w」になって M 8 は O F F する。この状態で、配線 b からのクロック信号 C K b が立ち上がるとノード n A の電位がさらに上昇してクロック信号 C K b のパルス (幅 4 H) が出力端子 O T n から出力される。クロック信号 C K b が立ち下ると、ノード n A の電位も下降する。続いて配線 l からの初期化信号 I N T l が立ち上がる (M 9 が O N する) と、ノード n A が「L o w」になり (M 1 0 が O F F)、リセットが完了する。同時に、ノード n B および出力端子 O T n も「L o w」に充電される。

[0033] 図 3 ～図 5 では、制御回路 S C の M 4 のドレインおよびゲートを、スタートパルス信号 S P X ・ S P x を供給する配線 (X ・ x) に接続しているが、これに限定されない。図 7 および図 7 の各部の電位変動 (信号波形) を示す図 8 のように、制御回路 S C の M 4 のドレインおよびゲートを、配線 (X ・ x) とは別の配線 (W ・ w) に接続し、奇数段に接続される配線 W にスタートパルス信号 S P X と同期する制御信号を供給し、偶数段に接続される配線 w にスタートパルス信号 S P x と同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減することができる。

[0034] 図 3 ～図 5 では、 $m = 8k + 1$ および $8k + 2$ (k は 1 以上) の単位回路 U C m にのみ、制御回路 S C を設けているがこれに限定されない。図 9 および図 9 の各部の電位変動 (信号波形) を示す図 1 0 のように、 $m = 5 \sim n$ の単位回路 U C m すべてに、制御回路 S C を設け、 $m = 1 \sim 4$ の単位回路 U C

mには調整回路ACを設けることもできる。こうすれば、各クロック信号が動作期間開始後に初めて立ち上がったときに起こり得る誤動作を全段について抑制することができる。この場合も、図11および図11の各部の電位変動（信号波形）を示す図12のように、制御回路SCのM4のドレインおよびゲートを、配線(X・x)とは別の配線(W・w)に接続し、奇数段に接続される配線Wにスタートパルス信号SPXと同期する制御信号を供給し、偶数段に接続される配線wにスタートパルス信号SPxと同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減する効果も得られる。

[0035] 図1・図3～図5では、初期化信号INTL・INTIを供給する配線(L・I)を設けているが、これに限定されない。配線(L・I)を設けずに（除去して）、図13(a)(b)に示すように、初期化端子LTmを、スタートパルス信号SPX・SPxを供給する配線(X・x)に接続し、配線(X・x)に、初期化用の2つのパルス（最終段の出力端子からのパルスが立ち下がると同時に立ち上がる、幅4Hのパルスと、これより1H遅れて立ち上がる同型のパルス）をのせることもできる。こうすれば信号入力用の配線の数削減することができる。

[0036] [実施例2]

図1・図3～図5では、 $m = 8k + 1$ および $8k + 2$ （ k は1以上）の単位回路UCm以外の段に調整回路ACを設けているがこれに限定されない。図14(a)(b)に示すように、 $i = 8k + 1$ および $8k + 2$ （ k は1以上）の単位回路UCi段にはトランジスタM4を含む制御回路SCを設ける一方、 $j = 1, 2, 8k + 3, 8k + 4, 8k + 5, 8k + 6, 8k + 7$ 、および $8k + 8$ （ k は0以上）の単位回路UCj段には調整回路ACを設けない構成も可能である。この場合の第1および第2シフトレジスタの第1～第n段（ $m = 1 \sim n$ ）の構成を図15～図17に示しておく。なお、図15～図17の各部の電位変動（信号波形）は図6のとおりである。実施例2では、各シフトレジスタ内のトランジスタの数が削減されるので、製造歩留ま

りが高められる。

[0037] 図15～図17では、制御回路SCのM4のドレインおよびゲートを、スタートパルス信号SPX・SPxを供給する配線(X・x)に接続しているが、これに限定されない。図18に示すように、制御回路SCのM4のドレインおよびゲートを、配線(X・x)とは別の配線(W・w)に接続し、奇数段に接続される配線Wにスタートパルス信号SPXと同期する制御信号を供給し、偶数段に接続される配線wにスタートパルス信号SPxと同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減することができる。

[0038] 図14(a)(b)・図15～図17では、初期化信号INTL・INTIを供給する配線(L・I)を設けているが、これに限定されない。配線(L・I)を設けずに(除去して)、図19(a)～(c)に示すように、初期化端子LTi・LTjを、スタートパルス信号SPX・SPxを供給する配線(X・x)に接続し、配線(X・x)に、初期化用の2つのパルス(最終段の出力端子からのパルスが立ち下ると同時に立ち上がる、幅4Hのパルスと、これより1H遅れて立ち上がる同型のパルス)をのせることもできる。こうすれば信号入力用の配線の数削減することができる。

[0039] [実施例3]

図1・図3～図5では、m段の単位回路UCmにトランジスタM4を設けているがこれに限定されない。図20に示すように、(トランジスタM4のかわりに)トランジスタMzを設けることもできる。図20では、M10のドレインがCK1に接続され、M10のソースが、容量C1の一方の電極、M11のドレイン、M12のドレインおよび出力端子OTmに接続され、M10のゲート(ノードnA)が、容量C1のもう一方の電極、M9のドレイン、M8のドレイン、Mzのドレイン、M6のゲート、M1のソース、およびM2のドレインに接続されている。また、M8のゲート(ノードnB)が、M7のドレイン、M3のドレイン、M6のドレインおよびM5のソースに接続され、Mz、M2、M3、M6～M9およびM11～M12それぞれの

ソースが、低電源電位 V_{SS} (V_{GL}) に接続されている。また、 M_1 のドレインおよびゲートがセット端子 ST_m に接続され、 M_5 のドレインおよびゲートが入力端子 CK_2 に接続され、 M_z (制御トランジスタ) のゲートが制御端子 CT_m に接続され、 M_2 、 M_3 および M_{12} それぞれのゲートが初期化端子 LT_m に接続され、 M_7 のゲートが入力端子 CK_3 に接続され、 M_9 のゲートがリセット端子 RT_m に接続され、 M_{11} のゲートが入力端子 CK_4 に接続されている。

[0040] 実施例 3 にかかる第 1 および第 2 シフトレジスタの第 1 ～第 n 段 ($m = 1 \sim n$) の構成を図 2 1 ～図 2 3 に示しておく。なお、図 2 1 ～図 2 3 における、配線 $A \sim D$ 、配線 $a \sim d$ 、配線 $X \cdot Y$ 、配線 $x \cdot y$ 、配線 $L \cdot I$ および配線 P と、単位回路 UC_m ($m = 1 \sim n$) に含まれる、4 つの入力端子 $CK_1 \sim CK_4$ 、セット端子 ST_m 、リセット端子 RT_m 、出力端子 OT_m 、制御端子 CT_m および初期化端子 LT_m との接続関係は、図 1 ・図 3 ～図 5 と同一である。

[0041] また、図 2 1 ～図 2 3 の配線 $A \sim D$ 、配線 $a \sim d$ 、配線 $X \cdot Y$ 、配線 $x \cdot y$ 、配線 $L \cdot I$ 、配線 P 、(各段に接続される) 走査信号線 $G_1 \sim G_n$ 、および(各段の) ノード nA ・ノード nB それぞれの電位変動(信号波形)を図 2 4 に示す。図 2 4 に示すように、配線 $A \sim D$ からのクロック信号 $CK_A \sim CK_D$ 、配線 $a \sim d$ からのクロック信号 $CK_a \sim CK_d$ 、配線 $X \cdot Y \cdot x \cdot y$ からのスタートパルス信号 $SP_X \cdot SP_Y \cdot SP_x \cdot SP_y$ 、および配線 $L \cdot I$ からの初期化信号 $INT_L \cdot INT_I$ はすべて図 6 と同じである。

[0042] この場合、 $m = 8k + 1$ (k は 1 以上) の単位回路 UC_m では、入力端子 CK_1 に入力されるクロック信号 CK_A が、動作期間開始後に初めて立ち上がったときに、入力端子 CK_2 に入力されるクロック信号 CK_D が非アクティブ(ノード nB が「Low」でトランジスタ M_8 が OFF) のままである。

[0043] 発明者らはこの点に着目し、 $m = 8k + 1$ となる段(第 2 中途段)を構成する単位回路 UC_m に、トランジスタ M_z を含む制御回路 SC を設け、 M_z

のゲートに接続する制御端子 CT_m を、スタートパルス信号 SP_X を供給する配線 X に接続している（図20～23参照）。こうすれば、スタートパルス信号 SP_X が立ち上がったとき（動作期間 PT の開始時）に、トランジスタ M_z を ON し、ノード n_A （トランジスタ M_{10} のゲート）を「Low」に充電することができる。したがって、クロック信号 CK_A が動作期間開始後に初めて立ち上がったときにクロック信号 CK_D が非アクティブのままであっても、（トランジスタ M_{10} のゲート・ドレイン寄生容量 PC に起因して）出力端子 OT_m からパルスがでてしまうといった誤動作は回避される。

[0044] 同様に、 $m = 8k + 2$ （ k は1以上）の単位回路 UC_m でも、入力端子 CK_1 に入力されるクロック信号 CK_a が、動作期間開始後に初めて立ち上がったときに、入力端子 CK_2 に入力されるクロック信号 CK_d が非アクティブのままであるため、このような単位回路 UC_m に、トランジスタ M_z を含む制御回路 SC を設け、 M_z のゲートに接続する制御端子 CT_m を、スタートパルス信号 SP_x を供給する配線 x に接続している（図20～図23参照）。こうすれば、スタートパルス信号 SP_x が立ち上がったときに、トランジスタ M_z を ON し、ノード n_A （トランジスタ M_{10} のゲート）を「Low」に充電することができる。したがって、クロック信号 CK_a が動作期間開始後に初めて立ち上がったときにクロック信号 CK_d が非アクティブのままであっても、（トランジスタ M_{10} のゲート・ドレイン寄生容量 PC に起因して）出力端子 OT_m からパルスがでてしまうといった誤動作は回避される。

[0045] ただし、 $m = 1 \cdot 2$ の場合は、（ M_1 のゲートおよびドレインに接続する）セット出力端子 ST_m にスタートパルス信号（ $SP_X \cdot SP_x$ ）が入力されるため、制御回路 SC のかわりにトランジスタ M_z を含む調整回路 AC を設け、 M_z のゲートに接続する制御端子 CT_m を、低電源電位 V_{SS} を供給する配線 P に接続している。一方、 $m = 8k + 3, 8k + 4, 8k + 5, 8k + 6, 8k + 7$ 、および $8k + 8$ （ k は0以上）の単位回路 UC_m では、入力端子 CK_1 に入力されるクロック信号が、動作期間開始後に初めて立ち

上がったときに、入力端子C K 2に入力されるクロック信号がアクティブである（少なくとも非アクティブではない）ため、入力端子C K 1に入力されるクロック信号が動作期間開始後に初めて立ち上がったときに、（トランジスタM 1 0のゲート・ドレイン寄生容量P Cに起因して）出力端子O T mからパルスがでてしまうといった誤動作のおそれは少ない。そこで、制御回路S CのかわりにトランジスタM zを含む調整回路A Cを設け、M zのゲートに接続する制御端子C T mを、低電源電位V S Sを供給する配線Pに接続している。このように、制御回路S Cと同一構成の調整回路A Cを設けることでトランジスタM zまわりの負荷を各段で揃えることができる。

[0046] 第1段の単位回路U C 1（図2 1）の動作は以下のとおりである。配線Xからのスタートパルス信号S P Xが立ち上がると、M 1がO Nしてノードn A（図2 4ではn A 1）が「H i g h」になり、M 6・M 1 0がO Nする。一方、ノードn B（図2 4ではn B 1）は「L o w」になってM 8はO F Fする。この状態で、配線Aからのクロック信号C K Aが立ち上がるとノードn Aの電位がさらに上昇してクロック信号C K Aのパルス（幅4 H）が出力端子O T 1から出力される。クロック信号C K Aが立ち下がると、ノードn Aの電位も下降する。続いて第7段の単位回路U C 7の出力端子O T 7からパルスが出力されると同時に配線Dからのクロック信号C K Dが立ち上がる（M 8・M 9がO Nする）ため、ノードn Bが「H i g h」でノードn Aが「L o w」になり（M 1 0がO F F）、リセットが完了する。その後、最終段の単位回路U C nの出力端子O T nからのパルスが立ち下がると同時に初期化信号I N T Lが立ち上がってM 2・3・1 2がO Nすると、ノードn Aおよびノードn B並びに出力端子O T 1が「L o w」に充電される。なお、初期化信号I N T Lが立ち上がり以降は、クロック信号C K A～C K Dおよびクロック信号C K a～C K dはすべて停止（非アクティブ「L o w」に固定）される。

[0047] 第5段の単位回路U C 5（図2 1）の動作は以下のとおりである。第1段の単位回路U C 1の出力端子O T 1からパルスが出力されると、M 1がO N

してノードnA（図24ではnA5）が「High」になり、M6・M10がONする。一方、ノードnB（図24ではnB5）は「Low」になってM8はOFFする。この状態で、配線Bからのクロック信号CKBが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKBのパルス（幅4H）が出力端子OT5から出力される。クロック信号CKBが立ち下がると、ノードnAの電位も下降する。続いて第11段の単位回路UC11の出力端子OT11からパルスが出力されると同時に配線Cからのクロック信号CKCが立ち上がる（M8・M9がONする）ため、ノードnBが「High」でノードnAが「Low」になり（M10がOFF）、リセットが完了する。その後、最終段の単位回路UCnの出力端子OTnからのパルスが立ち下がると同時に初期化信号INTLが立ち上がってM2・3・12がONすると、ノードnAおよびノードnB並びに出力端子OT5が「Low」に充電される。

- [0048] 第9段の単位回路UC9（図22）の動作は以下のとおりである。まず、スタートパルス信号SPXが立ち上がったときに、トランジスタMzをONし、ノードnA（図24ではnA9）を「Low」に充電する。これにより、動作期間開始後にクロック信号CKAが初めて立ち上がったときに、出力端子OT9からパルスがでてしまうといった誤動作は回避される。その後、第5段の単位回路UC5の出力端子OT5からパルスが出力されると、M1がONしてノードnAが「High」になり、M6・M10がONする。一方、ノードnB（図24ではnB9）は「Low」になってM8はOFFする。この状態で、配線Aからのクロック信号CKAが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKAのパルス（幅4H）が出力端子OT9から出力される。クロック信号CKAが立ち下がると、ノードnAの電位も下降する。続いて第15段の単位回路UC15の出力端子OT15からパルスが出力されると同時に配線Dからのクロック信号CKDが立ち上がる（M8・M9がONする）ため、ノードnBが「High」でノードnAが「Low」になり（M10がOFF）、リセットが完了する。その後、

初期化信号 $INTL$ が立ち上がって $M2 \cdot 3 \cdot 12$ が ON すると、ノード nA およびノード nB 並びに出力端子 $OT9$ が「Low」に充電される。

- [0049] 第 n 段の単位回路 UC_n (図 23) の動作は以下のとおりである。第 $n-4$ 段の単位回路 UC_{n-4} の出力端子 OT_{n-4} からパルスが出力されると、 $M1$ が ON してノード nA が「High」になり、 $M6 \cdot M10$ が ON する。一方、ノード nB は「Low」になって $M8$ は OFF する。この状態で、配線 b からのクロック信号 CK_b が立ち上がるとノード nA の電位がさらに上昇してクロック信号 CK_b のパルス (幅 $4H$) が出力端子 OT_n から出力される。クロック信号 CK_b が立ち下ると、ノード nA の電位も下降する。続いて配線 l からの初期化信号 INT_l が立ち上がる ($M9$ が ON する) と、ノード nA が「Low」になり ($M10$ が OFF)、リセットが完了する。同時に、ノード nB および出力端子 OT_n も「Low」に充電される。

- [0050] 図 21～図 23 では、制御回路 SC の M_z のゲートを、スタートパルス信号 $SPX \cdot SP_x$ を供給する配線 ($X \cdot x$) に接続しているが、これに限定されない。図 25 および図 25 の各部の電位変動 (信号波形) を示す図 26 のように、制御回路 SC の M_z のゲートを、配線 ($X \cdot x$) とは別の配線 ($W \cdot w$) に接続し、奇数段に接続される配線 W にスタートパルス信号 SPX と同期する制御信号を供給し、偶数段に接続される配線 w にスタートパルス信号 SP_x と同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減することができる。

- [0051] 図 21～図 23 では、 $m = 8k + 1$ および $8k + 2$ (k は 1 以上) の単位回路 UC_m にのみ、制御回路 SC を設けているがこれに限定されない。図 27 および図 27 の各部の電位変動 (信号波形) を示す図 28 のように、 $m = 5 \sim n$ の単位回路 UC_m すべてに、制御回路 SC を設け、 $m = 1 \sim 4$ の単位回路 UC_m には調整回路 AC を設けることもできる。こうすれば、各クロック信号が動作期間開始後に初めて立ち上がったときに起こり得る誤動作を全段について抑制することができる。この場合も、図 29 に示すように (なお

、図29の各部の電位変動は図28のとおり）、制御回路SCのMzのゲートを、配線（X・x）とは別の配線（W・w）に接続し、奇数段に接続される配線Wにスタートパルス信号SPXと同期する制御信号を供給し、偶数段に接続される配線wにスタートパルス信号SPxと同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減する効果も得られる。

[0052] 図20～図23では、初期化信号INTL・INTIを供給する配線（L・l）を設けているが、これに限定されない。配線（L・l）を設けずに（除去して）、図30（a）（b）に示すように、初期化端子LTmを、スタートパルス信号SPX・SPxを供給する配線（X・x）に接続し、配線（X・x）に、初期化用の2つのパルス（最終段の出力端子からのパルスが立ち下がると同時に立ち上がる、幅4Hのパルスと、これより1H遅れて立ち上がる同型のパルス）をのせることもできる。こうすれば信号入力用の配線の数削減することができる。

[0053] 〔実施例4〕

図20～図23では、 $m = 8k + 1$ および $8k + 2$ （ k は1以上）の単位回路UCm以外の段に調整回路ACを設けているがこれに限定されない。図31（a）（b）に示すように、 $i = 8k + 1$ および $8k + 2$ （ k は1以上）の単位回路UCi段にはトランジスタMzを含む制御回路SCを設ける一方、 $j = 1, 2, 8k + 3, 8k + 4, 8k + 5, 8k + 6, 8k + 7$ 、および $8k + 8$ （ k は0以上）の単位回路UCj段には調整回路ACを設けない構成も可能である。この場合の第1および第2シフトレジスタの第1～第n段（ $m = 1 \sim n$ ）の構成を図32～図34に示しておく。なお、図32～図34の各部の電位変動（信号波形）は図24のとおりである。実施例4では、各シフトレジスタ内のトランジスタの数が削減されるので、製造歩留まりが高められる。

[0054] 図32～図34では、制御回路SCのMzのゲートを、スタートパルス信号SPX・SPxを供給する配線（X・x）に接続しているが、これに限定

されない。図35に示すように、制御回路SCのM_zのゲートを、配線(X・x)とは別の配線(W・w)に接続し、奇数段に接続される配線Wにスタートパルス信号SPXと同期する制御信号を供給し、偶数段に接続される配線wにスタートパルス信号SPxと同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減することができる。

[0055] 図31(a)(b)・図32～図34では、初期化信号INTL・INTIを供給する配線(L・I)を設けているが、これに限定されない。配線(L・I)を設けずに(除去して)、図36(a)～(c)に示すように、初期化端子LT_i・LT_jを、スタートパルス信号SPX・SPxを供給する配線(X・x)に接続し、配線(X・x)に、初期化用の2つのパルス(最終段の出力端子からのパルスが立ち下ると同時に立ち上がる、幅4Hのパルスと、これより1H遅れて立ち上がる同型のパルス)をのせることもできる。こうすれば信号入力用の配線の数削減することができる。

[0056] [実施例5]

実施例4においてトランジスタM_zを除去し、そのかわりにM₂を制御トランジスタとして、M₂のゲートを制御端子CT_mに接続する構成も可能である。すなわち、図37(a)(b)に示すように、 $i = 8k + 1$ および $8k + 2$ (k は1以上)の単位回路UC_i段ではトランジスタM₂を制御回路SCとし、M₂のゲートを制御端子CT_mに接続する一方、 $j = 1, 2, 8k + 3, 8k + 4, 8k + 5, 8k + 6, 8k + 7$, および $8k + 8$ (k は0以上)の単位回路UC_j段ではM₂のゲートを初期化端子LT_iに接続する。

[0057] 実施例5にかかる第1および第2シフトレジスタの第1～第 n 段($m = 1 \sim n$)の構成を図38に示しておく。なお、図38における、配線A～D、配線a～d、配線X・Y、配線x・y、配線L・Iおよび配線Pと、単位回路UC_m($m = 1 \sim n$)に含まれる、4つの入力端子CK₁～CK₄、セット端子ST_m、リセット端子RT_m、出力端子OT_m、制御端子CT_mおよび初期化端子LT_mとの接続関係は、図1・図3～図5と同一である。また

、図38の各部の電位変動（信号波形）は図24のとおりである。

[0058] この場合、 $m = 8k + 1$ （ k は1以上）の単位回路 UC_m では、入力端子 CK_1 に入力されるクロック信号 CK_A が、動作期間開始後に初めて立ち上がったときに、入力端子 CK_2 に入力されるクロック信号 CK_D が非アクティブ（ノード n_B が「Low」でトランジスタ M_8 がOFF）のままである。

[0059] 発明者らはこの点に着目し、 $i = 8k + 1$ となる段（第2中途段）を構成する単位回路 UC_i では、トランジスタ M_2 のゲートに接続する制御端子 CT_i を、スタートパルス信号 SP_X を供給する配線 X に接続している（図37・図38参照）。こうすれば、スタートパルス信号 SP_X が立ち上がったとき（動作期間 PT の開始時）に、トランジスタ M_2 をONし、ノード n_A （トランジスタ M_{10} のゲート）を「Low」に充電することができる。したがって、クロック信号 CK_A が動作期間開始後に初めて立ち上がったときにクロック信号 CK_D が非アクティブのままであっても、（トランジスタ M_{10} のゲート・ドレイン寄生容量 PC に起因して）出力端子 OT_m からパルスがでてしまうといった誤動作は回避される。

[0060] 同様に、 $i = 8k + 2$ （ k は1以上）の単位回路 UC_i でも、トランジスタ M_2 のゲートに接続する制御端子 CT_i を、スタートパルス信号 SP_x を供給する配線 x に接続している（図37・図38参照）。こうすれば、スタートパルス信号 SP_x が立ち上がったときに、トランジスタ M_2 をONし、ノード n_A （トランジスタ M_{10} のゲート）を「Low」に充電することができる。したがって、クロック信号 CK_a が動作期間開始後に初めて立ち上がったときにクロック信号 CK_d が非アクティブのままであっても、（トランジスタ M_{10} のゲート・ドレイン寄生容量 PC に起因して）出力端子 OT_m からパルスがでてしまうといった誤動作は回避される。

[0061] 第7段の単位回路 UC_7 （図38）の動作は以下のとおりである。第3段の単位回路の出力端子からパルスが出力されると、 M_1 がONしてノード n_A （図24では n_A7 ）が「High」になり、 $M_6 \cdot M_{10}$ がONする。

一方、ノードnB（図24ではnB7）は「Low」になってM8はOFFする。この状態で、配線Dからのクロック信号CKDが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKDのパルス（幅4H）が出力端子OT7から出力される。クロック信号CKDが立ち下がると、ノードnAの電位も下降する。続いて第13段の単位回路の出力端子からパルスが出力されると同時に配線Bからのクロック信号CKBが立ち上がる（M8・M9がONする）ため、ノードnBが「High」でノードnAが「Low」になり（M10がOFF）、リセットが完了する。その後、最終段の単位回路UCnの出力端子OTnからのパルスが立ち下がると同時に初期化信号INTLが立ち上がってM2・3・12がONすると、ノードnAおよびノードnB並びに出力端子OT7が「Low」に充電される。

- [0062] 第9段の単位回路UC9（図38）の動作は以下のとおりである。まず、スタートパルス信号SPXが立ち上がったときに、トランジスタM2をONし、ノードnA（図24ではnA9）を「Low」に充電する。これにより、動作期間開始後にクロック信号CKAが初めて立ち上がったときに、出力端子OT9からパルスがでてしまうといった誤動作は回避される。その後、第5段の単位回路UC5の出力端子OT5からパルスが出力されると、M1がONしてノードnAが「High」になり、M6・M10がONする。一方、ノードnB（図24ではnB9）は「Low」になってM8はOFFする。この状態で、配線Aからのクロック信号CKAが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKAのパルス（幅4H）が出力端子OT9から出力される。クロック信号CKAが立ち下がると、ノードnAの電位も下降する。続いて第15段の単位回路UC15の出力端子OT15からパルスが出力されると同時に配線Dからのクロック信号CKDが立ち上がる（M8・M9がONする）ため、ノードnBが「High」でノードnAが「Low」になり（M10がOFF）、リセットが完了する。その後、初期化信号INTLが立ち上がってM3・12がONすると、ノードnBおよび出力端子OT9が「Low」に充電される。

[0063] 図38では、制御回路SCのM_zのゲートを、スタートパルス信号SPX・SPxを供給する配線(X・x)に接続しているが、これに限定されない。図39に示すように、制御回路SCのM₂のゲートを、配線(X・x)とは別の配線(W・w)に接続し、奇数段に接続される配線Wにスタートパルス信号SPXと同期する制御信号を供給し、偶数段に接続される配線wにスタートパルス信号SPxと同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減することができる。

[0064] [実施例6]

実施例6にかかる第1および第2シフトレジスタSR1・SR2のm段(単位回路UC_m)の構成を図40に示す(mは自然数)。なお、mが奇数の段は第1シフトレジスタSR1に含まれ、mが偶数の段は第2シフトレジスタSR2に含まれるものとする。

[0065] 図40に示すように、単位回路UC_mは、2つの入力端子CK1~CK2と、セット端子ST_mと、リセット端子RT_mと、出力端子OT_mと、制御端子CT_mと、初期化端子LT_mと、NチャネルのトランジスタM1~M12と、容量C1とを備え、出力端子OT_mが液晶パネルのm番目の走査信号線G_mに接続されている。

[0066] 図40では、M10のドレインおよびM7のゲートがCK1に接続され、M10のソースが、容量C1の一方の電極、M11のドレイン、M12のドレインおよび出力端子OT_mに接続され、M10のゲート(ノードnA)が、容量C1のもう一方の電極、M9のドレイン、M8のドレイン、M6のゲート、M1のソース、およびM2のドレインに接続されている。また、M8のゲート(ノードnB)が、M4のソース、M7のドレイン、M3のドレイン、M6のドレインおよびM5のソースに接続され、M2、M3、M6~M9およびM11~M12それぞれのソースが、低電源電位VSS(VGL)に接続されている。また、M1のドレインおよびゲートがセット端子ST_mに接続され、M5のドレインおよびゲート並びにM11のゲートが入力端子CK2に接続され、M4(制御トランジスタ)のドレインおよびゲートが制

御端子 $C T_m$ に接続され、 M_2 、 M_3 および M_{12} それぞれのゲートが初期化端子 $L T_m$ に接続され、 M_9 のゲートがリセット端子 $R T_m$ に接続され、 M_{11} のゲートが入力端子 $C K_2$ に接続されている。

[0067] 図40～図43に、実施例6にかかる第1および第2シフトレジスタの第1～第 n 段 ($m = 1 \sim n$) の構成を示す。図41～図43に示されるように、実施例6でも、図2の複数の配線 $I L_1$ に、4相のクロック信号 $C K A \sim C K D$ を供給する配線（幹配線） $A \sim D$ と、2相の（ゲート）スタートパルス信号 $S P X \cdot S P Y$ を供給する配線（幹配線） $X \cdot Y$ と、初期化信号 $I N T L$ を供給する配線（幹配線） L と、低電源電位 $V S S$ を供給する配線（電源配線） P とが含まれ、図2の複数の配線 $I L_2$ に、4相のクロック信号 $C K a \sim C K d$ を供給する配線（幹配線） $a \sim d$ と、2相の（ゲート）スタートパルス信号 $S P x \cdot S P y$ を供給する配線（幹配線） $x \cdot y$ と、初期化信号 $I N T I$ を供給する配線（幹配線） I と、低電源電位 $V S S$ を供給する配線（電源配線） P とが含まれる。

[0068] また、 $m = 8k + 1$ の単位回路 $U C_m$ (k は0以上の整数) では、入力端子 $C K_1$ がクロック信号 $C K A$ を供給する配線 A に接続され、入力端子 $C K_2$ がクロック信号 $C K B$ を供給する配線 B に接続され、 $m = 8k + 2$ の単位回路 $U C_m$ では、入力端子 $C K_1$ がクロック信号 $C K a$ を供給する配線 a に接続され、入力端子 $C K_2$ がクロック信号 $C K b$ を供給する配線 b に接続されている。

[0069] また、 $m = 8k + 3$ の単位回路 $U C_m$ (k は0以上の整数) では、入力端子 $C K_1$ がクロック信号 $C K C$ を供給する配線 C に接続され、入力端子 $C K_2$ がクロック信号 $C K D$ を供給する配線 D に接続され、 $m = 8k + 4$ の単位回路 $U C_m$ では、入力端子 $C K_1$ がクロック信号 $C K c$ を供給する配線 c に接続され、入力端子 $C K_2$ がクロック信号 $C K d$ を供給する配線 d に接続されている。

[0070] また、 $m = 8k + 5$ の単位回路 $U C_m$ (k は0以上の整数) では、入力端子 $C K_1$ がクロック信号 $C K B$ を供給する配線 B に接続され、入力端子 $C K$

2 がクロック信号 CKA を供給する配線 A に接続され、 $m = 8k + 6$ の単位回路 UC_m では、入力端子 $CK1$ がクロック信号 CKb を供給する配線 b に接続され、入力端子 $CK2$ がクロック信号 CKa を供給する配線 a に接続されている。

[0071] また、 $m = 8k + 7$ の単位回路 UC_m (k は 0 以上の整数) では、入力端子 $CK1$ がクロック信号 CKD を供給する配線 D に接続され、入力端子 $CK2$ がクロック信号 CKC を供給する配線 C に接続されている。また、 $m = 8k + 8$ の単位回路 UC_m (k は 0 以上の整数) では、入力端子 $CK1$ がクロック信号 CKd を供給する配線 d に接続され、入力端子 $CK2$ がクロック信号 CKc を供給する配線 c に接続されている。

[0072] なお、 $m = 5 \sim n - 6$ の場合、セット端子 ST_m は、 $m - 4$ 段の出力端子 OT_{m-4} に接続され、リセット端子 RT_m は、 $m + 6$ 段の出力端子 OT_{m+6} に接続される。また、 $m = 1$ の場合、セット端子 ST_m は、スタートパルス信号 SPX を供給する配線 X に接続され、リセット端子 RT_m は、 $m + 6$ 段の出力端子 OT_7 に接続され、 $m = 2$ の場合、セット端子 ST_m は、スタートパルス信号 SPx を供給する配線 x に接続され、リセット端子 RT_m は、 $m + 6$ 段の出力端子 OT_8 に接続され、 $m = 3$ の場合、セット端子 ST_m は、スタートパルス信号 SPY を供給する配線 Y に接続され、リセット端子 RT_m は、 $m + 6$ 段の出力端子 OT_9 に接続され、 $m = 4$ の場合、セット端子 ST_m は、スタートパルス信号 SPy を供給する配線 y に接続され、リセット端子 RT_m は、 $m + 6$ 段の出力端子 OT_{10} に接続される。また、 $m = n - 5 \cdot n - 3 \cdot n - 1$ の場合、セット端子 ST_m は、 $m - 4$ 段の出力端子 OT_{m-4} に接続され、リセット端子 RT_m は、初期化信号 $INTL$ を供給する配線 L に接続され、 $m = n - 4 \cdot n - 2 \cdot n$ の場合、セット端子 ST_m は、 $m - 4$ 段の出力端子 OT_{m-4} に接続され、リセット端子 RT_m は、初期化信号 $INTI$ を供給する配線 I に接続される。

[0073] 図 4 1 ～図 4 3 の配線 $A \sim D$ 、配線 $a \sim d$ 、配線 $X \cdot Y$ 、配線 $x \cdot y$ 、配線 $L \cdot I$ 、配線 P 、(各段に接続される) 走査信号線 $G_1 \sim G_n$ 、および (

各段の) ノード nA ・ノード nB それぞれの電位変動(信号波形)は、図44に示すように、図6と同一である。

[0074] この場合、 $m = 8k + 1$ (k は1以上)の単位回路 UC_m では、入力端子 $CK1$ に入力されるクロック信号 CKA が、動作期間開始後に初めて立ち上がったときに、入力端子 $CK2$ に入力されるクロック信号 CKB が非アクティブ(ノード nB が「Low」でトランジスタ $M8$ がOFF)のままである。

[0075] 発明者らはこの点に着目し、 $m = 8k + 1$ となる段(第2中途段)を構成する単位回路 UC_m に、トランジスタ $M4$ を含む制御回路 SC を設け、 $M4$ のドレインおよびゲートに接続する制御端子 CT_m を、スタートパルス信号 SPX を供給する配線 X に接続している(図42参照)。こうすれば、スタートパルス信号 SPX が立ち上がったとき(動作期間 PT の開始時)に、ノード nB を「High」としてトランジスタ $M8$ をONし、ノード nA (トランジスタ $M10$ のゲート)を「Low」に充電することができる。したがって、クロック信号 CKA が動作期間開始後に初めて立ち上がったときにクロック信号 CKB が非アクティブのままであっても、(トランジスタ $M10$ のゲート・ドレイン寄生容量 PC に起因して)出力端子 OT_m からパルスがでてしまうといった誤動作は回避される。

[0076] また、 $m = 8k + 2$ (k は1以上)の単位回路 UC_m でも、入力端子 $CK1$ に入力されるクロック信号 CKa が、動作期間開始後に初めて立ち上がったときに、入力端子 $CK2$ に入力されるクロック信号 CKb が非アクティブのままであるため、このような単位回路 UC_m に、トランジスタ $M4$ を含む制御回路 SC を設け、 $M4$ のドレインおよびゲートに接続する制御端子 CT_m を、スタートパルス信号 SPx を供給する配線 x に接続している(図42参照)。こうすれば、スタートパルス信号 SPx が立ち上がったときに、ノード nB を「High」としてトランジスタ $M8$ をONし、ノード nA (トランジスタ $M10$ のゲート)を「Low」に充電することができる。したがって、クロック信号 CKa が動作期間開始後に初めて立ち上がったときにク

ロック信号CKbが非アクティブのままであっても、（トランジスタM10のゲート・ドレイン寄生容量PCに起因して）出力端子OTmからパルスがでてしまうといった誤動作は回避される。

[0077] 同様に、 $m = 8k + 3$ （ k は1以上）の単位回路UCmに、トランジスタM4を含む制御回路SCを設け、M4のドレインおよびゲートに接続する制御端子CTmを、スタートパルス信号SPXを供給する配線Xに接続している（図42参照）。こうすれば、スタートパルス信号SPXが立ち上がったときに、ノードnBを「High」としてトランジスタM8をONし、ノードnA（トランジスタM10のゲート）を「Low」に充電することができる。したがって、クロック信号CKCが動作期間開始後に初めて立ち上がったときにクロック信号CKDが非アクティブのままであっても、（トランジスタM10のゲート・ドレイン寄生容量PCに起因して）出力端子OTmからパルスがでてしまうといった誤動作は回避される。

[0078] また、 $m = 8k + 4$ （ k は1以上）の単位回路UCmに、トランジスタM4を含む制御回路SCを設け、M4のドレインおよびゲートに接続する制御端子CTmを、スタートパルス信号SPxを供給する配線xに接続している（図42参照）。こうすれば、スタートパルス信号SPxが立ち上がったときに、ノードnBを「High」としてトランジスタM8をONし、ノードnA（トランジスタM10のゲート）を「Low」に充電することができる。したがって、クロック信号CKCが動作期間開始後に初めて立ち上がったときにクロック信号CKDが非アクティブのままであっても、（トランジスタM10のゲート・ドレイン寄生容量PCに起因して）出力端子OTmからパルスがでてしまうといった誤動作は回避される。

[0079] そして、 $m = 1 \sim 4$ 、 $8k + 1$ および $8k + 2$ 並びに $8k + 3$ および $8k + 4$ （ k は1以上）の単位回路UCmにのみスタートパルス信号SPX・SPxを入力することで、スタートパルスSPX・SPxの負荷（鈍り等）を低減することができる。

[0080] ただし、 $m = 1 \sim 4$ の場合は、（M1のゲートおよびドレインに接続する

）セット出力端子 ST_m にスタートパルス信号（ $SPX \cdot SP_x \cdot SPY \cdot SP_y$ ）が入力されるため、制御回路 SC のかわりにトランジスタ M_4 を含む調整回路 AC を設け、 M_4 のドレインおよびゲートに接続する制御端子 CT_m を、低電源電位 VSS を供給する配線 P に接続している。一方、 $m = 8k + 5$ 、 $8k + 6$ 、 $8k + 7$ 、および $8k + 8$ （ k は 0 以上）の単位回路 UC_m では、入力端子 CK_1 に入力されるクロック信号が、動作期間開始後に初めて立ち上がったときに、入力端子 CK_2 に入力されるクロック信号がアクティブである（少なくとも非アクティブではない）ため、入力端子 CK_1 に入力されるクロック信号が動作期間開始後に初めて立ち上がったときに、（トランジスタ M_{10} のゲート・ドレイン寄生容量 PC に起因して）出力端子 OT_m からパルスがでてしまうといった誤動作のおそれは少ない。そこで、制御回路 SC のかわりにトランジスタ M_4 を含む調整回路 AC を設け、 M_4 のドレインおよびゲートに接続する制御端子 CT_m を、低電源電位 VSS を供給する配線 P に接続している。このように、制御回路 SC と同一構成の調整回路 AC を設けることでトランジスタ M_4 まわりの負荷を各段で揃え、走査信号線への出力信号の波形が段ごとにずれることを抑制することができる。

[0081] 第 1 段の単位回路 UC_1 （図 4 1）の動作は以下のとおりである。配線 X からのスタートパルス信号 SPX が立ち上がると、 M_1 が ON してノード nA （図 4 4 では nA_1 ）が「High」になり、 $M_6 \cdot M_{10}$ が ON する。一方、ノード nB （図 4 4 では nB_1 ）は「Low」になって M_8 は OFF する。この状態で、配線 A からのクロック信号 CKA が立ち上がるとノード nA の電位がさらに上昇してクロック信号 CKA のパルス（幅 $4H$ ）が出力端子 OT_1 から出力される。クロック信号 CKA が立ち下るとノード nA の電位も降下し、続いて第 7 段の単位回路 UC_7 の出力端子 OT_7 からパルスが出力される（ M_9 が ON する）とノード nB が「High」でノード nA が「Low」になり（ M_{10} が OFF ）、リセットが完了する。その後、最終段の単位回路 UC_n の出力端子 OT_n からのパルスが立ち下ると同時

に初期化信号 I N T L が立ち上がって M 2 ・ 3 ・ 1 2 が O N すると、ノード n A およびノード n B 並びに出力端子 O T 1 が「L o w」に充電される。なお、初期化信号 I N T L が立ち上がり以降は、クロック信号 C K A ~ C K D およびクロック信号 C K a ~ C K d はすべて停止（非アクティブ「L o w」に固定）される。

[0082] 第 5 段（第 1 中途段）の単位回路 U C 5（図 4 1）の動作は以下のとおりである。第 1 段の単位回路 U C 1 の出力端子 O T 1 からパルスが出力されると、M 1 が O N してノード n A（図 4 4 では n A 5）が「H i g h」になり、M 6 ・ M 1 0 が O N する。一方、ノード n B（図 4 4 では n B 5）は「L o w」になって M 8 は O F F する。この状態で、配線 B からのクロック信号 C K B が立ち上がるとノード n A の電位がさらに上昇してクロック信号 C K B のパルス（幅 4 H）が出力端子 O T 5 から出力される。クロック信号 C K B が立ち下がるとノード n A の電位も降下し、続いて第 1 1 段の単位回路 U C 1 1 の出力端子 O T 1 1 からパルスが出力される（M 9 が O N する）とノード n B が「H i g h」でノード n A が「L o w」になり（M 1 0 が O F F）、リセットが完了する。その後、最終段の単位回路 U C n の出力端子 O T n からのパルスが立ち下がると同時に初期化信号 I N T L が立ち上がって M 2 ・ 3 ・ 1 2 が O N すると、ノード n A およびノード n B 並びに出力端子 O T 5 が「L o w」に充電される。

[0083] 第 9 段（第 2 中途段）の単位回路 U C 9（図 4 2）の動作は以下のとおりである。まず、スタートパルス信号 S P X が立ち上がったときに、ノード n B（図 4 4 では n B 9）を「H i g h」としてトランジスタ M 8 を O N し、ノード n A（図 4 4 では n A 9）を「L o w」に充電する。これにより、動作期間開始後にクロック信号 C K A が初めて立ち上がったときに、出力端子 O T 9 からパルスがでてしまうといった誤動作は回避される。その後、第 5 段の単位回路 U C 5 の出力端子 O T 5 からパルスが出力されると、M 1 が O N してノード n A が「H i g h」になり、M 6 ・ M 1 0 が O N する。一方、ノード n B は「L o w」になって M 8 は O F F する。この状態で、配線 A か

らのクロック信号CKAが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKAのパルス（幅4H）が出力端子OT9から出力される。クロック信号CKAが立ち下がるとノードnAの電位も降下し、続いて第15段の単位回路UC15の出力端子OT15からパルスが出力される（M9がONする）とノードnBが「High」でノードnAが「Low」になり（M10がOFF）、リセットが完了する。その後、初期化信号INTLが立ち上がってM2・3・12がONすると、ノードnAおよびノードnB並びに出力端子OT9が「Low」に充電される。

[0084] 第n段の単位回路UCn（図43）の動作は以下のとおりである。第n-4段の単位回路UCn-4の出力端子OTn-4からパルスが出力されると、M1がONしてノードnAが「High」になり、M6・M10がONする。一方、ノードnBは「Low」になってM8はOFFする。この状態で、配線bからのクロック信号CKbが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKbのパルス（幅4H）が出力端子OTnから出力される。クロック信号CKbが立ち下がると、ノードnAの電位も下降する。続いて配線lからの初期化信号INTlが立ち上がる（M9がONする）と、ノードnAが「Low」になり（M10がOFF）、リセットが完了する。同時に、ノードnBおよび出力端子OTnも「Low」に充電される。

[0085] 図41～図43では、制御回路SCのM4のドレインおよびゲートを、スタートパルス信号SPX・SPxを供給する配線（X・x）に接続しているが、これに限定されない。図45および図45の各部の電位変動（信号波形）を示す図46のように、制御回路SCのM4のドレインおよびゲートを、配線（X・x）とは別の配線（W・w）に接続し、奇数段に接続される配線Wにスタートパルス信号SPXと同期する制御信号を供給し、偶数段に接続される配線wにスタートパルス信号SPxと同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減することができる。

[0086] 図41～図43では、 $m = 8k + 1$ および $8k + 2$ 並びに $8k + 3$ および $8k + 4$ (k は1以上) の単位回路 UC_m にのみ、制御回路 SC を設けているがこれに限定されない。図47および図47の各部の電位変動(信号波形)を示す図48のように、 $m = 5 \sim n$ の単位回路 UC_m すべてに、制御回路 SC を設け、 $m = 1 \sim 4$ の単位回路 UC_m には調整回路 AC を設けることもできる。こうすれば、各クロック信号が動作期間開始後に初めて立ち上がったときに起こり得る誤動作を全段について抑制することができる。この場合も、図49および図49の各部の電位変動(信号波形)を示す図50のように、制御回路 SC の $M4$ のドレインおよびゲートを、配線 ($X \cdot x$) とは別の配線 ($W \cdot w$) に接続し、奇数段に接続される配線 W にスタートパルス信号 SPX と同期する制御信号を供給し、偶数段に接続される配線 w にスタートパルス信号 SPx と同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減する効果も得られる。

[0087] 図40～図43では、初期化信号 $INTL \cdot INTI$ を供給する配線 ($L \cdot I$) を設けているが、これに限定されない。配線 ($L \cdot I$) を設けずに(除去して)、図51(a)(b)に示すように、初期化端子 LT_m を、スタートパルス信号 $SPX \cdot SPx$ を供給する配線 ($X \cdot x$) に接続し、配線 ($X \cdot x$) に、初期化用の2つのパルス(最終段の出力端子からのパルスが立ち下がると同時に立ち上がる、幅 $4H$ のパルスと、これより $1H$ 遅れて立ち上がる同型のパルス)をのせることもできる。こうすれば信号入力用の配線の数を削減することができる。

[0088] [実施例7]

図40～図43では、 $m = 8k + 1$ および $8k + 2$ 並びに $8k + 3$ および $8k + 4$ (k は1以上) の単位回路 UC_m 以外の段に調整回路 AC を設けているがこれに限定されない。図52(a)(b)に示すように、 $i = 8k + 1$ および $8k + 2$ 並びに $8k + 3$ および $8k + 4$ (k は1以上) の単位回路 UC_i 段にはトランジスタ $M4$ を含む制御回路 SC を設ける一方、 $j = 1 \sim 4$ 、 $8k + 5$ 、 $8k + 6$ 、 $8k + 7$ 、および $8k + 8$ (k は0以上) の単位

回路 UC_j 段には調整回路 AC を設けない構成も可能である。この場合の第 1 および第 2 シフトレジスタの第 1 ～第 n 段 ($m = 1 \sim n$) の構成を図 5 3 ～図 5 5 に示しておく。なお、図 5 3 ～図 5 5 の各部の電位変動 (信号波形) は図 4 4 のとおりである。実施例 7 では、各シフトレジスタ内のトランジスタの数が削減されるので、製造歩留まりが高められる。

[0089] 図 5 3 ～図 5 5 では、制御回路 SC の $M4$ のドレインおよびゲートを、スタートパルス信号 $SPX \cdot SPx$ を供給する配線 ($X \cdot x$) に接続しているが、これに限定されない。図 5 6 に示すように、制御回路 SC の $M4$ のドレインおよびゲートを、配線 ($X \cdot x$) とは別の配線 ($W \cdot w$) に接続し、奇数段に接続される配線 W にスタートパルス信号 SPX と同期する制御信号を供給し、偶数段に接続される配線 w にスタートパルス信号 SPx と同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減することができる。

[0090] 図 5 2 ～図 5 5 では、初期化信号 $INTL \cdot INTI$ を供給する配線 ($L \cdot I$) を設けているが、これに限定されない。配線 ($L \cdot I$) を設けずに (除去して)、図 5 7 (a) ～ (c) に示すように、初期化端子 $LT_i \cdot LT_j$ を、スタートパルス信号 $SPX \cdot SPx$ を供給する配線 ($X \cdot x$) に接続し、配線 ($X \cdot x$) に、初期化用の 2 つのパルス (最終段の出力端子からのパルスが立ち下がると同時に立ち上がる、幅 $4H$ のパルスと、これより $1H$ 遅れて立ち上がる同型のパルス) をのせることもできる。こうすれば信号入力用の配線の数削減することができる。

[0091] [実施例 8]

図 4 0 ～図 4 3 では、 m 段の単位回路 UC_m にトランジスタ $M4$ を設けているがこれに限定されない。図 5 8 に示すように、(トランジスタ $M4$ のかわりに) トランジスタ Mz を設けることもできる。図 5 8 では、 $M10$ のドレインおよび $M7$ のゲートが $CK1$ に接続され、 $M10$ のソースが、容量 $C1$ の一方の電極、 $M11$ のドレイン、 $M12$ のドレインおよび出力端子 OT_m に接続され、 $M10$ のゲート (ノード nA) が、容量 $C1$ のもう一方の電

極、M9のドレイン、M8のドレイン、Mzのドレイン、M6のゲート、M1のソース、およびM2のドレインに接続されている。また、M8のゲート（ノードnB）が、M7のドレイン、M3のドレイン、M6のドレインおよびM5のソースに接続され、Mz、M2、M3、M6～M9およびM11～M12それぞれのソースが、低電源電位VSS（VGL）に接続されている。また、M1のドレインおよびゲートがセット端子STmに接続され、M5のドレインおよびゲート並びにM11のゲートが入力端子CK2に接続され、Mz（制御トランジスタ）のゲートが制御端子CTmに接続され、M2、M3およびM12それぞれのゲートが初期化端子LTmに接続され、M9のゲートがリセット端子RTmに接続されている。

[0092] 実施例8にかかる第1および第2シフトレジスタの第1～第n段（ $m=1\sim n$ ）の構成を図59～図61に示しておく。なお、図59～図61における、配線A～D、配線a～d、配線X・Y、配線x・y、配線L・Iおよび配線Pと、単位回路UCm（ $m=1\sim n$ ）に含まれる、2つの入力端子CK1～CK2、セット端子STm、リセット端子RTm、出力端子OTm、制御端子CTmおよび初期化端子LTmとの接続関係は、図40～図43と同一である。

[0093] また、図59～図61の配線A～D、配線a～d、配線X・Y、配線x・y、配線L・I、配線P、（各段に接続される）走査信号線G1～Gn、および（各段の）ノードnA・ノードnBそれぞれの電位変動（信号波形）を図62に示す。図62に示すように、配線A～Dからのクロック信号CKA～CKD、配線a～dからのクロック信号CKa～CKd、配線X・Y・x・yからのスタートパルス信号SPX・SPY・SPx・SPy、および配線L・Iからの初期化信号INTL・INTIはすべて図44（図6）と同じである。

[0094] この場合、 $m=8k+1$ （kは1以上）の単位回路UCmでは、入力端子CK1に入力されるクロック信号CKAが、動作期間開始後に初めて立ち上がったときに、入力端子CK2に入力されるクロック信号CKBが非アクテ

ィブ（ノード nB が「Low」でトランジスタ $M8$ がOFF）のままである。

[0095] 発明者らはこの点に着目し、 $m = 8k + 1$ となる段（第2中途段）を構成する単位回路 UC_m に、トランジスタ M_z を含む制御回路 SC を設け、 M_z のゲートに接続する制御端子 CT_m を、スタートパルス信号 SPX を供給する配線 X に接続している（図60参照）。こうすれば、スタートパルス信号 SPX が立ち上がったとき（動作期間 PT の開始時）に、トランジスタ M_z をONし、ノード nA （トランジスタ $M10$ のゲート）を「Low」に充電することができる。したがって、クロック信号 CKA が動作期間開始後に初めて立ち上がったときにクロック信号 CKB が非アクティブのままであっても、（トランジスタ $M10$ のゲート・ドレイン寄生容量 PC に起因して）出力端子 OT_m からパルスがでてしまうといった誤動作は回避される。

[0096] また、 $m = 8k + 2$ （ k は1以上）の単位回路 UC_m にも、トランジスタ M_z を含む制御回路 SC を設け、 M_z のゲートに接続する制御端子 CT_m を、スタートパルス信号 SPx を供給する配線 x に接続している（図60参照）。こうすれば、スタートパルス信号 SPx が立ち上がったときに、トランジスタ M_z をONし、ノード nA （トランジスタ $M10$ のゲート）を「Low」に充電することができる。したがって、クロック信号 CKa が動作期間開始後に初めて立ち上がったときにクロック信号 CKb が非アクティブのままであっても、（トランジスタ $M10$ のゲート・ドレイン寄生容量 PC に起因して）出力端子 OT_m からパルスがでてしまうといった誤動作は回避される。

[0097] また、 $m = 8k + 3$ （ k は1以上）の単位回路 UC_m にも、トランジスタ M_z を含む制御回路 SC を設け、 M_z のゲートに接続する制御端子 CT_m を、スタートパルス信号 SPX を供給する配線 X に接続している（図60参照）。こうすれば、スタートパルス信号 SPX が立ち上がったときに、トランジスタ M_z をONし、ノード nA （トランジスタ $M10$ のゲート）を「Low」に充電することができる。したがって、クロック信号 CKC が動作期間

開始後に初めて立ち上がったときにクロック信号CKDが非アクティブのままであっても、（トランジスタM10のゲート・ドレイン寄生容量PCに起因して）出力端子OT_mからパルスがでてしまうといった誤動作は回避される。

[0098] また、 $m = 8k + 4$ （ k は1以上）の単位回路UC_mにも、トランジスタM_zを含む制御回路SCを設け、M_zのゲートに接続する制御端子CT_mを、スタートパルス信号SP_xを供給する配線xに接続している（図60参照）。こうすれば、スタートパルス信号SP_xが立ち上がったときに、トランジスタM_zをONし、ノードnA（トランジスタM10のゲート）を「Low」に充電することができる。したがって、クロック信号CK_cが動作期間開始後に初めて立ち上がったときにクロック信号CK_dが非アクティブのままであっても、（トランジスタM10のゲート・ドレイン寄生容量PCに起因して）出力端子OT_mからパルスがでてしまうといった誤動作は回避される。

[0099] ただし、 $m = 1 \sim 4$ の場合は、（M1のゲートおよびドレインに接続する）セット出力端子ST_mにスタートパルス信号（SP_X・SP_x・SP_Y・SP_y）が入力されるため、制御回路SCのかわりにトランジスタM_zを含む調整回路ACを設け、M_zのゲートに接続する制御端子CT_mを、低電源電位VSSを供給する配線Pに接続している。一方、 $m = 8k + 5$ 、 $8k + 6$ 、 $8k + 7$ 、および $8k + 8$ （ k は0以上）の単位回路UC_mでは、入力端子CK1に入力されるクロック信号が、動作期間開始後に初めて立ち上がったときに、入力端子CK2に入力されるクロック信号がアクティブである（少なくとも非アクティブではない）ため、入力端子CK1に入力されるクロック信号が動作期間開始後に初めて立ち上がったときに、（トランジスタM10のゲート・ドレイン寄生容量PCに起因して）出力端子OT_mからパルスがでてしまうといった誤動作のおそれは少ない。そこで、制御回路SCのかわりにトランジスタM_zを含む調整回路ACを設け、M_zのゲートに接続する制御端子CT_mを、低電源電位VSSを供給する配線Pに接続してい

る。このように、制御回路SCと同一構成の調整回路ACを設けることでトランジスタMzまわりの負荷を各段で揃えることができる。

[0100] 第5段（第1中途段）の単位回路UC5（図60）の動作は以下のとおりである。第1段の単位回路UC1の出力端子OT1からパルスが出力されると、M1がONしてノードnA（図62ではnA5）が「High」になり、M6・M10がONする。一方、ノードnB（図62ではnB5）は「Low」になってM8はOFFする。この状態で、配線Bからのクロック信号CKBが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKBのパルス（幅4H）が出力端子OT5から出力される。クロック信号CKBが立ち下がるとノードnAの電位も降下し、続いて第11段の単位回路UC11の出力端子OT11からパルスが出力される（M9がONする）とノードnBが「High」でノードnAが「Low」になり（M10がOFF）、リセットが完了する。その後、最終段の単位回路UCnの出力端子OTnからのパルスが立ち下がると同時に初期化信号INTLが立ち上がってM2・3・12がONすると、ノードnAおよびノードnB並びに出力端子OT5が「Low」に充電される。

[0101] 第9段（第2中途段）の単位回路UC9（図60）の動作は以下のとおりである。まず、スタートパルス信号SPXが立ち上がったときに、トランジスタMzをONし、ノードnA（図62ではnA9）を「Low」に充電する。これにより、動作期間開始後にクロック信号CKAが初めて立ち上がったときに、出力端子OT9からパルスがでてしまうといった誤動作は回避される。その後、第5段の単位回路UC5の出力端子OT5からパルスが出力されると、M1がONしてノードnAが「High」になり、M6・M10がONする。一方、ノードnBは「Low」になってM8はOFFする。この状態で、配線Aからのクロック信号CKAが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKAのパルス（幅4H）が出力端子OT9から出力される。クロック信号CKAが立ち下がるとノードnAの電位も降下し、続いて第15段の単位回路UC15の出力端子OT15からパルス

が出力される（M9がONする）とノードnBが「High」でノードnAが「Low」になり（M10がOFF）、リセットが完了する。その後、初期化信号INTLが立ち上がってM2・3・12がONすると、ノードnAおよびノードnB並びに出力端子OT9が「Low」に充電される。

[0102] 図59～図61では、制御回路SCのMzのゲートを、スタートパルス信号SPX・SPxを供給する配線（X・x）に接続しているが、これに限定されない。図63および図63の各部の電位変動（信号波形）を示す図64のように、制御回路SCのMzのゲートを、配線（X・x）とは別の配線（W・w）に接続し、奇数段に接続される配線Wにスタートパルス信号SPXと同期する制御信号を供給し、偶数段に接続される配線wにスタートパルス信号SPxと同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減することができる。

[0103] 図59～図61では、 $m = 8k + 1$ および $8k + 2$ 並びに $8k + 3$ および $8k + 4$ （ k は1以上）の単位回路UCmにのみ、制御回路SCを設けているがこれに限定されない。図65および図65の各部の電位変動（信号波形）を示す図66のように、 $m = 5 \sim n$ の単位回路UCmすべてに、制御回路SCを設け、 $m = 1 \sim 4$ の単位回路UCmには調整回路ACを設けることもできる。こうすれば、各クロック信号が動作期間開始後に初めて立ち上がったときに起こり得る誤動作を全段について抑制することができる。この場合も、図67に示すように（なお、図67の各部の電位変動は図64のとおり）、制御回路SCのMzのゲートを、配線（X・x）とは別の配線（W・w）に接続し、奇数段に接続される配線Wにスタートパルス信号SPXと同期する制御信号を供給し、偶数段に接続される配線wにスタートパルス信号SPxと同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減する効果も得られる。

[0104] 図59～図61では、初期化信号INTL・INTIを供給する配線（L・I）を設けているが、これに限定されない。配線（L・I）を設けずに（除去して）、図68（a）（b）に示すように、初期化端子LTmを、スタ

ートパルス信号 $SPX \cdot SPx$ を供給する配線 ($X \cdot x$) に接続し、配線 ($X \cdot x$) に、初期化用の2つのパルス（最終段の出力端子からのパルスが立ち下がると同時に立ち上がる、幅 $4H$ のパルスと、これより $1H$ 遅れて立ち上がる同型のパルス）をのせることもできる。こうすれば信号入力用の配線の数を削減することができる。

[0105] 〔実施例9〕

図59～図61では、 $m = 8k + 1$ および $8k + 2$ 並びに $8k + 3$ および $8k + 4$ (k は1以上) の単位回路 UC_m 以外の段に調整回路 AC を設けているがこれに限定されない。図69(a)(b)に示すように、 $i = 8k + 1$ および $8k + 2$ 並びに $8k + 3$ および $8k + 4$ (k は1以上) の単位回路 UC_i 段にはトランジスタ M_z を含む制御回路 SC を設ける一方、 $j = 1, 2, 8k + 5, 8k + 6, 8k + 7$ 、および $8k + 8$ (k は0以上) の単位回路 UC_j 段には調整回路 AC を設けない構成も可能である。この場合の第1および第2シフトレジスタの第1～第 n 段 ($m = 1 \sim n$) の構成を図70～図72に示しておく。なお、図70～図72の各部の電位変動（信号波形）は図62のとおりである。実施例9では、各シフトレジスタ内のトランジスタの数が削減されるので、製造歩留まりが高められる。

[0106] 図70～図72では、制御回路 SC の M_z のゲートを、スタートパルス信号 $SPX \cdot SPx$ を供給する配線 ($X \cdot x$) に接続しているが、これに限定されない。図73に示すように、制御回路 SC の M_z のゲートを、配線 ($X \cdot x$) とは別の配線 ($W \cdot w$) に接続し、奇数段に接続される配線 W にスタートパルス信号 SPX と同期する制御信号を供給し、偶数段に接続される配線 w にスタートパルス信号 SPx と同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減することができる。

[0107] 図58～図61では、初期化信号 $INTL \cdot INTI$ を供給する配線 ($L \cdot l$) を設けているが、これに限定されない。配線 ($L \cdot l$) を設けずに（除去して）、図74(a)～(c)に示すように、初期化端子 $LT_i \cdot LT_j$ を、スタートパルス信号 $SPX \cdot SPx$ を供給する配線 ($X \cdot x$) に接続

し、配線（ $X \cdot x$ ）に、初期化用の2つのパルス（最終段の出力端子からのパルスが立ち下がると同時に立ち上がる、幅4Hのパルスと、これより1H遅れて立ち上がる同型のパルス）をのせることもできる。こうすれば信号入力用の配線の数を削減することができる。

[0108] 〔実施例10〕

実施例9においてトランジスタ M_z を除去し、そのかわりに M_2 を制御トランジスタとして M_2 のゲートを制御端子 CT_m に接続する構成も可能である。すなわち、図75（a）（b）に示すように、 $i = 8k + 1$ および $8k + 2$ 並びに $8k + 3$ および $8k + 4$ （ k は1以上）の単位回路 UC_i 段ではトランジスタ M_2 を制御回路 SC とし、 M_2 のゲートを制御端子 CT_m に接続する一方、 $j = 1, 2, 8k + 5, 8k + 6, 8k + 7$ 、および $8k + 8$ （ k は0以上）の単位回路 UC_j 段では M_2 のゲートを初期化端子 LT_i に接続する。

[0109] 実施例10にかかる第1および第2シフトレジスタの第1～第 n 段（ $m = 1 \sim n$ ）の構成を図76に示しておく。なお、図76における、配線 $A \sim D$ 、配線 $a \sim d$ 、配線 $X \cdot Y$ 、配線 $x \cdot y$ 、配線 $L \cdot l$ および配線 P と、単位回路 UC_m （ $m = 1 \sim n$ ）に含まれる、2つの入力端子 $CK_1 \sim CK_2$ 、セット端子 ST_m 、リセット端子 RT_m 、出力端子 OT_m 、制御端子 CT_m および初期化端子 LT_m との接続関係は、図40～図43と同一である。また、図76の各部の電位変動（信号波形）は図62のとおりである。

[0110] この場合、 $m = 8k + 1$ （ k は1以上）の単位回路 UC_m では、入力端子 CK_1 に入力されるクロック信号 CK_A が、動作期間開始後に初めて立ち上がったときに、入力端子 CK_2 に入力されるクロック信号 CK_D が非アクティブ（ノード n_B が「Low」でトランジスタ M_8 がOFF）のままである。

[0111] 発明者らはこの点に着目し、 $i = 8k + 1$ となる段（第2中途段）を構成する単位回路 UC_i では、トランジスタ M_2 のゲートに接続する制御端子 CT_i を、スタートパルス信号 SP_X を供給する配線 X に接続している（図7

5・図76参照)。こうすれば、スタートパルス信号SPXが立ち上がったとき（動作期間PTの開始時）に、トランジスタM2をONし、ノードnA（トランジスタM10のゲート）を「Low」に充電することができる。したがって、クロック信号CKAが動作期間開始後に初めて立ち上がったときにクロック信号CKBが非アクティブのままであっても、（トランジスタM10のゲート・ドレイン寄生容量PCに起因して）出力端子OTmからパルスがでてしまうといった誤動作は回避される。

[0112] また、 $i = 8k + 2$ （ k は1以上）の単位回路UCiでも、トランジスタM2のゲートに接続する制御端子CTiを、スタートパルス信号SPxを供給する配線xに接続している。こうすれば、スタートパルス信号SPxが立ち上がったときに、トランジスタM2をONし、ノードnA（トランジスタM10のゲート）を「Low」に充電することができる。したがって、クロック信号CKaが動作期間開始後に初めて立ち上がったときにクロック信号CKbが非アクティブのままであっても、（トランジスタM10のゲート・ドレイン寄生容量PCに起因して）出力端子OTmからパルスがでてしまうといった誤動作は回避される。

[0113] また、 $i = 8k + 3$ （ k は1以上）の単位回路UCiでも、トランジスタM2のゲートに接続する制御端子CTiを、スタートパルス信号SPXを供給する配線Xに接続している。こうすれば、スタートパルス信号SPXが立ち上がったときに、トランジスタM2をONし、ノードnA（トランジスタM10のゲート）を「Low」に充電することができる。したがって、クロック信号CKCが動作期間開始後に初めて立ち上がったときにクロック信号CKDが非アクティブのままであっても、（トランジスタM10のゲート・ドレイン寄生容量PCに起因して）出力端子OTmからパルスがでてしまうといった誤動作は回避される。

[0114] また、 $i = 8k + 4$ （ k は1以上）の単位回路UCiでも、トランジスタM2のゲートに接続する制御端子CTiを、スタートパルス信号SPxを供給する配線xに接続している。こうすれば、スタートパルス信号SPxが立

ち上がったときに、トランジスタM2をONし、ノードnA（トランジスタM10のゲート）を「Low」に充電することができる。したがって、クロック信号CKcが動作期間開始後に初めて立ち上がったときにクロック信号CKdが非アクティブのままであっても、（トランジスタM10のゲート・ドレイン寄生容量PCに起因して）出力端子OTmからパルスがでてしまうといった誤動作は回避される。

[0115] 第7段の単位回路UC7（図76）の動作は以下のとおりである。第3段の単位回路の出力端子からパルスが出力されると、M1がONしてノードnA（図62ではnA7）が「High」になり、M6・M10がONする。一方、ノードnB（図62ではnB7）は「Low」になってM8はOFFする。この状態で、配線Dからのクロック信号CKDが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKDのパルス（幅4H）が出力端子OT7から出力される。クロック信号CKDが立ち下るとノードnAの電位も降下し、続いて第13段の単位回路UC13の出力端子OT13からパルスが出力される（M9がONする）とノードnBが「High」でノードnAが「Low」になり（M10がOFF）、リセットが完了する。その後、最終段の単位回路UCnの出力端子OTnからのパルスが立ち下ると同時に初期化信号INTLが立ち上がってM2・3・12がONすると、ノードnAおよびノードnB並びに出力端子OT7が「Low」に充電される。

[0116] 第9段の単位回路UC9（図76）の動作は以下のとおりである。まず、スタートパルス信号SPXが立ち上がったときに、トランジスタM2をONし、ノードnA（図62ではnA9）を「Low」に充電する。これにより、動作期間開始後にクロック信号CKAが初めて立ち上がったときに、出力端子OT9からパルスがでてしまうといった誤動作は回避される。その後、第5段の単位回路UC5の出力端子OT5からパルスが出力されると、M1がONしてノードnAが「High」になり、M6・M10がONする。一方、ノードnB（図62ではnB9）は「Low」になってM8はOFFす

る。この状態で、配線Aからのクロック信号CKAが立ち上がるとノードnAの電位がさらに上昇してクロック信号CKAのパルス（幅4H）が出力端子OT9から出力される。クロック信号CKAが立ち下がるとノードnAの電位も降下し、続いて第15段の単位回路UC15の出力端子OT15からパルスが出力される（M9がONする）とノードnBが「High」でノードnAが「Low」になり（M10がOFF）、リセットが完了する。その後、初期化信号INTLが立ち上がってM3・12がONすると、ノードnBおよび出力端子OT9が「Low」に充電される。

[0117] 図76では、制御回路SCのMzのゲートを、スタートパルス信号SPX・SPxを供給する配線（X・x）に接続しているが、これに限定されない。図77に示すように、制御回路SCのM2のゲートを、配線（X・x）とは別の配線（W・w）に接続し、奇数段に接続される配線Wにスタートパルス信号SPXと同期する制御信号を供給し、偶数段に接続される配線wにスタートパルス信号SPxと同期する制御信号を供給することもできる。こうすれば、スタートパルス信号の負荷を低減することができる。

[0118] [実施例1-10について]

図2のゲートドライバには、4相の（ゲート）スタートパルス信号SPX・SPY・SPx・SPyそれぞれを供給する配線（幹配線）X・Y・x・yと、上記実施例1-10の第1および第2シフトレジスタSR1・SR2が含まれるが、スタートパルス信号の負荷を低減するため、配線（幹配線）X・Y・x・yを第1および第2シフトレジスタSR1・SR2に重ならないように配置することが望ましい。例えば、図78（a）に示すように、液晶パネル上にゲートドライバをモノリシック形成する場合には、ガラス基板の短辺となる2つのエッジ（ガラス端面）の一方と第1シフトレジスタSR1との間に配線X・Yを形成し、上記2つのエッジの他方と第2シフトレジスタSR2との間に配線x・yを形成したり、図78（b）に示すように、表示部DAと第1シフトレジスタSR1との間に配線X・Yを形成（配線A-D・Lは上記2つのエッジの一方と第1シフトレジスタSR1との間に形

成) し、表示部 D A と第 2 シフトレジスタ S R 2 との間に配線 $x \cdot y$ を形成 (配線 $a - d \cdot l$ は上記 2 つのエッジの他方と第 2 シフトレジスタ S R 2 との間に形成) したりする。なお、額縁スペースがとれない場合には、図 7 8 (c) に示すように、他の配線 (例えば、配線 $L \cdot l$) それぞれを第 1 および第 2 シフトレジスタ S R 1 ・ S R 2 に重ねて配置することもできる。

[0119] また、配線 ($L \cdot l$) を設けず (除去し)、初期化端子 L T m を、スタートパルス信号を供給する配線 ($X \cdot x \cdot Y \cdot y$) に接続する構成では、図 7 9 に示すように、配線 ($X \cdot x \cdot Y \cdot y$) にスタートパルス (動作期間開始直前に立ち上がるパルス) 1 個のみをのせる構成も可能である。

[0120] また、配線 W/w を使用する構成において配線 W/w にのせるパルスは、最も位相の進んだクロック信号 (C K A) の最初のクロックよりも前に立てばよく、スタートパルスと時間的にずれていてもよい (図 8 0 参照)。

[0121] また、スタートパルス信号の負荷を低減する点に鑑み、制御回路 S C に含まれる制御トランジスタを配線 X または配線 x に接続する上記実施例においては、これら制御トランジスタを、配線 X、配線 x 、配線 Y、および配線 y に選択的に接続する (2 配線ではなく 4 配線に負荷を分担させる) ような構成も可能である。例えば、実施例 1 の図 5 を変形し、図 8 1 のように、単位回路 U C $n - 5$ の M 4 のドレインおよびゲートを配線 Y に接続し、単位回路 U C $n - 4$ の M 4 のドレインおよびゲートを配線 y に接続する。同様に、実施例 2 の図 1 7 を図 8 2 のように変形し、実施例 3 の図 2 3 を図 8 3 のように変形し、実施例 4 の図 3 4 を図 8 4 のように変形する。また、実施例 6 の図 4 2 を変形し、図 8 5 のように、単位回路 U C 1 1 の M 4 のドレインおよびゲートを配線 Y に接続し、単位回路 U C 1 1 の M 4 のドレインおよびゲートを配線 y に接続する。同様に、実施例 7 の図 5 4 を図 8 6 のように変形し、実施例 8 の図 6 0 を図 8 7 のように変形し、実施例 9 の図 7 1 を図 8 8 のように変形する。

[0122] 上記実施例 1 - 1 0 の第 1 および第 2 シフトレジスタ S R 1 ・ S R 2 の各トランジスタとして、半導体層に酸化物半導体、例えば、I G Z O (I n G

a ZnO_x)を用いたTFT（薄膜トランジスタ）を用いてもよい。この場合、トランジスタM10のゲート・ドレイン間寄生容量PCによってトランジスタM10のゲート（ノードnA）の電位が突き上がりによって漏れ電流が発生し易いと考えられる（酸化物半導体を用いたTFTはON特性に優れるため）ので、上記各実施例のように動作期間開始時にノードnAを確実にVSS（Low）に充電する意義は大きいといえる。また、酸化物半導体を用いた液晶パネルでは消費電力低減のために垂直ブランキング期間（非動作期間を含む）を長くすることが多く、その間にノードnAが放電してしまうことも考えられるため、この点でも、動作期間開始時にノードnAを確実にVSSに充電する意義は大きいといえる。

[0123] もちろん、上記実施例1-10の第1および第2シフトレジスタSR1・SR2の各トランジスタとして、半導体層にアモルファスシリコンやポリシリコンを用いたTFT（薄膜トランジスタ）を用いてもよい。このようなTFTは、酸化物半導体を用いたTFTに比較してOFF時の漏れ電流が大きく、垂直ブランキング期間に（垂直ブランキング期間がたとえ長くなくとも）ノードnAが放電してしまうことが考えられること、また、アモルファスシリコンを用いた場合にはトランジスタM10の寄生容量が大きく、クロック立ち上がり時のドレインの突き上げによってM10に大きな漏れ電流が発生し易いことから、動作期間開始時にノードnAを確実にVSSに充電する意義は大きいといえる。

[0124] 以上のように、本シフトレジスタは、初段、第1中途段、第2中途段、および末段を含み、第1および第2中途段それぞれに、第1入力端子と、第2入力端子と、出力トランジスタを介して第1入力端子に接続された出力端子と、第2入力端子および出力トランジスタに接続し、出力トランジスタの制御端子の電位を設定する設定回路とが設けられ、第1入力端子と第2入力端子とに別位相のクロック信号が入力され、第2中途段に、上記設定回路に接続し、制御信号が入力される制御回路が設けられ、初段に入力されるシフト開始信号がアクティブになってから末段の出力がアクティブから非アクティ

ブになるまでの期間（あるいはシフト開始信号がアクティブになってから末段がリセットされるまでの期間）を動作期間として、第2中途段の第1入力端子に入力されるクロック信号が動作期間開始後に初めてアクティブ化したときに、第2中途段の第2入力端子に入力されるクロック信号が非アクティブである。

[0125] このように第2中途段に設定回路を設けることで、第2中途段の第1入力端子に入力されるクロック信号が動作期間開始後に初めてアクティブ化したときに、第2中途段の第2入力端子に入力されるクロック信号が非アクティブであっても、第2中途段の誤動作を防止することができる。

[0126] 本シフトレジスタでは、第2中途段の第1入力端子に入力されるクロック信号および第2中途段の第2入力端子に入力されるクロック信号は、動作期間開始前に非アクティブに固定されている構成とすることもできる。

[0127] 本シフトレジスタでは、第1中途段の第1入力端子に入力されるクロック信号が動作期間開始後に初めてアクティブ化したときに、第1中途段の第2入力端子に入力されるクロック信号が非アクティブではない構成とすることもできる。

[0128] 本シフトレジスタでは、第1中途段には上記制御回路が設けられていない構成とすることもできる。

[0129] 本シフトレジスタでは、第1中途段に、上記制御回路と同一構成を有し、制御信号のかわりに定電位信号が入力される調整回路が設けられた構成とすることもできる。

[0130] 本シフトレジスタでは、上記第1中途段に、上記制御回路と同一構成を有し、初期化信号が入力される初期化回路が設けられた構成とすることもできる。

[0131] 本シフトレジスタでは、上記制御信号は、初段に入力されるシフト開始信号である構成とすることもできる。

[0132] 本シフトレジスタでは、上記設定回路に第1および第2設定トランジスタが含まれ、第2入力端子が第1設定トランジスタを介して第2設定トランジ

スタの制御端子に接続されるとともに、出力トランジスタの制御端子が、第2設定トランジスタを介して定電位源に接続され、第2入力端子に入力されるクロック信号がアクティブのときに、出力トランジスタがOFFする構成とすることもできる。

[0133] 本シフトレジスタでは、上記制御回路に、第2設定トランジスタの制御端子に接続する制御トランジスタが含まれ、この制御トランジスタの制御端子に上記制御信号が入力される構成とすることもできる。

[0134] 本シフトレジスタでは、上記制御回路に、出力トランジスタの制御端子に接続する制御トランジスタが含まれ、この制御トランジスタの制御端子に上記制御信号が入力される構成とすることもできる。

[0135] 本シフトレジスタでは、出力トランジスタの半導体層に、酸化物半導体を用いられている構成とすることもできる。

[0136] 本シフトレジスタでは、第3中途段をさらに含み、第3中途段に、第1入力端子と、第2入力端子と、出力トランジスタを介して第1入力端子に接続された出力端子と、第2入力端子および出力トランジスタに接続し、出力トランジスタの制御端子の電位を設定する設定回路とが設けられ、上記第1入力端子と第2入力端子とに別位相のクロック信号が入力され、第3中途段に、上記設定回路に接続し、制御信号が入力される制御回路が設けられ、第3中途段の第1入力端子に入力されるクロック信号が動作期間開始後に初めてアクティブ化したときに、第3中途段の第2入力端子に入力されるクロック信号が非アクティブであり、上記第2中途段の制御回路に入力される制御信号と第3中途段の制御回路に入力される制御信号とが、異なる配線から供給される構成とすることもできる。

[0137] 本ドライバ回路は、上記シフトレジスタを備え、上記制御信号を伝達する制御配線と、第1入力端子に入力されるクロック信号を伝達する第1クロック配線と、第2入力端子に入力されるクロック信号を伝達する第2クロック配線とが設けられた構成である。

[0138] 本ドライバ回路では、上記制御配線がシフトレジスタと重ならないように

配されている構成とすることもできる。

[0139] 本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

産業上の利用可能性

[0140] 本発明の液晶表示装置は、例えば、各種液晶ディスプレイや液晶テレビに好適である。

符号の説明

[0141] LCD 液晶表示装置
SR1 第1シフトレジスタ
SR2 第2シフトレジスタ
GD ゲートドライバ
SD ソースドライバ
DCC 表示制御回路
GLm (m段に接続する) 走査信号線
UCm 単位回路 (m段)
CK1～CK4 入力端子
STM セット端子 (m段)
CTm 制御端子 (m段)
RTm リセット端子 (m段)
OTm 出力端子 (m段)
M1～M12 トランジスタ
SC 制御回路
AC 調整回路
A～D クロック信号CKA～CKDを供給する配線
a～d クロック信号CKa～CKdを供給する配線
X・Y スタートパルス信号SPX・SPY (制御信号) を供給する配線
x・y スタートパルス信号SPx・SPy (制御信号) を供給する配線

L・I 初期化信号 I N T L・I N T I を供給する配線

P 電源電位（V S S）を供給する配線

W・w 制御信号を供給する配線

P T 動作期間

N T 非動作期間

請求の範囲

- [請求項1] 初段、第1中途段、第2中途段、および末段を含み、
第1および第2中途段それぞれに、クロック信号が入力される第1入力端子と、上記クロック信号と別位相のクロック信号が入力される第2入力端子と、出力トランジスタを介して第1入力端子に接続された出力端子と、第2入力端子および出力トランジスタに接続し、出力トランジスタの制御端子の電位を設定する設定回路とが設けられ、第1入力端子と第2入力端子とに別位相のクロック信号が入力され、
第2中途段に、上記設定回路に接続し、制御信号が入力される制御回路が設けられ、
初段に入力されるシフト開始信号がアクティブになってから末段の出力がアクティブから非アクティブになるまでの期間を動作期間として、
第2中途段の第1入力端子に入力されるクロック信号が動作期間開始後に初めてアクティブ化したときに、第2中途段の第2入力端子に入力されるクロック信号が非アクティブであるシフトレジスタ。
- [請求項2] 第2中途段の第1入力端子に入力されるクロック信号および第2中途段の第2入力端子に入力されるクロック信号は、動作期間開始前に非アクティブに固定されている請求項1記載のシフトレジスタ。
- [請求項3] 第1中途段の第1入力端子に入力されるクロック信号が動作期間開始後に初めてアクティブ化したときに、第1中途段の第2入力端子に入力されるクロック信号が非アクティブではない請求項1記載のシフトレジスタ。
- [請求項4] 第1中途段には上記制御回路が設けられていない請求項1記載のシフトレジスタ。
- [請求項5] 第1中途段に、上記制御回路と同一構成を有し、制御信号のかわりに定電位信号が入力される調整回路が設けられた請求項1記載のシフトレジスタ。

- [請求項6] 上記第1中途段に、上記制御回路と同一構成を有し、初期化信号が入力される初期化回路が設けられた請求項1記載のシフトレジスタ。
- [請求項7] 上記制御信号として上記シフト開始信号が用いられる請求項1記載のシフトレジスタ。
- [請求項8] 上記設定回路に第1および第2設定トランジスタが含まれ、
第2入力端子が第1設定トランジスタを介して第2設定トランジスタの制御端子に接続されるとともに、出力トランジスタの制御端子が、第2設定トランジスタを介して定電位源に接続され、
第2入力端子に入力されるクロック信号がアクティブのときに、出力トランジスタがOFFする請求項1記載のシフトレジスタ。
- [請求項9] 上記制御回路に、第2設定トランジスタの制御端子に接続する制御トランジスタが含まれ、この制御トランジスタの制御端子に上記制御信号が入力される請求項8記載のシフトレジスタ。
- [請求項10] 上記制御回路に、出力トランジスタの制御端子に接続する制御トランジスタが含まれ、この制御トランジスタの制御端子に上記制御信号が入力される請求項8記載のシフトレジスタ。
- [請求項11] 出力トランジスタの半導体層に、酸化物半導体が用いられている請求項1記載のシフトレジスタ。
- [請求項12] 第3中途段をさらに含み、
第3中途段に、第1入力端子と、第2入力端子と、出力トランジスタを介して第1入力端子に接続された出力端子と、第2入力端子および出力トランジスタに接続し、出力トランジスタの制御端子の電位を設定する設定回路とが設けられ、上記第1入力端子と第2入力端子とに別位相のクロック信号が入力され、第3中途段に、上記設定回路に接続し、制御信号が入力される制御回路が設けられ、第3中途段の第1入力端子に入力されるクロック信号が動作期間開始後に初めてアクティブ化したときに、第3中途段の第2入力端子に入力されるクロック信号が非アクティブであり、

上記第2中途段の制御回路に入力される制御信号と第3中途段の制御回路に入力される制御信号とが、異なる配線から供給される請求項1記載のシフトレジスタ。

[請求項13] 請求項1～12のいずれか1項に記載のシフトレジスタを備え、上記制御信号を伝達する制御配線と、第1入力端子に入力されるクロック信号を伝達する第1クロック配線と、第2入力端子に入力されるクロック信号を伝達する第2クロック配線とが設けられたドライバ回路。

[請求項14] 上記制御配線がシフトレジスタと重ならないように配されている請求項13記載のドライバ回路。

[請求項15] 請求項1～12のいずれか1項に記載のシフトレジスタを備えた表示装置。