

明 細 書

発明の名称： 接合ウェーハの製造方法及び接合ウェーハ

技術分野

[0001] 本発明は、接合ウェーハの製造方法及び接合ウェーハに関する。

背景技術

[0002] GaAs基板やInP基板を用いて各種化合物半導体素子用のエピタキシャルウェーハ（EPW）が実現されている。GaAs基板は6インチ（150mm）、InP基板は4インチ（100mm）基板が最大直径である。

[0003] EPWを作製した後は電極を形成し、素子化を行う工程を実施する必要があるが、現在では8インチ（200mm）以上の直径の製造装置が主流で、6インチ以下の直径の装置を新規で入手することは難しい。そのため、小直径のウェーハを大直径用の装置を用いて素子工程を実施するため、様々な方法が提案されている。

[0004] ひとつは大直径のウェーハに小直径用の溝を切ってテンプレートとし、その上に化合物半導体ウェーハを乗せて工程を通す、というものである。この方法は簡便、かつ安価に実現できるが、テンプレートとウェーハ間が物理的に密着していないという問題がある。

[0005] また、フォトリソグラフィ工程では、レジスト感光前後にホットプレートにてウェーハに熱を加える工程が必要だが、テンプレートとの密着度が低くなると、テンプレートとウェーハとの間の熱抵抗が大きくなり、フォトリソ条件が安定化しない、という問題点がある。

[0006] 以上の問題を解決するためには、テンプレートウェーハとEPWを密着させる必要がある。特許文献1ではテンプレートウェーハとEPWをポリイミド仮固定材で接着し、プロセスを行う方法が開示されている。

[0007] この方法はテンプレートとの密着という点では優れた方法だが、デバイス工程後はテンプレートから剥離する必要があり、原理的に剥離後の表面に残渣が発生することから除去工程を加える必要がある。熱乖離や有機溶剤では

十分にポリイミドを除去しきれないために酸素プラズマアッシングを加える必要があるため、除去工程で化合物ウェーハ表面が酸化される問題がある。

[0008] また、化合物E P Wはヘテロエピ構造を有する。ヘテロエピでは成長温度にて格子定数が略一致する様に成長を行っており、室温まで低下した場合、熱膨張係数差に起因する反りが生じている。つまり、室温では化合物半導体エピ層には内部応力が発生している。この内部応力は温度により連続的に変化する。

[0009] 接合時の温度が高くなる程、室温に低下させた時の内部応力の差は大きくなる。テンプレートとなる被接合ウェーハがE P Wと異種材料である場合、原理的に熱膨張係数差による応力が化合物半導体ウェーハに印加される。

[0010] 被接合部材の熱膨張係数がE P W基板より小さい場合、接合時の温度から室温に低下させた際、E P W基板には引張応力がかかることになる。この引張応力が大きいほど、基板は割れやすくなる。

[0011] テンプレート基板がシリコンである場合、化合物半導体より熱膨張係数が小さいことから、熱を加えて接合した化合物半導体E P Wは、その温度を室温に低下させた後、引張応力がかかる。

[0012] 異径ウェーハへの接合の場合、200℃以上の温度で接合した場合、一般には化合物半導体に多数のクラックが入って化合物半導体E P Wが破壊される。これは、熱膨張係数差に起因する内部応力に起因する問題であり、普通に接合しただけではこの問題を解決できない。

先行技術文献

特許文献

[0013] 特許文献1：特許第6213977号

発明の概要

発明が解決しようとする課題

[0014] 本発明は上記の課題に鑑みてなされたもので、被接合ウェーハ上に小直径あるいは小サイズの化合物半導体エピタキシャルウェーハを接合してデバイ

スプロセス化可能とした基板を作製する際、エピタキシャル層のクラックの発生が抑制された接合ウェーハの製造方法を提供することを目的とする。

課題を解決するための手段

- [0015] 上記目的を達成するために、本発明は、成長基板上に化合物半導体をエピタキシャル成長させた化合物半導体ウェーハと被接合ウェーハを接合する接合ウェーハの製造方法であって、前記被接合ウェーハの接合面の面積を前記化合物半導体ウェーハの接合面の面積より大きくし、前記被接合ウェーハと前記化合物半導体ウェーハのエピタキシャル成長した化合物半導体側を接合面として接合した後、前記成長基板を除去する接合ウェーハの製造方法を提供する。
- [0016] このような接合ウェーハの製造方法によれば、被接合ウェーハ上に小直径あるいは小サイズの化合物半導体ウェーハを接合してデバイスプロセス化可能とした基板を作製する際、接合後成長基板を除去することで、エピタキシャル層のクラックの発生が抑制された接合ウェーハとすることができる。
- [0017] このとき、前記被接合ウェーハと前記化合物半導体ウェーハとの接合を、何も介さない直接接合、金属を介する金属接合、及び樹脂または高分子を介して接合する方法のいずれかとするのが好ましい。
- [0018] このような接合方法であれば、比較的容易に接合でき、接合したまま最終的にデバイス素子として使用することができる。
- [0019] このとき、前記金属をAu, Ag, Al, In, Gaのうち少なくとも1種類以上含むことが好ましい。また、前記樹脂または高分子を、ベンゾシクロブテン、ポリイミド、TEOSを用いたガラスとすることが好ましい。
- [0020] このようにすれば、接合時の接合不良の発生を抑制することができる。
- [0021] このとき、前記化合物半導体ウェーハの中心と被接合ウェーハの中心のずれを5 mm以下として配置し接合することが好ましい。
- [0022] このようにすれば、更にクラックの発生を抑制することができる。
- [0023] 前記成長基板が除去された化合物半導体ウェーハの総厚を15 μ m以下とする。

[0024] このようにすれば、より確実にクラックの発生を抑制することができる。

[0025] 前記被接合ウェーハをシリコン、サファイア、石英とすることが好ましい。

[0026] このようにすれば、安価な接合ウェーハとすることができる。

[0027] また、本発明は、化合物半導体ウェーハに該化合物半導体ウェーハの接合面の面積より面積が大きい被接合ウェーハが接合された接合ウェーハであって、前記化合物半導体ウェーハの総厚が $15\text{ }\mu\text{m}$ 以下のものである接合ウェーハを提供する。

[0028] このような接合ウェーハであれば、エピタキシャル層のクラックの発生が抑制された接合ウェーハとすることができる。

発明の効果

[0029] 以上のように、本発明の接合ウェーハの製造方法によれば、被接合ウェーハ上に小直径あるいは小サイズの化合物半導体エピタキシャルウェーハを接合してデバイスプロセス化可能とした基板を作製する際、接合後成長基板を除去することで薄膜化を計り、エピタキシャル層のクラックの発生が抑制された接合ウェーハを製造することができる。また、本発明の接合ウェーハであれば、エピタキシャル層のクラックの発生が抑制された接合ウェーハとすることができる。

図面の簡単な説明

[0030] [図1]本発明の接合ウェーハの製造方法に用いることができる化合物半導体ウェーハ（EPW）の概略断面図の一例を示す図である（第一の実施形態）。

[図2]第一の実施形態における化合物半導体ウェーハ（EPW）と被接合ウェーハの一例を示す図である。

[図3]第一の実施形態における化合物半導体ウェーハ（EPW）と被接合ウェーハを接合した一例を示す図である。

[図4]第一の実施形態における円形状の化合物半導体ウェーハ（EPW）とその中心点（黒丸）を示す図である。

[図5]第一の実施形態における円形状の被接合ウェーハとその中心点（黒丸）

を示す図である。

[図6]第一の実施形態における矩形状の化合物半導体ウェーハ（E P W）とその中心点（黒丸）を示す図である。

[図7]第一の実施形態における化合物半導体ウェーハ（E P W）を被接合ウェーハに接合した後、成長基板を取り除いた一例を示す図である。

[図8]第一の実施形態における化合物半導体ウェーハ（E P W）を被接合ウェーハに接合した後、成長基板を取り除いた後、シリコンウェーハで被覆した一例を示す図である。

[図9]本発明の接合ウェーハの製造方法に用いることができる化合物半導体ウェーハ（E P W）の概略断面図の一例を示す図である（第二の実施形態）。

[図10]第二の実施形態における化合物半導体ウェーハ（E P W）表面にT i層とA u層を蒸着した一例を示す図である。

[図11]第二の実施形態における被接合ウェーハ表面にT i層とA u層を蒸着した一例を示す図である。

[図12]第二の実施形態における表面にT i層とA u層が蒸着された化合物半導体ウェーハ（E P W）と表面にT i層とA u層が蒸着された被接合ウェーハの一例を示す図である。

[図13]第二の実施形態における表面にT i層とA u層が蒸着された化合物半導体ウェーハ（E P W）と表面にT i層とA u層が蒸着された被接合ウェーハを接合した一例を示す図である。

[図14]第二の実施形態における円形状の化合物半導体ウェーハ（E P W）とその中心点（黒丸）を示す図である。

[図15]第二の実施形態における円形状の被接合ウェーハとその中心点（黒丸）を示す図である。

[図16]第二の実施形態における矩形状の化合物半導体ウェーハ（E P W）とその中心点（黒丸）を示す図である。

[図17]第二の実施形態における表面にT i層とA u層が蒸着された化合物半導体ウェーハ（E P W）と表面にT i層とA u層が蒸着された被接合ウェー

ハを接合した後、成長基板を取り除いた一例を示す図である。

[図18]本発明の接合ウェーハの製造方法に用いることができる化合物半導体ウェーハ（E P W）の概略断面図の一例を示す図である（第三の実施形態）。

[図19]第三の実施形態における表面にB C B膜が形成された化合物半導体ウェーハ（E P W）と被接合ウェーハの一例を示す図である。

[図20]第三の実施形態における表面にB C B膜が形成された化合物半導体ウェーハ（E P W）を被接合ウェーハに接合した一例を示す図である。

[図21]第三の実施形態における円形状の化合物半導体ウェーハ（E P W）とその中心点（黒丸）を示す図である。

[図22]第三の実施形態における円形状の被接合ウェーハとその中心点（黒丸）を示す図である。

[図23]第三の実施形態における矩形状の化合物半導体ウェーハ（E P W）とその中心点（黒丸）を示す図である。

[図24]第三の実施形態における表面にB C B膜が形成された化合物半導体ウェーハ（E P W）を被接合ウェーハに接合した後、成長基板を取り除いた一例を示す図である。

[図25]化合物半導体ウェーハの中心と被接合ウェーハの中心からのズレとクラック本数の関係を示した図である。

[図26]化合物半導体ウェーハの中心からの距離とウェーハの高さの関係を示した図である（実施例4、比較例）。

発明を実施するための形態

[0031] 本発明者らは、上記課題について鋭意検討を重ねた結果、成長基板上に化合物半導体をエピタキシャル成長させた化合物半導体ウェーハと被接合ウェーハを接合する接合ウェーハの製造方法であって、被接合ウェーハの接合面の面積を化合物半導体ウェーハの接合面の面積より大きくし、被接合ウェーハと化合物半導体ウェーハのエピタキシャル成長した化合物半導体側を接合面として接合した後、成長基板を除去する接合ウェーハの製造方法により、

被接合ウェーハ上に小直径あるいは小サイズの化合物半導体ウェーハを接合してデバイスプロセス化可能とした基板を作製する際、エピタキシャル層のクラックの発生が抑制された接合ウェーハを製造できることを見出し、本発明を完成した。

[0032] また、化合物半導体ウェーハに化合物半導体ウェーハの接合面の面積より面積が大きい被接合ウェーハが接合された接合ウェーハであって、化合物半導体ウェーハの総厚が $15\mu\text{m}$ 以下のものである接合ウェーハであれば、エピタキシャル層のクラックの発生が抑制された接合ウェーハとすることができ、本発明を完成した。

[0033] 以下、図を用いて本発明の接合ウェーハ、及び接合ウェーハに用いることができる接合ウェーハの製造方法を詳細に説明するが、本発明はこれらに限定されるものではない。

[0034] (第一の実施形態)

図1に示すように、例えば $550\mu\text{m}$ 厚の直径6インチのGaAsを成長基板(出発基板)101とし、例えばMOVPE法でAlGaInP系からなる発光ダイオード機能層103と成長基板と発光ダイオード機能層との間にInGaPまたはInAlPまたはAlGaInPからなる $0.1\mu\text{m}$ 厚のエッチストップ(ES)層102を形成した化合物半導体ウェーハ(EPW)110を準備する。

[0035] AlGaInP系からなる発光ダイオード機能層103は出発基板101側から順に、例えば $1\mu\text{m}$ 厚のキャリア濃度が $1\times 10^{17}/\text{cm}^3$ 程度であるp型 $\text{Al}_{1-y}\text{In}_y\text{P}$ 層1031($0.4\leq y\leq 0.5$)、 $0.6\mu\text{m}$ 厚の($\text{Al}_{1-x}\text{Ga}_x$) $_{1-y}\text{In}_y\text{P}$ 層(活性層)1032($0.45\leq x\leq 1$, $0.4\leq y\leq 0.5$)、 $1\mu\text{m}$ 厚のキャリア濃度が $1\times 10^{17}/\text{cm}^3$ 程度であるn型 $\text{Al}_{1-y}\text{In}_y\text{P}$ 層1033($0.4\leq y\leq 0.5$)とすることができる。なお、ここでは基本構造を例示しているが、p型 $\text{Al}_{1-y}\text{In}_y\text{P}$ 層1031、活性層1032、n型 $\text{Al}_{1-y}\text{In}_y\text{P}$ 層1033の厚さは例示した数値に限定されるものではない。

- [0036] また、キャリア濃度は求める機能によって $3 \times 10^{18} / \text{cm}^3$ 程度までの範囲で設定可能である。また、キャリア濃度プロファイルも一様分布に限定されない。また、例示したキャリア濃度は平均的なキャリア濃度であり、部分的にキャリア濃度が低い（たとえば $0.7 \times 10^{15} / \text{cm}^3$ 程度）状態を概念として含むことはいうまでもない。
- [0037] また、必要に応じて窓層を設けても良い。窓層は AlGaInP 系発光ダイオード機能層構造では GaP を選択することが適しており、GaP から成る窓層 1035 を $10 \mu\text{m}$ 厚程度で積層してもよい。また、窓層 1035 と発光ダイオード機能層機能層 103 との間にはバンド帯不連続量を緩和する $\text{Ga}_{1-y}\text{In}_y\text{P}$ 層 ($0 < y < 1$) からなる緩和層 1034 を設けてもよい。
- [0038] また、ここでは AlGaInP 系発光ダイオード機能層を例示したが、GaAs 基板に格子整合する材料系であれば、どのような機能、構造も選択可能であり、AlGaInP 系半導体レーザーの他、InGaP 系ヘテロバイポーラトランジスタや電界効果トランジスタ、InGaP/GaAs 系太陽電池、GaAsP 系フォトダイオード、等でも適用可能である。
- [0039] また、InP 基板に格子整合する材料系であれば、InGaAs 系ヘテロバイポーラトランジスタや電界効果トランジスタ、InGaAs 系発光素子（半導体レーザー及び発光ダイオード）InGaAs (P) 系フォトダイオード、等が適用可能である。
- [0040] また、上記の適用可能な機能層はあくまで例示であり、この材料系及び用途に特に限定されない。
- [0041] このとき、窓層を設けた場合を含めた機能層の総厚、即ち、後述する成長基板が除去された化合物半導体ウェーハの総厚を $15 \mu\text{m}$ 以下とすることが好ましい。このようにすれば、ウェーハの反りが増大せず、クラックの発生を抑制でき、接合時にウェーハ割れによる歩留まりの低下を抑制することができる。より好ましくは、総厚を $7 \mu\text{m}$ 以下の膜厚に収めるように設計すれば、クラックの発生をより抑制することができる。総厚の下限値は特に限定されないが、 $0.5 \mu\text{m}$ 以上とすることが好ましい。

[0042] 次に図2に示すように被接合ウェーハ120を準備する。このとき、被接合ウェーハを平坦度が十分なウェーハ、例えばシリコン、サファイア、石英とすることが好ましい。このようにすれば、被接合ウェーハのコストを安価にすることができる。被接合ウェーハ120は、例えば直径8インチのシリコンウェーハを用いることができる。

[0043] 本発明では、被接合ウェーハの接合面の面積を化合物半導体ウェーハの接合面の面積より大きくする。なお第一の実施形態では、円形ウェーハを例に挙げているがウェーハ形状は特に限定されず、例えば、矩形状、正方形等としてもよい。

[0044] 次に、EPW110と被接合ウェーハ120の両方にアルカリ系溶剤でウェット表面処理を施す。例えば、5wt% NaOH水溶液中に10分間浸した後、リンス処理を行い、空気中で乾燥処理を施すことができる。

[0045] このとき、化合物半導体ウェーハと被接合ウェーハを直接、接合することが好ましい。このようにすれば、接合時の接合不良による歩留まりの低下を抑制することができる。

図2、3に示すように、EPW110と被接合ウェーハ120の双方を、EPW110のエピタキシャル面131と被接合ウェーハ120のポリッシュ面121を対向する形で重ね合わせて接合機内に導入し、200℃にて真空雰囲気下、接合を行い、接合基板150を作製する。

[0046] このとき、化合物半導体ウェーハの中心と被接合ウェーハの中心のずれを5mm以下として配置し接合することが好ましい。このようにすれば、クラックの発生を抑制することができる。

即ち、第一の実施形態では、接合の際、図4に示すEPW110の中心点1101を、図5に示す被接合ウェーハ120の中心点1201からのズレを5mm以下に抑える位置に配置することが好ましい。

[0047] 丸形状のウェーハの場合の中心は明確であるが、図6に示すような矩形等で丸形状でないウェーハ110の場合、中心点1101は重心に置き換えて定義する。（たとえば、矩形の場合は対角線の交点が変わる点を中心点11

01と定義する。)

[0048] 被接合ウェーハと化合物半導体ウェーハのエピタキシャル成長した化合物半導体側を接合面として接合する。接合時の圧力は、EPW110に印加される圧力を基準に、 5 N/cm^2 以上 400 N/cm^2 以下で行うことができる。

例示した印加圧力は、この範囲に限定されるものではなく、小直径のEPW110が印加圧力に耐える条件（基板の厚さを増加する、等）下で行う場合、例示範囲に限定されるものではなく、この範囲以上に増やしても適用可能であることはいうまでもない。

[0049] また、アルカリ処理を施された表面は接触することで接合が進むため、例示した圧力よりも低い圧力でも接合は可能である。たとえば、両者のウェーハ間に干渉材を入れておき、真空中で干渉材を抜くことで両者のウェーハを接触させる、などの方法が考えられる。この場合、圧力は印加されない。この工程の段階では必ずしも圧力印加は必要ではないため、開示した真空中で両者を接触させる方法も選択可能である。

[0050] 次に接合基板150より、出発基板101をウェットエッチングで除去する。ウェットエッチングは、アンモニアと過酸化水素水（APM）との混合液にて行う。APM液はES層102に対してエッチング選択性を有するため、GaAsのみをエッチングし、ES層102でエッチングは停止する。そのため、図7に示すように、接合基板150より成長基板であるGaAs基板のみを除去した出発基板除去ウェーハ160を得ることができる。

[0051] 次に、図8に示すように、基板除去面に直径6インチのシリコンウェーハ170を被覆する。ここではシリコンウェーハを被覆材に選択したが、平坦性が確保され、かつ、安価な材料なものが好ましくシリコンに限定されない。また、シリコンウェーハ170は直径6インチのシリコンに限定されるものではなく、被接合材120の直径に合わせた直径8インチ以上のウェーハも選択可能である。どちらのウェーハを選択しても結果に差異は生じない。

[0052] 被覆ウェーハを乗せた接合ウェーハを真空雰囲気下にて圧着し、 500°C

以下の温度で熱処理する。圧着圧力は 5 N/cm^2 以上 400 N/cm^2 以下で行う。熱処理時間は5分程度とすることができる。熱処理時間は長いほど強度は高めることができるが、本工程では、次工程の熱処理時にエピタキシャル層が剥離しない程度の強度が保てれば良く、開示した以上の熱処理を行ってもよい。

[0053] 次に、シリコンウェーハ170を除去し、熱処理炉に出発基板除去ウェーハ160を導入する。熱処理炉は基板除去面の材料に合わせた雰囲気とする。第一の実施形態ではInGaP層が露出しているため、P雰囲気 ($1 \times 10^5 \text{ atm}$) にて熱処理を行ったが、InP基板を用いた場合はGaAs等のAs系が露出しているため、その際はAs雰囲気 ($1 \times 10^5 \text{ atm}$) にて熱処理を行う。熱処理の温度は $600 \sim 800^\circ\text{C}$ で行う。熱処理の温度は高い方がより短時間で高い強度を得られるため、高い方が好ましいが、その分、高いV族圧力が必要となるため、製造する系や設計等に適宜合わせてよい。

[0054] 以上の工程を行うことにより、接合強度が強く、大直径シリコン基板上にクラックの無い薄膜化合物エピ機能層のみが存在するウェーハを実現することができる。

[0055] (第二の実施形態)

図9に示すように、例えば $550 \mu\text{m}$ 厚の直径6インチのGaAsを成長基板(出発基板)201とし、例えばMOVPE法でAlGaInP系からなる発光ダイオード機能層203と出発基板と機能層との間にInGaPまたはInAlPまたはAlGaInPからなる $0.1 \mu\text{m}$ 厚のエッチストップ(ES)層202を形成した化合物半導体ウェーハ(EPW)210を準備する。

[0056] AlGaInP系からなる発光ダイオード機能層203は出発基板201側から順に、例えば $1 \mu\text{m}$ 厚のキャリア濃度が $1 \times 10^{17} / \text{cm}^3$ 程度であるp型 $\text{Al}_{1-y}\text{In}_y\text{P}$ 層2031 ($0.4 \leq y \leq 0.5$)、 $0.6 \mu\text{m}$ 厚の ($\text{Al}_{1-x}\text{Ga}_x$) In_yP 層(活性層)2032 ($0.45 \leq x \leq 1$, $0.4 \leq y \leq 0.5$)、 $1 \mu\text{m}$ 厚のキャリア濃度が $1 \times 10^{17} / \text{cm}^3$ 程度である

n型Al_{1-y}In_yP層2033 ($0.4 \leq y \leq 0.5$)とすることができる。なお、ここでは基本構造を例示しているが、p型Al_{1-y}In_yP層2031、活性層2032、n型Al_{1-y}In_yP層2033の厚さは例示した数値に限定されるものではない。

[0057] また、キャリア濃度は求める機能によって $3 \times 10^{18} / \text{cm}^3$ 程度までの範囲で設定可能である。また、キャリア濃度プロファイルも一様分布に限定されない。また、例示したキャリア濃度は平均的なキャリア濃度であり、部分的にキャリア濃度が低い（たとえば $0.7 \times 10^{15} / \text{cm}^3$ 程度）状態を概念として含むことはいうまでもない。

[0058] また、必要に応じて窓層を設けても良い。窓層はAlGaInP系発光ダイオード機能層構造ではGaPを選択することが適しており、GaPから成る窓層2035を $10 \mu\text{m}$ 厚程度で積層してもよい。また、窓層2035と発光ダイオード機能層203との間にはバンド帯不連続量を緩和するGa_{1-y}In_yP層 ($0 < y < 1$) からなる緩和層2034を設けてもよい。

[0059] また、ここではAlGaInP系発光ダイオード機能層を例示したが、GaAs基板に格子整合する材料系であれば、どのような機能、構造も選択可能であり、AlGaInP系半導体レーザーの他、InGaP系ヘテロバイポーラトランジスタや電界効果トランジスタ、InGaP/GaAs系太陽電池、GaAsP系フォトダイオード、等でも適用可能である。

[0060] また、InP基板に格子整合する材料系であれば、InGaAs系ヘテロバイポーラトランジスタや電界効果トランジスタ、InGaAs系発光素子（半導体レーザー及び発光ダイオード）、InGaAs(P)系フォトダイオード、等が適用可能である。

[0061] また、上記適用可能な機能層はあくまで例示であり、この材料系及び用途に限定されない。

[0062] このとき、窓層を設けた場合を含めて機能層の総厚、即ち、後述する成長基板が除去された化合物半導体ウェーハの総厚を $15 \mu\text{m}$ 以下とすることが好ましい。このようにすれば、ウェーハの反りが増大せず、クラックの発生

を抑制でき、接合時にウェーハ割れによる歩留まりの低下を抑制することができる。より好ましくは、総厚を $7\mu\text{m}$ 以下の膜厚に収めるように設計すれば、クラックの発生をより抑制することができる。総厚の下限値は特に限定されないが、 $0.5\mu\text{m}$ 以上とすることが好ましい。

[0063] 次に、被接合ウェーハ220を準備する。このとき、被接合ウェーハを平坦度が十分なウェーハ、例えばシリコン、サファイア、石英とすることが好ましい。このようにすれば、被接合ウェーハのコストを抑制することができる。被接合ウェーハ220は、直径8インチのシリコンウェーハを用いることができる。

[0064] 本発明では、被接合ウェーハの接合面の面積を化合物半導体ウェーハの接合面の面積より大きくする。なお第二の実施形態では、円形ウェーハを例に挙げているがウェーハ形状は特に限定されず、例えば、矩形状、正方形等としてもよい。

[0065] このとき、被接合ウェーハと化合物半導体ウェーハの接合を、金属を介する金属接合とすることが好ましい。このようにすれば、比較的容易に接合でき、接合したまま最終的にデバイス素子として使用することができる。

[0066] 図10及び図11に示すようにEPW210と被接合ウェーハ220の双方に金属膜を蒸着する。EPW210上に、例えばTi層211を $0.1\mu\text{m}$ 、Au層212を $1\mu\text{m}$ の蒸着膜を設け、シリコンウェーハ上には例えばTi層221を $0.1\mu\text{m}$ 、Au層222を $1\mu\text{m}$ の蒸着膜を設けることができる。ここでは前述の構造及び膜厚を例示したが、接合に要すればどのような材料も選択可能であることはいうまでもない。

[0067] このとき、金属接合の金属としてAu, Ag, Al, In, Gaのうち少なくとも1種類以上含むことが好ましい。このようにすれば、接合時の接合不良による歩留まりの低下を抑制することができる。

[0068] 接合時の接合不良を低下させ歩留まりを上げるためには、最上層（例示した実施形態ではAu）の材料は、Au, Ag, Al, In, Gaのうち少なくとも1種類以上含むことが望ましく、かつ、その膜厚は $0.3\mu\text{m}$ 以上で

あることが望ましい。また、接合歩留まりの点で、膜厚を厚くすることに制約はないが、厚くしても歩留まりの点では効果は同様であり、経済性によって膜厚の上限は決められる。経済性の観点から $3\text{ }\mu\text{m}$ 以下であることが望ましい。

[0069] 次に図12及び図13に示すようにEPW210と被接合ウェーハ220の双方を、EPWのAu層212と被接合ウェーハのAu層222を対向する形で重ね合わせて接合機内に導入し、接合を行い、接合基板250を作製する。

[0070] このとき、化合物半導体ウェーハの中心と被接合ウェーハの中心のずれを 5 mm 以下として配置し接合することが好ましい。このようにすれば、クラックの発生をより抑制することができる。

即ち、第二の実施形態では、接合の際、図14に示すEPW210の中心点2101を、図15に示す被接合ウェーハ220の中心点2201からのズレを 5 mm 以下に抑える位置に配置することが好ましい。

[0071] 丸形状のウェーハの場合の中心は明確であるが、図16に示すような矩形等で丸形状でないウェーハ210の場合、中心点2101は重心に置き換えて定義する。（たとえば、矩形の場合は対角線の交点が変わる点を中心点2101と定義する。）

[0072] 被接合ウェーハと化合物半導体ウェーハのエピタキシャル成長した化合物半導体側を接合面として接合する。接合時の圧力は、小直径の化合物EPWに印加される圧力を基準に、 5 N/cm^2 以上 400 N/cm^2 以下で行うことができる。また同時に、 400°C 以下の温度を印加することができる。例示した印加圧力は、この範囲に限定されるものではなく、小直径のEPW210が印加圧力に耐える条件（基板の厚さを増加する、等）下で行う場合、例示範囲に限定されるものではなく、この範囲以上に増やしても適用可能である。また、ここでは圧力印加と加熱を同時に行っているが、印加のみを実施し、その後、熱を加えるなどの様に、圧力印加と熱処理を分離して行ってもよい。

[0073] 次に図13に示す接合基板250より、出発基板201をウェットエッチングで除去する。ウェットエッチングは、アンモニアと過酸化水素水（APM）との混合液にて行う。APM液はES層202に対してエッチング選択性を有するため、GaAsのみをエッチングし、ES層202でエッチングは停止する。そのため、図17に示すように、接合基板250より成長基板であるGaAs基板のみを除去した出発基板除去ウェーハ260を得ることができる。

また、ここでは基板除去前に熱処理を加える例を例示しているが、基板除去後において熱処理を加えても同様の効果が得られる。

[0074] 以上の工程を行うことにより、接合強度が強く、大直径シリコン基板上にクラックの無い薄膜化合物エピ機能層のみが存在するウェーハを実現することができる。

[0075] （第三の実施形態）

図18に示すように、例えば550 μ m厚の直径6インチのGaAsを成長基板（出発基板）301とし、AlGaInP系からなる発光ダイオード機能層303と出発基板と機能層との間にInGaPまたはInAlPまたはAlGaInPからなる0.1 μ m厚のエッチストップ（ES）層302を有する化合物半導体エピウェーハ（EPW）310を準備する。

[0076] AlGaInP系からなる発光ダイオード機能層303は出発基板301側から順に、例えば1 μ m厚のキャリア濃度が $1 \times 10^{17} / \text{cm}^3$ 程度であるp型 $\text{Al}_{1-y}\text{In}_y\text{P}$ 層3031（ $0.4 \leq y \leq 0.5$ ）、0.6 μ m厚の（ $\text{Al}_{1-x}\text{Ga}_x$ ） $_{1-y}\text{In}_y\text{P}$ 層（活性層）3032（ $0.45 \leq x \leq 1$, $0.4 \leq y \leq 0.5$ ）、1 μ m厚のキャリア濃度が $1 \times 10^{17} / \text{cm}^3$ 程度であるn型 $\text{Al}_{1-y}\text{In}_y\text{P}$ 層3033（ $0.4 \leq y \leq 0.5$ ）とすることができる。なお、ここでは基本構造を例示しているが、p型層3031、活性層3032、n型層3033の厚さは例示した数値に限定されるものではない。

[0077] また、キャリア濃度は求める機能によって $3 \times 10^{18} / \text{cm}^3$ 程度までの範囲で設定可能である。また、キャリア濃度プロファイルも一様分布に限定さ

れない。また、例示したキャリア濃度は平均的なキャリア濃度であり、部分的にキャリア濃度が低い（たとえば $0.7 \times 10^{15} / \text{cm}^3$ 程度）状態を概念として含むことはいうまでもない。

[0078] また、必要に応じて窓層を設けても良い。窓層はAlGaInP系発光ダイオード機能層構造ではGaPを選択することが適しており、GaPから成る窓層3035を $10 \mu\text{m}$ 厚で積層した。また、窓層3035と発光ダイオード機能層303との間にはバンド帯不連続量を緩和する $\text{Ga}_{1-y}\text{In}_y\text{P}$ 層（ $0 < y < 1$ ）からなる緩和層3034を設けてもよい。

[0079] また、ここではAlGaInP系発光ダイオード機能層を例示したが、GaAs基板に格子整合する材料系であれば、どのような機能、構造も選択可能であり、AlGaInP系半導体レーザーの他、InGaP系ヘテロバイポーラトランジスタや電界効果トランジスタ、InGaP/GaAs系太陽電池、GaAsP系フォトダイオード、等でも適用可能である。

[0080] また、InP基板に格子整合する材料系であれば、InGaAs系ヘテロバイポーラトランジスタや電界効果トランジスタ、InGaAs系発光素子（半導体レーザー及び発光ダイオード）、InGaAs（P）系フォトダイオード、等が適用可能である。

[0081] また、上記の適用可能な機能層はあくまで例示であり、この材料系及び用途に限定されない。

[0082] このとき、窓層を設けた場合を含めて機能層の総厚、即ち、後述する成長基板が除去された化合物半導体ウェーハの総厚を $15 \mu\text{m}$ 以下とすることが好ましい。このようにすれば、ウェーハの反りが増大せず、クラックの発生を抑制でき、接合時にウェーハ割れによる歩留まりの低下を抑制することができる。より好ましくは、総厚を $7 \mu\text{m}$ 以下の膜厚に収めるように設計すれば、クラックの発生をより抑制することができる。総厚の下限値は特に限定されないが、 $0.5 \mu\text{m}$ 以上とすることが好ましい。

[0083] 次に図19に示すように被接合ウェーハ320を準備する。このとき、被接合ウェーハを平坦度が十分なウェーハ、例えばシリコン、サファイア、石

英とすることが好ましい。このようにすれば、被接合ウェーハのコストを抑制することができる。被接合ウェーハ320は、例えば直径8インチのシリコンウェーハを用いることができる。

[0084] 本発明では、被接合ウェーハの接合面の面積を化合物半導体ウェーハの接合面の面積より大きくする。なお第三の実施形態では、円形ウェーハを例に挙げているがウェーハ形状は特に限定されず、例えば、矩形状、正方形等としてもよい。

[0085] このとき、被接合ウェーハと化合物半導体ウェーハの接合を、樹脂または高分子を介して接合することが好ましい。このようにすれば、比較的容易に接合でき、接合したまま最終的にデバイス素子として使用することもできる。

[0086] また、このとき、樹脂または高分子を、ベンゾシクロブテン、ポリイミド、TEOSを用いたガラスとすることが好ましい。このようにすれば、接合時の接合不良による歩留まりの低下をより抑制することができる。

[0087] EPW310上にベンゾシクロブテン(BCB)をスピンコートする。粘度とスピン数を調整し、BCB膜311を例えば3 μ m厚程度、形成する。ここでは、BCB膜311はEPW310上にのみ形成した場合を例示しているが、EPW310、被接合ウェーハ320双方に形成しても良く、あるいは、被接合ウェーハ320のみに形成しても同様の効果が得られる。

[0088] また、ここでは、BCB厚が3 μ mの場合を例示したが、粘度を調整することによって、0.5~20 μ m程度まで膜厚を変更することが可能である。しかし、BCB膜厚の増大は熱抵抗を増大させるため、0.5~20 μ m程度までとすることが好ましい。更に、厚いBCB膜を形成することはコストアップ要因にもつながる。以上の観点から12 μ m以下の膜厚とすることが適切であるが、この範囲を超えてもよい。

[0089] また、ここでは、BCBをスピンコートする場合を例示したが、BCBの他、ポリイミド(PI)をスピンコートしても良い。また、EPW310上、あるいは被接合ウェーハ320上、あるいはEPW310及び被接合ウェーハ320上に形成してもよい。

ーハ320の双方の上に、ポラスシリコン膜あるいはその他の多孔質膜を形成した上で、TEOSをスピコートすることでも同様の効果が得られる。

[0090] 次に図19及び図20に示すようにEPW310と被接合ウェーハ320の双方を、EPWのBCB層311と被接合ウェーハの表面321を対向する形で重ね合わせて接合機内に導入し、接合を行い、接合基板350を作製する。

[0091] このとき、化合物半導体ウェーハの中心と被接合ウェーハの中心のずれを5mm以下として配置し接合することが好ましい。このようにすれば、クラックの発生を抑制することができる。

即ち、第三の実施形態では、接合の際、図21に示すEPW310の中心点3101を、図22に示す被接合ウェーハ320の中心点3201からのズレを5mm以下に抑える位置に配置することが好ましい。

[0092] 丸形状のウェーハの場合の中心は明確であるが、図23に示すような矩形等で丸形状でないウェーハ310の場合、中心点3101は重心に置き換えて定義する。（たとえば、矩形の場合は対角線の交点が変わる点を中心点3101と定義する。）

[0093] 被接合ウェーハと化合物半導体ウェーハのエピタキシャル成長した化合物半導体側を接合面として接合する。接合時の圧力は、小直径の化合物EPWに印加される圧力を基準に、 5 N/cm^2 以上 400 N/cm^2 以下で行うことができる。例示した印加圧力は、この範囲に限定されるものではなく、小直径のEPW310が印加圧力に耐える条件（基板の厚さを増加する、等）下で行う場合、例示範囲に限定されるものではなく、この範囲以上に増やしても適用可能である。また、ここでは圧力印加と加熱を同時に行ってよく、印加のみを実施し、その後、熱を加えるなどの様に、圧力印加と熱処理を分離して行っても同様の効果が得られる。

[0094] 次に接合基板350より、出発基板301をウェットエッチングで除去する。ウェットエッチングは、アンモニアと過酸化水素水（APM）との混合

液にて行う。APM液はES層302に対してエッチング選択性を有するため、GaAsのみをエッチングし、ES層302でエッチングは停止する。そのため、図24に示すように、接合基板350より成長基板であるGaAs基板のみを除去した出発基板除去ウェーハ360を得ることができる。

また、ここでは、基板除去後に熱処理を加えない例を例示しているが、基板除去後において熱処理を加えても同様の効果が得られることは言うまでもない。

[0095] 以上の工程を行うことにより、接合強度が強く、大直径シリコン基板上にクラックの無い薄膜化合物エピタキシャル機能層のみが存在するウェーハを実現することができる。

実施例

[0096] 以下、実施例を挙げて本発明について詳細に説明するが、これは本発明を限定するものではない。

[0097] (実施例1)

550 μ m厚の直径6インチ(150mm)のGaAsを成長基板(出発基板)101とし、AlGaInP系からなる発光ダイオード機能層103と出発基板と発光ダイオード機能層との間にInGaPからなる0.1 μ m厚のエッチストップ(ES)層102を有するエピウェーハ(EPW)110を準備した。

[0098] AlGaInP系からなる発光ダイオード機能層103は出発基板101側から順に1 μ m厚のキャリア濃度が $1 \times 10^{17}/\text{cm}^3$ 程度であるp型 $\text{Al}_{1-y}\text{In}_y\text{P}$ 層1031($0.4 \leq y \leq 0.5$)、0.6 μ m厚の $(\text{Al}_{1-x}\text{Ga}_x)_{1-y}\text{In}_y\text{P}$ 層(活性層)1032($0.45 \leq x \leq 1$, $0.4 \leq y \leq 0.5$)、1 μ m厚のキャリア濃度が $1 \times 10^{17}/\text{cm}^3$ 程度であるn型 $\text{Al}_{1-y}\text{In}_y\text{P}$ 層1033($0.4 \leq y \leq 0.5$)とした。

[0099] また、GaPから成る窓層1035を10 μ m厚で積層した。また、窓層1035と機能層103との間にはバンド帯不連続量を緩和する $\text{Ga}_{1-y}\text{In}_y\text{P}$ 層($0 < y < 1$)からなる緩和層1034を設けた。

- [0100] 被接合ウェーハ120として直径8インチ（200mm）のシリコンウェーハを用いた。
- [0101] 次に、EPW110と被接合ウェーハ120の両方にアルカリ系溶剤でウェット表面処理を施した。本実施例においては、5wt% NaOH水溶液中に10分間浸した後、リンス処理を行い、空气中で乾燥処理を施した。
- [0102] EPW110と被接合ウェーハ120の双方を、EPW110のエピタキシャル面131と被接合ウェーハ120のポリッシュ面121を対向する形で重ね合わせて接合機内に導入し、200℃にて真空雰囲気下、接合を行い、接合基板150を作製した。
- [0103] 接合の際、EPW110の中心点1101は、被接合ウェーハ120の中心点1201からのズレを1～9mmまで1mm刻みで変化させて接合した。また、接合時の圧力は、50N/cm²とした。以上を表1に示す。
- [0104]

[表1]

	実施例 1	実施例 2	実施例 3
成長基板	GaAs	GaAs	GaAs
成長基板の厚み [μm]	550	550	550
成長基板の直径 [インチ]	6	6	6
エッチストップ層	InGaP	InGaP	InGaP
エッチストップ層 の厚み [μm]	0.1	0.1	0.1
機能層	AlGaInP系	AlGaInP系	AlGaInP系
p型Al _{1-y} In _y P層 の厚み [μm]	1	1	1
活性層の厚み [μm]	0.6	0.6	0.6
n型Al _{1-y} In _y P層 の厚み [μm]	1	1	1
窓層	GaP	GaP	GaP
窓層の厚み [μm]	10	10	10
緩和層	Ga _{1-y} In _y P	Ga _{1-y} In _y P	Ga _{1-y} In _y P
被接合ウェーハ	シリコン	シリコン	シリコン
被接合ウェーハ の直径 [インチ]	8	8	8
接合方法	直接接合	金属接合	樹脂または高分子
接合基材		Au	BCB
接合基材の厚み [μm]		EPW : 1 シリコン : 1	3
接合温度 [°C]	200	350	350
接合雰囲気	真空		
接合圧力 [N/cm ²]	50	50	50
成長基板除去	ウェット エッチング	ウェット エッチング	ウェット エッチング
エッチング液	混合液	混合液	混合液

- [0105] 次に、接合基板150より、出発基板101をウェットエッチングで除去した。ウェットエッチングは、アンモニアと過酸化水素水（APM）との混合液にて行った。APM液はES層102に対してエッチング選択性を有するため、GaAsのみをエッチングし、ES層102でエッチングは停止する。そのため、接合基板150より成長基板であるGaAs基板のみを除去した出発基板除去ウェーハ160を得ることができた。
- [0106] 次に、出発基板除去面に直径6インチのシリコンウェーハ170を被覆した。被覆ウェーハを乗せた接合ウェーハを真空雰囲気下にて圧着し、200℃の温度で熱処理した。圧力は50N/cm²にて実施した。熱処理時間は本実施例では5分を行った。
- [0107] シリコンウェーハ170を除去し、熱処理炉に出発基板除去ウェーハ160を導入した。実施例1ではInGaP層が露出しているため、P雰囲気（ 1×10^{-5} atm）にて熱処理を行った。温度は700℃にて30分程度、熱処理を行った。
- [0108] 以上のように作製した接合ウェーハのEPW110の中心点1101と被接合ウェーハ120の中心点1201からのズレに対するクラック本数（本）を図25に示す。
- [0109] （実施例2）
- 550μm厚の直径6インチのGaAsを成長基板（出発基板）201とし、AlGaInP系からなる発光ダイオード機能層203と出発基板と発光ダイオード機能層との間にInGaPからなる0.1μm厚のエッチストップ（ES）層202を有するエピウェーハ（EPW）210を準備した。
- [0110] AlGaInP系からなる発光ダイオード機能層203は出発基板201側から順に1μm厚のキャリア濃度が 1×10^{17} /cm³程度であるp型Al_{1-y}In_yP層2031（ $0.4 \leq y \leq 0.5$ ）、0.6μm厚の（Al_{1-x}Ga_x）_{1-y}In_yP層（活性層）2032（ $0.45 \leq x \leq 1$, $0.4 \leq y \leq 0.5$ ）、1μm厚のキャリア濃度が 1×10^{17} /cm³程度であるn型Al_{1-y}In_yP層2033（ $0.4 \leq y \leq 0.5$ ）とした。

- [0111] また、GaPから成る窓層2035を10 μ m厚で積層した。また、窓層2035と機能層203との間にはバンド帯不連続量を緩和するGa_{1-y}In_yP層(0<y<1)からなる緩和層2034を設けた。
- [0112] 被接合ウェーハ220として直径8インチのシリコンウェーハを用いた。
- [0113] 次に、EPW210と被接合ウェーハ220の双方に金属膜を蒸着した。EPW210上にはTi層211を0.1 μ m、Au層212を1 μ mの蒸着膜を設け、シリコンウェーハ上にはTi層221を0.1 μ m、Au層222を1 μ mの蒸着膜を設けた。
- [0114] EPW210と被接合ウェーハ220の双方を、EPWのAu層212と被接合ウェーハのAu層222を対向する形で重ね合わせて接合機内に導入し、接合を行い、接合基板250を作製した。
- [0115] 接合の際、EPW210の中心点2101は、被接合ウェーハ220の中心点2201からのズレを1~9mmまで1mm刻みで変えて接合した。接合時の圧力は、50N/cm²とした。また同時に、350℃の加熱を行った。以上を表1に併せて示す。
- [0116] 接合基板250より、出発基板201をウェットエッチングで除去した。ウェットエッチングは、アンモニアと過酸化水素水(APM)との混合液にて行った。
- [0117] 以上のように作製した接合ウェーハのEPW210の中心点2101と被接合ウェーハ220の中心点2201からのズレに対するクラック本数(本)を図25に併せて示す。
- [0118] (実施例3)
- 550 μ m厚の直径6インチのGaAsを成長基板(出発基板)301とし、AlGaInP系からなる発光ダイオード機能層303と出発基板と発光ダイオード機能層との間にInGaPからなる0.1 μ m厚のエッチストップ(ES)層302を有するエピウェーハ(EPW)310を準備した。
- [0119] AlGaInP系からなる発光ダイオード機能層303は出発基板301側から順に1 μ m厚のキャリア濃度が1 $\times$ 10¹⁷/cm³程度であるp型Al

$_{1-y} \text{In}_y \text{P}$ 層 3031 ($0.4 \leq y \leq 0.5$)、 $0.6 \mu\text{m}$ 厚の ($\text{Al}_{1-x} \text{Ga}_x$) $_{1-y} \text{In}_y \text{P}$ 層 (活性層) 3032 ($0.45 \leq x \leq 1$, $0.4 \leq y \leq 0.5$)、 $1 \mu\text{m}$ 厚のキャリア濃度が $1 \times 10^{17} / \text{cm}^3$ 程度である n 型 $\text{Al}_{1-y} \text{In}_y \text{P}$ 層 3033 ($0.4 \leq y \leq 0.5$) とした。

[0120] また、 GaP から成る窓層 3035 を $10 \mu\text{m}$ 厚で積層した。また、窓層 3035 と機能層 303 との間にはバンド帯不連続量を緩和する $\text{Ga}_{1-y} \text{In}_y \text{P}$ 層 ($0 < y < 1$) からなる緩和層 3034 を設けた。

[0121] 被接合ウェーハ 320 には直径 8 インチのシリコンウェーハを用いた。

[0122] 次に、 EPW 310 上にベンゾシクロブテン (BCB) をスピコートする。粘度とスピン数を調整し、BCB 膜 311 を $3 \mu\text{m}$ 厚程度形成した後、 EPW 310 と被接合ウェーハ 320 の双方を、 EPW の BCB 層 311 と被接合ウェーハの表面 321 を対向する形で重ね合わせて接合機内に導入し、接合を行い、接合基板 350 を作製した。

[0123] 接合の際、 EPW 310 の中心点 3101 は、被接合ウェーハ 320 の中心点 3201 からのズレを $1 \sim 9 \text{mm}$ まで 1mm 刻みで変えて接合した。接合時の圧力は、 $50 \text{N} / \text{cm}^2$ とした。また同時に、 350°C の加熱を行った。以上を表 1 に併せて示す。

[0124] 接合基板 350 より、出発基板 301 をウェットエッチングで除去した。ウェットエッチングは、アンモニアと過酸化水素水 (APM) との混合液にて行った。

[0125] 以上のように作製した接合ウェーハの EPW 310 の中心点 3101 と被接合ウェーハ 320 の中心点 3201 からのズレに対するクラック本数 (本) を図 25 に併せて示す。

[0126] (実施例 4)

直径 2 インチ (50mm) の化合物ウェーハを直径 4 インチ (100mm) のシリコンウェーハ上に形成し、 GaP からなる窓層及び GaInP からなる緩和層を形成しなかったこと以外は、実施例 1 ～ 3 と同様に行った。このようにして作製した接合ウェーハの化合物半導体ウェーハの中心から端部

における距離とウェーハ高さの関係を図26に示す。なお、図26における横軸は、接合ウェーハの化合物半導体ウェーハの中心を0mmとし、最外周部を-25.4mm（-1インチ）とした。

[0127] （比較例1）

550 μ m厚の直径6インチのGaAsを成長基板（出発基板）とし、AlGaInP系からなる発光ダイオード機能層と出発基板と機能層との間にInGaPからなる0.1 μ m厚のエッチストップ（ES）層を有するエピウェーハ（EPW）を準備した。

[0128] AlGaInP系からなる発光ダイオード機能層は出発基板側から順に1 μ m厚のキャリア濃度が $1 \times 10^{17}/\text{cm}^3$ 程度であるp型 $\text{Al}_{1-y}\text{In}_y\text{P}$ 層（ $0.4 \leq y \leq 0.5$ ）、0.6 μ m厚の $(\text{Al}_{1-x}\text{Ga}_x)_{1-y}\text{In}_y\text{P}$ 層（活性層）（ $0.45 \leq x \leq 1$, $0.4 \leq y \leq 0.5$ ）、1 μ m厚のキャリア濃度が $1 \times 10^{17}/\text{cm}^3$ 程度であるn型 $\text{Al}_{1-y}\text{In}_y\text{P}$ 層（ $0.4 \leq y \leq 0.5$ ）とした。

[0129] 次に、GaPから成る窓層を10 μ m厚で積層した。また、窓層と機能層との間にはバンド帯不連続量を緩和する $\text{Ga}_{1-y}\text{In}_y\text{P}$ 層（ $0 < y < 1$ ）からなる緩和層を設けた。

[0130] EPW形成後、出発基板の裏面側をラップ処理の後、ポリッシュ処理し、ポリッシュ処理面を形成し、150 μ mの厚さとした。

[0131] 被接合ウェーハには直径8インチのシリコンウェーハを用いた。

[0132] EPWと被接合ウェーハの両方にアルカリ系溶剤でウェット表面処理を施した。5wt% NaOH水溶液中に10分間浸した後、リンス処理を行い、空气中で乾燥処理を施した。

[0133] EPWと被接合ウェーハの双方を、EPWの出発基板ポリッシュ面と被接合ウェーハのポリッシュ面を対向する形で重ね合わせて接合機内に導入し、350℃にて真空雰囲気下、接合を行い、接合基板を作製した。

[0134] 接合の際、EPWの中心点と被接合ウェーハの中心点からのズレを1～4mmまで1mm刻みで変えて接合した。接合時の圧力は、EPWに印加され

る圧力を 50 N/cm^2 にて実施した。

[0135] 熱処理炉に出発基板除去ウェーハを導入し、熱処理炉は基板除去面の材料に合わせた雰囲気とした。比較例1では出発基板が露出しているため、 As 雰囲気 ($1 \times 10^{-5} \text{ atm}$) にて 700°C にて30分程度、熱処理を行った。

[0136] 以上のように作製した接合ウェーハのエピタキシャル層の中心点と被接合ウェーハの中心点からのズレに対するクラック本数(本)を図25に併せて示す。

[0137] (比較例2)

直径2インチの化合物ウェーハを直径4インチのシリコンウェーハ上に形成した以外は、比較例1と同様に行った。

[0138] 図25に示すように、接合ウェーハは、エピタキシャル層の中心位置からのズレ具合が大きくなる程、エピタキシャル層に入るクラック本数が増大する傾向が分かった。

[0139] 一方、本発明の接合ウェーハの製造方法を用いた実施例1～3における接合ウェーハのエピタキシャル層は、中心位置からのズレが1～5mmにおいて、エピタキシャル層に入るクラックの本数の増加を抑制できた。

[0140] また、比較例2に示したように、化合物半導体からなる小直径ウェーハを大直径のシリコンウェーハ上に永久接合する形で形成するためには、小直径ウェーハの出発基板側を接合可能なレベルまで原子レベルでフラットにする必要がある。また、出発基板側にはエピタキシャル成長中の成長原料が回り込んでいるため、これを除く必要がある。そのため、ラップ処理を行った後、ポリッシュ加工を施す必要がある。

[0141] しかし、化合物ウェーハは脆性材料であるため、ウェーハ外周部のポリッシュ速度が速く、外周部の膜厚が減少してしまった。特にウェーハ外周部1mm程度の範囲において膜厚の減少が生じてしまった。この状態でのウェーハの接合は可能だが、外周部とその内側とでウェーハの高さ分布が発生し、フォトリソグラフィ工程時の焦点深度の差異により歩留まりが低下してしまう。膜厚差異はミクロンオーダーであるため、比較例2だけ大きく高さが

変わると焦点深度が一定には保てないため、外周部 1 mm 程度の範囲ではパターンサイズにズレが生じ、歩留まりが大きく低下する。

[0142] 一方、本発明の接合ウェーハの製造方法を用いた実施例 4 では、いずれの場合も比較例で生じている様な外周部での大きな高さの差異（言い換えると膜厚の差異）はほぼ生じていない。実施例では本質的にエピタキシャル成長後のポリッシュ工程を排除していることが功を奏していることが分かった。従って、実施例 4 はそのような問題は無く、歩留まりが安定化する。

[0143] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

請求の範囲

- [請求項1] 成長基板上に化合物半導体をエピタキシャル成長させた化合物半導体ウェーハと被接合ウェーハを接合する接合ウェーハの製造方法であって、
- 前記被接合ウェーハの接合面の面積を前記化合物半導体ウェーハの接合面の面積より大きくし、
- 前記被接合ウェーハと前記化合物半導体ウェーハのエピタキシャル成長した化合物半導体側を接合面として接合した後、前記成長基板を除去することを特徴とする接合ウェーハの製造方法。
- [請求項2] 前記被接合ウェーハと前記化合物半導体ウェーハとの接合を、何も介さない直接接合、金属を介する金属接合、及び樹脂または高分子を介して接合する方法のいずれかとすることを特徴とする請求項1に記載の接合ウェーハの製造方法。
- [請求項3] 前記金属をAu, Ag, Al, In, Gaのうち1種類以上含むことを特徴とする請求項2に記載の接合ウェーハの製造方法。
- [請求項4] 前記樹脂または高分子を、ベンゾシクロブテン、ポリイミド、TEOSを用いたガラスとすること特徴とする請求項2に記載の接合ウェーハの製造方法。
- [請求項5] 前記化合物半導体ウェーハの中心と前記被接合ウェーハの中心のずれを5mm以下として配置し接合することを特徴とする請求項1から請求項4いずれか一項に記載の接合ウェーハの製造方法。
- [請求項6] 前記成長基板が除去された化合物半導体ウェーハの総厚を15μm以下とすることを特徴とする請求項1から請求項5のいずれか一項に記載の接合ウェーハの製造方法。
- [請求項7] 前記被接合ウェーハをシリコン、サファイア、石英とすることを特徴とする請求項1から請求項6のいずれか一項に記載の接合ウェーハの製造方法。
- [請求項8] 化合物半導体ウェーハに該化合物半導体ウェーハの接合面の面積よ

り面積が大きい被接合ウェーハが接合された接合ウェーハであって、
前記化合物半導体ウェーハの総厚が $15\text{ }\mu\text{m}$ 以下のものであることを特徴とする接合ウェーハ。