

去除晶片上的二氧化硅的方法及集成电路制造工艺

技术领域

本发明涉及集成电路制造工艺领域，更具体地，涉及一种应用于集成电路制造工艺中去除晶片上的二氧化硅的方法以及应用该方法的集成电路制造工艺。

背景技术

在集成电路制造工艺领域，目前通常使用硅基材料制造集成电路，硅（或者多晶硅）放置在空气中时表面会自然氧化形成一层致密的二氧化硅（ SiO_2 ）层，如图 1a 所示。在有些工艺中，例如，在金属硅化物（Silicide）工艺中，金属镍铂（NiPt）薄膜要与硅基材料的衬底直接接触，如果衬底表面有一层 SiO_2 ，则会增加电阻率，影响器件性能，因此，制造后续工艺前需要去除这层 SiO_2 。而在去除这层 SiO_2 的同时，必须保护其他薄膜/结构不能被去除或者损伤，如图 1a 所示，隔离层（Spacer，由氮化硅（ Si_3N_4 ）材料制成）的线宽尺寸会影响器件电性，如漏电（leakage）增加等。因此，需要在去除 SiO_2 的同时尽量保持隔离层（Spacer， Si_3N_4 ）不被去除。

如图 1b 所示，现有工艺多采用湿法刻蚀、等离子体干法刻蚀等方法去除 SiO_2 ，其对 Si_3N_4 的刻蚀选择比低，对隔离层去除过多，造成隔离层尺寸缩小，从而增大漏电，影响器件性能。

因此，有必要开发一种应用于集成电路制造工艺中的高选择比、高效率的去除晶片上的二氧化硅的方法。

公开于本发明背景技术部分的信息仅仅旨在加深对本发明的一般背景技术的理解，而不应当被视为承认或以任何形式暗示该信息构成已为本领域技术人员所公知的现有技术。

发明内容

本发明提出了一种应用于集成电路制造工艺中去除晶片上的二氧化硅的方法，其通过使气态的刻蚀剂在高压下与二氧化硅直接反应，并在反应后将反应产物抽出，实现高选择比、高效率地去除二氧化硅。

根据本发明的一个方面，提出了一种去除晶片上的二氧化硅的方法，包括：向工艺腔室内通入脱水的氟化氢气体和脱水的醇类气体；使所述脱水的氟化氢气体和脱水的醇类气体混合，生成气态的刻蚀剂；使所述刻蚀剂与所述工艺腔室内的晶片反应，并使所述工艺腔室内保持高压状态，以提高刻蚀选择比；以及将所述反应生成物从所述工艺腔室内抽出。

其中，所述工艺腔室内的压力为 30Torr-300Torr。

其中，所述工艺腔室内的压力为 200Torr。

其中，所述工艺腔室内的温度为 20℃-80℃。

其中，所述工艺腔室内的温度为 40℃。

其中，所述氟化氢气体的流量为 100sccm-500sccm，所述醇类气体的流量为 100sccm-1000sccm。

其中，所述氟化氢气体的流量为 150sccm-225sccm，所述醇类气体的流量为 200sccm-450sccm。

其中，所述氟化氢气体与所述醇类气体的流量比为 0.8-1.2:1。

其中，所述氟化氢气体与所述醇类气体的流量比为 1:1。

其中，所述醇类气体为 C₁-C₈ 一元醇气体中的至少一种。

其中，所述醇类气体为甲醇、乙醇和异丙醇中的至少一种。

作为另一个方面，本发明还提供一种集成电路制造工艺，其包括本发明上述任一方案所述的去除晶片上的二氧化硅的方法。

其中，所述制造工艺包括利用 HARP 填充浅沟道绝缘层的轮廓调整的子工艺。在所述子工艺中，首先利用 CVD 工艺沉积一定厚度的 HARP，而后采

用所述的去除晶片上的二氧化硅的方法对 STI 进行刻蚀而使开口变大, 重复执行上述沉积和刻蚀操作, 直至工艺结束。

其中, 所述制造工艺包括去除 STI 的硬掩膜层上的 SiO_2 自然氧化层的子工艺, 所述 STI 的硬掩膜层为 Si_3N_4 。在所述子工艺中, 利用所述的去除晶片上的二氧化硅的方法对 STI 的硬掩膜层表面上的 SiO_2 自然氧化层进行刻蚀, 并控制所述 SiO_2 自然氧化层相对于 STI HARP 的刻蚀选择比, 以便快速去除所述 SiO_2 自然氧化层, 且避免过度刻蚀 STI HARP。

其中, 所述制造工艺包括去除衬垫氧化层的子工艺, 所述衬垫氧化层为采用加热方式在衬底表面氧化形成 SiO_2 层, 其为 STI 的硬掩膜层 Si_3N_4 的缓冲层。在所述子工艺中, 利用所述的去除晶片上的二氧化硅的方法对所述衬垫氧化层进行刻蚀, 并控制所述衬垫氧化层相对于 STI HARP 的刻蚀选择比, 以便快速去除所述衬垫氧化层, 且避免过度刻蚀 STI HARP。

其中, 所述制造工艺包括沉积锗硅之前去除硅衬底上的 SiO_2 自然氧化层的子工艺。在所述子工艺中, 利用所述的去除晶片上的二氧化硅的方法对所述硅衬底上的 SiO_2 自然氧化层进行刻蚀, 并控制所述 SiO_2 自然氧化层相对于多晶硅的刻蚀选择比, 以便快速去除所述 SiO_2 自然氧化层, 且避免过度损伤 Si 衬底。

其中, 所述制造工艺包括沉积硅化物之前去除衬底表面和多晶硅栅极表面的 SiO_2 自然氧化层的子工艺。在所述子工艺中, 利用所述的去除晶片上的二氧化硅的方法对所述衬底表面和多晶硅栅极表面的 SiO_2 自然氧化层进行刻蚀, 并控制所述 SiO_2 自然氧化层相对于多晶硅的刻蚀选择比, 以便快速去除所述 SiO_2 自然氧化层, 且避免过度损伤 Si 衬底。

其中, 所述制造工艺包括 2D NAND 存储器制造过程中的 STI 凹槽子工艺, 所述 NAND 存储器包括位于图形密集区域内的浮置栅极和图形密集区域 STI HARP 以及位于图形稀疏区域内的控制开关栅极和图形稀疏区域 STI HARP, 所述浮置栅极和所述控制开关栅极为多晶硅, 所述图形密集区域 STI HARP

和所述图形稀疏区域 STI HARP 为二氧化硅。在所述子工艺中，利用所述的去除晶片上的二氧化硅的方法对所述图形密集区域 STI HARP 和所述图形稀疏区域 STI HARP 进行刻蚀，并控制所述 STI HARP 相对于所述浮置栅极或者相对于所述控制开关栅极的刻蚀选择比，以便快速去除所述 STI HARP，且避免过度损伤所述浮置栅极和所述控制开关栅极。

根据本发明的去除晶片上的二氧化硅的方法及集成电路制造工艺的优点在于：

本发明提供的方法采用气相刻蚀工艺去除晶片上的二氧化硅，相比于现有技术中的湿法刻蚀工艺或等离子体干法刻蚀工艺，本发明是通过化学反应去除 SiO_2 ，在该去除工艺中无固态反应生成物，因此，反应生成物可以容易被泵抽出，从而可以保持腔室内的洁净，减少甚至消除反应生成物所造成的颗粒污染。而且，由于本发明提供的方法无固态反应生成物，因此无需像现有技术那样必须通过高温加热将固态反应生成物汽化或液化后再将其排出，因此本发明提供的方法无需高温加热，为此也就无需对应于加热步骤而设置冷却步骤，因而反应过程简单，这样既能够提高工艺效率、提高工艺产能，又能够省却高温步骤和冷却步骤所对应的工艺成本。

进一步地，本发明提供的方法采用高压工艺（例如 50Torr-300Torr），能够提高 SiO_2 对 Si_3N_4 （或多晶硅、HARP 等）的刻蚀选择比，这样既能够提高晶片上的二氧化硅的去除效率，又能够降低对衬底的损伤。

类似地，本发明提供的集成电路制造工艺中采用本发明所提供方法去除晶片上的二氧化硅，因而相比于现有技术中采用湿法刻蚀或等离子体干法刻蚀去除二氧化硅的集成电路制造工艺，本发明提供的集成电路制造工艺同样能够提高晶片上的二氧化硅的去除效率，降低对衬底的损伤，并且能够保持腔室内的洁净，减少甚至消除反应生成物所造成的颗粒污染，同时还具有反应过程简单、工艺效率和工艺产能高、成本低等特点。

本发明的方法具有其它的特性和优点，这些特性和优点从并入本文中的附图和随后的具体实施方式中将是显而易见的，或者将在并入本文中的附图和随后的具体实施方式中进行详细陈述，这些附图和具体实施方式共同用于解释本发明的特定原理。

附图说明

通过结合附图对本发明示例性实施方式进行更详细的描述，本发明的上述以及其它目的、特征和优势将变得更加明显，其中，在本发明示例性实施方式中，相同的参考标号通常代表相同部件。

图 1a 示出了具有自然氧化层的集成电路器件的示意图。

图 1b 示出了根据现有技术的方法去除二氧化硅的效果的示意图。

图 2 示出了根据本发明的去除晶片上的二氧化硅的方法的步骤的流程图。

图 3 示出了根据本发明的去除晶片上的二氧化硅的方法的效果的示意图。

图 4a、4b 和 4c 分别示出了根据现有技术的方法 HARP 填充浅沟道绝缘层轮廓调整的示意图。

图 5a、5b、5c 和 5d 分别示出了根据本发明的去除晶片上的二氧化硅的方法在 HARP 填充浅沟道绝缘层轮廓调整过程中的作用的示意图。

图 6a 和 6b 分别示出了具有自然氧化层的器件和根据本发明的方法去除自然氧化层后的器件的示意图。

图 7a 和 7b 分别示出了具有衬垫氧化层的器件和根据本发明的方法去除衬垫氧化层后的器件的示意图。

图 8a 和 8b 分别示出了具有自然氧化层的器件和根据本发明的方法去除自然氧化层后的器件的示意图。

图 9a 和 9b 分别示出了具有氧化物凹槽的集成电路器件和根据本发明的

方法去除二氧化硅后的器件的效果的示意图。

具体实施方式

下面将参照附图更详细地描述本发明。虽然附图中显示了本发明的优选实施方式，然而应该理解，可以以各种形式实现本发明而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了使本发明更加透彻和完整，并且能够将本发明的范围完整地传达给本领域的技术人员。

图 2 示出了根据本发明的去除晶片上的二氧化硅的方法的步骤的流程图。

在该实施方式中，根据本发明的去除晶片上的二氧化硅的方法包括：步骤 201，向工艺腔室内通入脱水的氟化氢气体和脱水的醇类气体；步骤 202，使所述脱水的氟化氢气体和脱水的醇类气体混合，生成气态的刻蚀剂；步骤 203，使所述刻蚀剂与所述工艺腔室内的晶片的表面上的诸如二氧化硅的待去除物反应，并使所述工艺腔室内保持高压状态以提高刻蚀选择比；以及步骤 204，将所述反应生成物从所述工艺腔室内抽出。

该实施方式通过使气态的刻蚀剂在高压下与二氧化硅直接反应，并在反应后将反应产物抽出，实现高选择比、高效率地去除二氧化硅。

下面详细说明根据本发明的去除晶片上的二氧化硅的方法的具体步骤。

在一个示例中，晶片表面上的待去除物为二氧化硅，根据本发明的去除晶片上的二氧化硅的方法可以包括：步骤 201，向工艺腔室内通入脱水的氟化氢气体和脱水的醇类气体；步骤 202，使所述脱水的氟化氢气体和脱水的醇类气体混合，生成气态的刻蚀剂；步骤 203，使所述刻蚀剂与所述工艺腔室内的晶片的表面上的二氧化硅发生反应，并使所述工艺腔室内保持高压状态以提高刻蚀选择比；以及步骤 204，将所述反应生成物从所述工艺腔室内抽出。

优选地，所述反应的条件可以包括：工艺腔室内的压力为

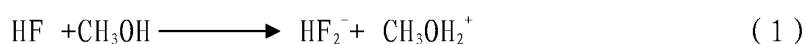
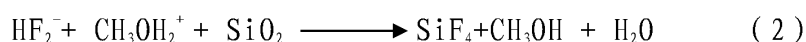
30Torr-300Torr, 工艺腔室内的温度为 20℃-80℃。进一步优选地, 所述反应的条件包括: 工艺腔室内的压力为 200Torr, 工艺腔室内的温度为 40℃。实验发现, 工艺腔室内的压力在 30Torr-300Torr 的范围内取值越高, 气态刻蚀剂(反应气体)越容易凝结在晶片表面并与 SiO₂ 发生反应, 这种情况下, SiO₂ 去除速率大大增加, 而同时 Si₃N₄ 的去除速率几乎不增加, 这样就大大增加 SiO₂ 对 Si₃N₄ (或多晶硅、HARP 等) 的去除选择比(即, 刻蚀选择比)。

优选地, 所述氟化氢气体的流量可以为 100sccm-500sccm, 所述醇类气体的流量为 100sccm-1000sccm。进一步优选地, 所述氟化氢气体的流量为 150sccm-225sccm, 所述醇类气体的流量为 200sccm-450sccm。

优选地, 所述氟化氢气体与所述醇类气体的流量比可以为 0.8⁻1.2:1。例如, 所述氟化氢气体与所述醇类气体的流量比可以为 0.8:1、1:1 或 1.2:1。进一步优选地, 所述氟化氢气体与所述醇类气体的流量比为 1:1。使氟化氢气体与醇类气体的流量接近, 可以提高去除二氧化硅的均匀性。

优选地, 所述醇类气体可以为 C₁ 至 C₈ 一元醇气体中的至少一种。进一步优选地, 所述醇类气体为甲醇(CH₃OH)、乙醇(C₂H₅OH)和异丙醇(IPA)中的至少一种。

在所述醇类气体为气化的甲醇的情况下; 所述刻蚀剂为 HF₂⁻和 CH₃OH₂⁺; 所述反应产物为四氟化硅、甲醇以及水。具体地, 在采用甲醇(CH₃OH)时, 根据本发明的去除晶片上的二氧化硅的方法的反应式可以表示为:



可以使用经过脱水的 HF 气体和脱水的 CH₃OH 气体在腔室内部混合, 生成气态的刻蚀剂 HF₂⁻和 CH₃OH₂⁺, 工艺时腔室内的压力可以设定为 200Torr, 腔室内的温度为 40℃, HF₂⁻和 CH₃OH₂⁺混合与 SiO₂ 反应生成 SiF₄、CH₃OH 和 H₂O。CH₃OH 有很强的吸水性, 能够减少 H₂O 在晶片表面的残留, 同时 SiF₄、CH₃OH 和 H₂O 等反应生成物都可以在反应后用泵抽出。

在实际应用中，本发明的去除晶片上的二氧化硅的方法所采用的工艺腔室可以与下一道工艺集成在一个真空平台，这样，在去除晶片表面 SiO_2 后在不破坏真空环境的情况下进行下一道工艺，防止晶片在进行下一道工艺前因再次处于非真空环境中而被再次氧化，并影响下一道工艺。例如，硅化（Silicide）工艺中铂镍（NiPt）沉积前；锗硅（SiGe）沉积前。

根据本发明的去除晶片上的二氧化硅的方法的优点在于：

1、选择比高。本发明通过高压工艺来提高选择比，实验发现采用高压工艺（例如，工艺压力为 200Torr）时气态刻蚀剂更容易凝结在晶片表面并与 SiO_2 发生反应，这时 SiO_2 去除速率大大增加，而同时 Si_3N_4 的去除速率几乎不增加，从而在增大 SiO_2 去除速率的同时，减小对衬底的损伤。也就是说，本发明提供的方法大大增加 SiO_2 相对于 Si_3N_4 （或多晶硅、HARP 等）的去除选择比。

2、不使用等离子体，不容易形成其他副产物，这样既不会损伤衬底、减少颗粒污染、保持腔室内干净；同时又能够降低设备成本。

3、通过化学反应去除 SiO_2 ，因而无固态反应生成物，由此反应生成物可以被泵抽出。图 5a 至图 5b 示出了根据本发明的去除晶片上的二氧化硅的方法的另一效果的示意图。如图 5 所示，由于反应生成物扩散好，所以对于密集区域的小孔洞中的 SiO_2 和稀疏区域的 SiO_2 去除量一致，反应生成物如气态 SiF_4 ，易被泵抽出，不会造成小孔洞堵塞，清洗效果好，对小孔洞清洗效果高，去除均匀性高。而且，本实施例提供的方法还可以改善衬垫氧化层移除（pad oxide removal）和 STI（Shallow Trench Isolation，浅沟槽隔离）凹槽（recess）刻蚀的负载作用，使大、小的孔洞凹槽深刻蚀一致、STI 高度一致。另外 CH_3OH 和 H_2O 也很容易被抽走，不会凝结在腔室壁，颗粒少。

4、本发明实施例提供的去除晶片上的二氧化硅的方法，工艺温度较低，例如 20°C – 80°C ，因此无需高温加热，相应地也就无需再设置与高温加热的步

骤相对应的冷却步骤，因而反应过程简单，一步即可完成反应，这样，不仅能够提高工艺效率、提高产能，又能够节约至少是由加热步骤和冷却步骤所产生的成本。

应用示例

根据本发明的另一方面，还可以提供一种集成电路制造工艺，所述制造工艺包括如上所述的去除晶片上的二氧化硅的方法。

本发明提供的集成电路制造工艺，由于其采用本发明上述实施例提供的方法去除晶片上的二氧化硅，因而相比于现有技术中采用湿法刻蚀或等离子体干法刻蚀去除二氧化硅的集成电路制造工艺，本发明提供的集成电路制造工艺同样能够提高晶片上的二氧化硅的去除效率，降低对衬底的损伤，并且能够保持腔室内的洁净，减少甚至消除反应生成物所造成的颗粒污染，同时还具有反应过程简单、工艺效率和工艺产能高、成本低等特点。

为便于理解本发明实施方式的方案及其效果，以下给出几个具体应用示例。本领域技术人员应理解，该示例仅为了便于理解本发明，其任何具体细节并非意在以任何方式限制本发明。

示例 1: 利用 HARP 填充浅沟道绝缘层的轮廓调整 (STI HARP deposition gap fill profile modified):

图 4a、4b 和 4c 分别示出了根据现有技术的利用 HARP(High Aspect Ratio Process, 高深宽比工艺)填充浅沟道绝缘层的轮廓调整的示意图，其中，图 4a 为 STI 刻蚀之后的器件，图 4b 为 STI HARP 沉积过程中的器件，图 4c 为 STI HARP 沉积后产生空洞(void)的器件。如图 4a、4b 和 4c 所示，STI HARP 沉积是使用 CVD 方式沉积，由于 28nm STI 深宽比大，同时 STI 刻蚀的轮廓不好，造成 STI HARP 沉积时很容易产生空洞(void)，而且图 4a、4b 和 4c 所用现有技术产生固态反应生成物，并且小孔洞清洗效率低，产能低。

本示例 1 中的集成电路制造工艺包括利用 HARP 填充浅沟道绝缘层的轮

廓调整的子工艺。在该子工艺中，首先利用 CVD 工艺沉积一定厚度的 HARP，而后采用所述的去除晶片上的二氧化硅的方法对 STI 进行刻蚀而使开口变大，重复执行上述沉积和刻蚀操作，直至工艺结束。

具体地，图 5a、5b、5c 和 5d 分别示出了根据本发明的去除晶片上的二氧化硅的方法在 HARP 填充浅沟道绝缘层的轮廓调整过程中的作用的示意图，其中，图 5a 为 STI 刻蚀之后的器件，图 5b 为 STI HARP 沉积过程中的器件，图 5c 为采用本发明的去除晶片上的二氧化硅的方法进行 STI 开口调整的器件，图 5d 为 STI HARP 沉积后的器件。

在该示例中，根据本发明的去除晶片上的二氧化硅的方法的步骤为：将脱水的氟化氢气体和脱水的甲醇混合，生成气态的刻蚀剂 HF_2^- 和 CH_3OH_2^+ ；然后，将刻蚀剂通入工艺腔室中，与所述工艺腔室内的晶片表面上的 SiO_2 接触进行反应，生成 SiF_4 、 CH_3OH 和 H_2O ，其中，工艺腔室中工艺条件为：腔室内的压力设定为 200Torr，腔室内的温度保持在 40℃；反应完成后，用泵抽出 SiF_4 、 CH_3OH 和 H_2O 。

如图 5a、5b、5c 和 5d 所示，本发明实施例提供的集成电路制造工艺中，采用 CVD 工艺沉积一定厚度的 HARP（沉积一层 SiO_2 ）后就要刻蚀一下 STI，让开口变大，这样才能不产生空洞。采用本发明的方法去除 SiO_2 ，非固态的反应生成物易于被泵抽出，从而可以保持腔室内的洁净，减少甚至消除反应生成物所造成的颗粒污染，本实施例提供的方法无需高温加热，反应过程简单，从而具有工艺效率和工艺产能高，成本低的特点；进一步地，本发明提供的方法工艺压力为 200Torr、工艺温度为 40℃，由此能够提高 SiO_2 对 HARP 等的刻蚀选择比，这样既能提高晶片上的二氧化硅的去除效率，又能降低对衬底的损伤，从而能够控制开口的轮廓，增加 CVD HARP 孔隙的填充能力。

示例 2: STI Si_3N_4 自然氧化层去除:

本示例 2 中的集成电路制造工艺包括去除 STI 的硬掩膜层上的 SiO_2 自然氧化层的子工艺，所述 STI 的硬掩膜层为 Si_3N_4 。在该子工艺中，利用本发明提供的去除晶片上的二氧化硅的方法对 STI 的硬掩膜层表面上的 SiO_2 自然氧化层进行刻蚀，并控制 SiO_2 自然氧化层相对于 STI HARP 的刻蚀选择比，以便快速去除 SiO_2 自然氧化层，且避免过度刻蚀 STI HARP。

具体地，图 6a 和 6b 分别示出了具有自然氧化层的器件和根据本发明的方法去除自然氧化层后的器件的示意图。

如图 6a 所示，集成电路制造工艺使用 Si_3N_4 作为 STI 的硬掩膜（Hard Mask）层，在去除该硬掩膜层时需使用 H_3PO_4 湿法去除。然而，带有该硬掩膜层的晶片在空气中放置一段时间后会在此 Si_3N_4 层的表面自然氧化生成一层致密的 SiO_2 层，在去除 Si_3N_4 之前要先去除这层 SiO_2 自然氧化层。若使用去除该硬掩膜层时所采用的 H_3PO_4 湿法来去除 SiO_2 ，则 SiO_2 的去除速率非常慢。另外，图 6a 中的 STI HARP 是使用 CVD 方式沉积的 SiO_2 层，该 SiO_2 层的致密性很低，非常容易被去除，这种情况下，在去除 Si_3N_4 层表面上的自然氧化层 SiO_2 层时，需要控制好 STI HARP 的去除量，即控制好 Si_3N_4 表面上的 SiO_2 自然氧化层相对于 STI HARP 的刻蚀选择比，以保证 STI 的台阶高度（即，STI 高出衬底表面的高度），因为 STI 的台阶高度会影响器件的电性性能，因此其既不能过高，也不能过低。

为此，就需要采用本发明的方法去除 Si_3N_4 表面上的这层 SiO_2 自然氧化层，图 6b 即为采用该方法去除 Si_3N_4 表面上的 SiO_2 氧化层后的器件形貌。在该示例中，所采用的本发明提供的二氧化硅去除方法的处理步骤类似于示例 1，在此不再赘述。

根据本发明的方法采用高压工艺，可以提高 Si_3N_4 表面上的 SiO_2 自然氧化层相对于 STI HARP 的刻蚀选择比，从而能够快速地去掉 Si_3N_4 表面上的 SiO_2 自然氧化层，同时又能够避免过度刻蚀 STI HARP，由此能够很好地控制 STI 的台阶高度；而且，根据本发明的方法，去除 Si_3N_4 表面上的 SiO_2 自然氧化

层时，不产生固态反应生成物，因此可以避免出现反应生成物堵塞小孔洞的问题，从而能够提高小孔洞的清洗效率低，提高产能。

示例 3: 集成电路衬垫氧化层去除 (IC Pad oxide remove):

本示例 3 中的集成电路制造工艺包括去除衬垫氧化层的子工艺，其中，衬垫氧化层为采用加热方式在衬底表面氧化形成 SiO_2 层，其为 STI 的硬掩膜层 Si_3N_4 的缓冲层。在该子工艺中，利用本发明提供的去除晶片上的二氧化硅的方法对上述衬垫氧化层进行刻蚀，并控制衬垫氧化层相对于 STI HARP 的刻蚀选择比，以便快速去除衬垫氧化层，且避免过度刻蚀 STI HARP。

具体地，图 7a 和 7b 分别示出了具有衬垫氧化层的器件和根据本发明的方法去除衬垫氧化层后的器件的示意图。

如图 7a 所示，衬垫氧化层 (Pad oxide) 作为 STI 的硬掩膜层 Si_3N_4 的缓冲层，是使用炉管方式在衬底表面热氧化而成的一层 SiO_2 层，其厚度可根据不同的工艺确定 (例如，28nm 工艺，该 SiO_2 层的厚度约为 50Å)。该 SiO_2 衬垫氧化层在后续工艺前需要去除。另外，图 7a 中的 STI HARP 是使用 CVD 方式沉积的 SiO_2 层，该 SiO_2 层的致密性很低，这种情况下，就需要在去除衬垫氧化层时，控制好 STI HARP 的去除量，即控制好衬垫氧化层相对于 STI HARP 的刻蚀选择比，以便能够快速去除衬垫氧化层，同时又能够避免过度刻蚀 STI HARP，从而保证 STI 的台阶高度。

为此，就需要采用本发明的方法去除衬垫氧化层，图 7b 即为采用该方法去除衬垫氧化层后的器件的形貌示意图。在该示例中，所采用的本发明提供的二氧化硅去除方法的处理步骤类似于示例 1，在此不再赘述。

根据本发明的方法采用高压工艺，可以提高衬垫氧化层相对于 STI HARP 的刻蚀选择比，从而能够快速地去去除衬垫氧化层，同时又能够避免过度刻蚀 STI HARP，以便控制 STI 的台阶高度；而且，根据本发明的方法，去除衬垫氧化层时，不产生固态反应生成物，因此能够提高工艺效率及工艺产能，同

时避免因采用湿法刻蚀而产生凹陷 (divot) 并影响电性能等问题。

示例 4: 沉积锗硅 (SiGe) 之前去除自然氧化层:

本示例 4 中的集成电路制造工艺包括沉积锗硅之前去除硅衬底上的 SiO_2 自然氧化层的子工艺。在该子工艺中, 利用本发明提供的去除晶片上的二氧化硅的方法对硅衬底上的 SiO_2 自然氧化层进行刻蚀, 并控制 SiO_2 自然氧化层相对于多晶硅的刻蚀选择比, 以便快速去除 SiO_2 自然氧化层, 且避免过度损伤 Si 衬底。

具体地, 图 8a 和 8b 分别示出了具有自然氧化层的器件和根据本发明的方法去除自然氧化层后的器件的示意图。

如图 8a 所示, 在 Si 衬底上为后续的 SiGe 沉积进行预刻蚀后, 刻蚀区域内部的 Si 衬底会暴露在空气中而发生自然氧化, 这层自然氧化层会造成器件的电性能失效等问题, 所以必须在沉积 SiGe 之前将这层自然氧化层去除干净, 且在去除这层 SiO_2 时不能损伤 Si 衬底, 也就是说, 要控制好这层 SiO_2 自然氧化层相对于多晶硅 (即, Si 衬底) 的刻蚀选择比。

为此, 就需要采用本发明的方法去除这层 SiO_2 自然氧化层, 图 8b 即为采用该方法去除 SiO_2 自然氧化层后的器件的形貌示意图。在该示例中, 所采用的本发明提供的二氧化硅去除方法的处理步骤类似于示例 1, 在此不再赘述。

根据本发明的方法采用高压工艺, 可以提高 SiO_2 自然氧化层相对于多晶硅的刻蚀选择比, 从而能够快速地去掉 SiO_2 自然氧化层, 同时又能够减小对栅极和 Si 衬底的损伤。而且, 根据本发明的方法, 去除 SiO_2 自然氧化层时, 不产生固态反应生成物, 从而可以避免现有技术中产生固态反应生成物且在该固态反应生成物高温升华过程中 Si 衬底又会再次遭受氧化的问题, 因此, 集成电路制造工艺应用本发明提供的去除二氧化硅的方法, 既可以提高工艺效率和工艺产能, 又能够提高器件性能。

示例 5: 沉积硅化物 (Silicide) 之前去除自然氧化层:

本示例 5 中的集成电路制造工艺包括沉积硅化物之前去除衬底表面和多晶硅栅极表面的 SiO_2 自然氧化层的子工艺。在该子工艺中, 利用本发明提供的去除晶片上的二氧化硅的方法对衬底表面和多晶硅栅极表面的 SiO_2 自然氧化层进行刻蚀, 并控制 SiO_2 自然氧化层相对于多晶硅的刻蚀选择比, 以便快速去除 SiO_2 自然氧化层, 且避免过度损伤 Si 衬底。

具体地, 图 1a 和图 3 分别示出了具有自然氧化层的器件和根据本发明的方法去除二氧化硅后的器件的形貌示意图。

如图 1a 所示, 晶片放置在空气中时, Si 衬底表面和多晶硅栅极表面会自然氧化生成一层致密的 SiO_2 层, 为了避免接触电极 (contact) 与衬底之间的接触电阻过大, 需要在沉积 Ni 或 NiPt (5-10%) (在后续工艺中会形成 NiPt 硅化物) 之前将 SiO_2 自然氧化层去除掉, 然而在该去除过程中不能损伤 Si 衬底。此外, 多晶硅栅极两侧有用作绝缘隔离片的 Si_3N_4 , 在去除 SiO_2 自然氧化层的过程中也不能损伤 Si_3N_4 。

为此, 就需要采用本发明的方法去除这层 SiO_2 自然氧化层, 图 3 即为采用该方法去除 SiO_2 自然氧化层后的器件的形貌示意图。在该示例中, 所采用的本发明提供的二氧化硅去除方法的处理步骤类似于示例 1, 在此不再赘述。

根据本发明的方法采用高压工艺, 可以提高 SiO_2 自然氧化层相对于 Si_3N_4 和 Si 衬底的刻蚀选择比, 从而能够快速地去掉 Si 衬底表面和多晶硅栅极表面的 SiO_2 自然氧化层, 同时又能够减小对多晶硅栅极和 Si 衬底的损伤, 避免产生绝缘隔离片尺寸缩小、电漏率增大等问题。而且, 根据本发明的方法, 去除 SiO_2 自然氧化层时, 不产生固态反应生成物, 从而可以避免现有技术中因存在固态反应生成物而导致的孔洞底部的 SiO_2 去除效率低, 且在该固态反应生成物高温升华过程中 Si 衬底又会再次遭受氧化的问题。因此, 集成电路制造工艺应用本发明提供的去除二氧化硅的方法, 既可以提高工艺效率和

工艺产能，又能够提高器件性能。

示例 6: STI HARP 氧化凹槽刻蚀 (STI HARP oxide recess etch):

本示例 6 所示的集成电路制造工艺包括 2D NAND 存储器制造过程中的 STI 凹槽子工艺，所述 NAND 存储器包括位于图形密集区域内的浮置栅极和图形密集区域 STI HARP 以及位于图形稀疏区域内的控制开关栅极和图形稀疏区域 STI HARP，所述浮置栅极和所述控制开关栅极为多晶硅，所述图形密集区域 STI HARP 和所述图形稀疏区域 STI HARP 为二氧化硅。在该子工艺中，利用本发明提供的去除晶片上的二氧化硅的方法对所述图形密集区域 STI HARP 和所述图形稀疏区域 STI HARP 进行刻蚀，并控制 STI HARP 相对于浮置栅极或者相对于控制开关栅极的刻蚀选择比，以便快速去除 STI HARP，且避免过度损伤浮置栅极和控制开关栅极。

具体地，图 9a 和 9b 分别示出了具有氧化物凹槽的集成电路器件和根据本发明的方法去除二氧化硅后的器件的效果的示意图。

如图 9a 所示，本示例中的 STI 凹槽工艺是 2D NAND 制造过程中的工艺，NAND 是存储器件。在图 9a 中，左侧的图形密集区域为器件的存储区域，包括浮置栅极（即，图形密集区域内的深色条柱，其为多晶硅）和图形密集区域 STI HARP（即，图形密集区域内的浅色条柱，其为二氧化硅）；右侧的图形稀疏区域为控制区域，包括源极/漏极的选择性控制开关栅极（即，图形稀疏区域内的深色条柱，其为多晶硅，以下简称“控制开关栅极”）和图形稀疏区域 STI HARP（图形稀疏区域内的浅色条柱，为二氧化硅）。在 STI 凹槽工艺过程中，图形密集区域和图形稀疏区域的 STI HARP 的去除量需要一致。

为此，就需要采用本发明的方法去除 STI HARP，图 9b 即为采用该方法去除二氧化硅（STI HARP）后的器件的形貌示意图。在该示例中，所采用的本发明提供的二氧化硅去除方法的处理步骤类似于示例 1，在此不再赘述。

根据本发明的方法采用高压工艺，可以提高 STI HARP 相对于浮置栅极或者相对于源极/漏极的选择性控制开关栅极的刻蚀选择比，即， SiO_2 相对于多晶硅的刻蚀选择比，从而能够快速地去去除 SiO_2 ，同时又能够减小对多晶硅的损伤。而且，根据本发明的方法，去除 SiO_2 层时，不产生固态反应生成物，从而不会出现现有技术中常见的问题：即，因产生固态反应生成物而导致小孔洞易于堵塞且不易清洗，而且在固态反应生成物高温升华过程中多晶硅又会再次遭受氧化的问题。因此，集成电路制造工艺应用本发明提供的去除二氧化硅的方法，既可以提高工艺效率和工艺产能，又能够提高器件性能。

本领域技术人员应理解，上面对本发明的实施方式的描述的目的仅为了示例性地说明本发明的实施方式的有益效果，并不意在将本发明的实施方式限制于所给出的任何示例。

以上已经描述了本发明的各实施方式，上述说明是示例性的，并非穷尽性的，并且也不限于所披露的各实施方式。在不偏离所说明的各实施方式的范围和精神的情况下，对于本技术领域的普通技术人员来说许多修改和变更都是显而易见的。本文中所用术语的选择，旨在最好地解释各实施方式的原理、实际应用或对市场中的技术的改进，或者使本技术领域的其它普通技术人员能理解本文披露的各实施方式。

权 利 要 求 书

- 1、一种去除晶片上的二氧化硅的方法，其特征在于，包括：
向工艺腔室内通入脱水的氟化氢气体和脱水的醇类气体；
使所述脱水的氟化氢气体和脱水的醇类气体混合，生成气态的刻蚀剂；
使所述刻蚀剂与所述工艺腔室内的晶片反应，并使所述工艺腔室内保持高压状态，以提高刻蚀选择比；以及
将所述反应生成物从所述工艺腔室内抽出。
- 2、根据权利要求 1 所述的去除晶片上的二氧化硅的方法，其中，所述工艺腔室内的压力为 30Torr-300Torr。
- 3、根据权利要求 2 所述的去除晶片上的二氧化硅的方法，其中，所述工艺腔室内的压力为 200Torr。
- 4、根据权利要求 1 所述的去除晶片上的二氧化硅的方法，其中，所述工艺腔室内的温度为 20℃-80℃。
- 5、根据权利要求 4 所述的去除晶片上的二氧化硅的方法，其中，所述工艺腔室内的温度为 40℃。
- 6、根据权利要求 1 所述的去除晶片上的二氧化硅的方法，其中，所述氟化氢气体的流量为 100sccm-500sccm，所述醇类气体的流量为 100sccm-1000sccm。
- 7、根据权利要求 6 所述的去除晶片上的二氧化硅的方法，其中，所述氟化氢气体的流量为 150sccm-225sccm，所述醇类气体的流量为

200sccm-450sccm。

8、根据权利要求 1 所述的去除晶片上的二氧化硅的方法，其中，所述氟化氢气体与所述醇类气体的流量比为 0.8-1.2:1。

9、根据权利要求 6 所述的去除晶片上的二氧化硅的方法，其中，所述氟化氢气体与所述醇类气体的流量比为 1:1。

10、根据权利要求 1 所述的去除晶片上的二氧化硅的方法，其中，所述醇类气体为 C₁-C₈一元醇气体中的至少一种。

11、根据权利要求 10 所述的去除晶片上的二氧化硅的方法，其中，所述醇类气体为甲醇、乙醇和异丙醇中的至少一种。

12、一种集成电路制造工艺，其中，包括根据权利要求 1-11 中任意一项所述的去除晶片上的二氧化硅的方法。

13、根据权利要求 12 所述的集成电路制造工艺，其中，所述制造工艺包括利用 HARP 填充浅沟道绝缘层的轮廓调整的子工艺，

在所述子工艺中，首先利用 CVD 工艺沉积一定厚度的 HARP，而后采用所述的去除晶片上的二氧化硅的方法对 STI 进行刻蚀而使开口变大，重复执行上述沉积和刻蚀操作，直至工艺结束。

14、根据权利要求 12 所述的集成电路制造工艺，其中，所述制造工艺包括去除 STI 的硬掩膜层上的 SiO₂ 自然氧化层的子工艺，所述 STI 的硬掩膜层为 Si₃N₄，

在所述子工艺中，利用所述的去除晶片上的二氧化硅的方法对 STI 的硬掩膜层表面上的 SiO_2 自然氧化层进行刻蚀，并控制所述 SiO_2 自然氧化层相对于 STI HARP 的刻蚀选择比，以便快速去除所述 SiO_2 自然氧化层，且避免过度刻蚀 STI HARP。

15、根据权利要求 12 所述的集成电路制造工艺，其中，所述制造工艺包括去除衬垫氧化层的子工艺，所述衬垫氧化层为采用加热方式在衬底表面氧化形成 SiO_2 层，其为 STI 的硬掩膜层 Si_3N_4 的缓冲层，

在所述子工艺中，利用所述的去除晶片上的二氧化硅的方法对所述衬垫氧化层进行刻蚀，并控制所述衬垫氧化层相对于 STI HARP 的刻蚀选择比，以便快速去除所述衬垫氧化层，且避免过度刻蚀 STI HARP。

16、根据权利要求 12 所述的集成电路制造工艺，其中，所述制造工艺包括沉积锗硅之前去除硅衬底上的 SiO_2 自然氧化层的子工艺，

在所述子工艺中，利用所述的去除晶片上的二氧化硅的方法对所述硅衬底上的 SiO_2 自然氧化层进行刻蚀，并控制所述 SiO_2 自然氧化层相对于多晶硅的刻蚀选择比，以便快速去除所述 SiO_2 自然氧化层，且避免过度损伤 Si 衬底。

17、根据权利要求 12 所述的集成电路制造工艺，其中，所述制造工艺包括沉积硅化物之前去除衬底表面和多晶硅栅极表面的 SiO_2 自然氧化层的子工艺，

在所述子工艺中，利用所述的去除晶片上的二氧化硅的方法对所述衬底表面和多晶硅栅极表面的 SiO_2 自然氧化层进行刻蚀，并控制所述 SiO_2 自然氧化层相对于多晶硅的刻蚀选择比，以便快速去除所述 SiO_2 自然氧化层，且避免过度损伤 Si 衬底。

18、根据权利要求 12 所述的集成电路制造工艺，其中，所述制造工艺包括 2D NAND 存储器制造过程中的 STI 凹槽工艺，所述 NAND 存储器包括位于图形密集区域内的浮置栅极和图形密集区域 STI HARP 以及位于图形稀疏区域内的控制开关栅极和图形稀疏区域 STI HARP，所述浮置栅极和所述控制开关栅极为多晶硅，所述图形密集区域 STI HARP 和所述图形稀疏区域 STI HARP 为二氧化硅，

在所述子工艺中，利用所述的去除晶片上的二氧化硅的方法对所述图形密集区域 STI HARP 和所述图形稀疏区域 STI HARP 进行刻蚀，并控制所述 STI HARP 相对于所述浮置栅极或者相对于所述控制开关栅极的刻蚀选择比，以便快速去除所述 STI HARP，且避免过度损伤所述浮置栅极和所述控制开关栅极。