

字线驱动器及存储装置

交叉引用

[0001] 本公开要求于 2022 年 06 月 24 日递交的名称为“字线驱动器及存储装置”、申请号为 202210730432.2 的中国专利申请的优先权，其通过引用被全部并入本公开。

技术领域

[0002] 本公开实施例涉及半导体领域，特别涉及一种字线驱动器及存储装置。

背景技术

[0003] 存储器是一种常见的半导体结构，随着半导体结构尺寸的连续缩小，使得芯片上可以并入更多数量的存储器，从而有助于产品容量的增加。在动态随机存取存储器(dynamic random access memory, DRAM)中，需要通过使用字线和位线向/从存储器单元中写入/读取数据，并基于施加到字线的电压来操作。

[0004] 随着 DRAM 容量的增大，连接到一个字线的存储器单元的数量增加，并且字线之间的距离缩小，可能发生速度延迟问题。为了改善字线电压的延迟，可以将一个字线划分成多个子字线并通过使用子字线驱动器（sub word-line driver, SWD）驱动每个子字线。

[0005] 然而，目前的字线驱动器存在版图面积较大且驱动能力不佳的问题。

发明内容

[0006] 本公开实施例提供一种字线驱动器，包括：包括 NMOS 区和 PMOS 区的基底；PMOS 区包括多个沿第一方向延伸的第一有源区，第一有源区包括第一沟道区以及分别位于第一沟道区相对两侧的第一源区和第一漏区；NMOS 区与 PMOS 区沿第二方向排布，包括多个沿第一方向延伸的第二有源区，第二有源区包括第二沟道区以及分别位于第二沟道区相对两侧的第二源区和第二漏区，第二有源区还包括第三沟道区以及分别位于第三沟道区相对两侧的第二源区和第三漏区；第一栅极，第一栅极与主字线电连接，第一栅极、第一源区以及第一漏区构成上拉晶体管，第一栅极、第二源区以及第二漏区构成下拉晶体管，上拉晶体管与下拉晶体管与同一子字线电连接，第一有源区对应的第一栅极的延伸方向相较于第一方向倾斜；多个第二栅极，每一第二栅极覆盖相应的一第三沟道区，第二栅极、第三源区以及第三漏区构成保持晶体管；同一保持晶体管的第三漏区与一下拉晶体管的第二漏区电连接，第三源区与另一下拉晶体管的第二漏区电连接。

[0007] 在一些实施例中，每一第一栅极沿第二方向延伸并覆盖多个第一沟道区以及多个第二沟道区，一上拉晶体管的第一漏区与一下拉晶体管的第一漏区电连接，并与相应的子字线电

连接。

[0008] 在一些实施例中，PMOS 区位于 NMOS 区的一侧。

[0009] 在一些实施例中，NMOS 区包括分别位于 PMOS 区相对两侧的第一 NMOS 区和第二 NMOS 区。

- 5 [0010] 在一些实施例中，第三沟道区位于第二源区或者第二漏区沿第二方向的一侧；保持晶体管的第三漏区与一下拉晶体管的第二漏区共用，保持晶体管的第三源区与另一下拉晶体管的第二漏区共用。

[0011] 在一些实施例中，还包括：第一接触结构，第一接触结构电连接第一源区或者第一漏区，且至少部分数量的第一接触结构在基底表面的正投影的延伸方向相较于第一方向倾斜。

- 10 [0012] 在一些实施例中，靠近第一有源区边缘的第一接触结构在基底表面的正投影为三角形；且第一接触结构朝向第一栅极的边界在基底表面正投影的延伸方向相较于第一方向倾斜。

[0013] 在一些实施例中，第二有源区对应的第一栅极的延伸方向相较于第一方向倾斜。

- [0014] 在一些实施例中，在沿第一方向上，第二有源区的长度大于第一有源区的长度；第二有源区对应的第一栅极的延伸方向相较于第一方向倾斜的角度为第一角度，第一有源区对应的
15 的第一栅极的延伸方向相较于第一方向倾斜的角度为第二角度，第一角度小于第二角度。

[0015] 在一些实施例中，还包括：第二接触结构，第二接触结构用于电连接第二源区、第二漏区、第三源区或者第三漏区；且第二接触结构在基底表面的正投影的延伸方向相较于第一方向倾斜。

- [0016] 在一些实施例中，第二接触结构在基底表面的正投影的部分区域还位于第二有源区的外侧。
20

[0017] 在一些实施例中，还包括：第三接触结构，第三接触结构用于电连接相邻的第二有源区。

- [0018] 在一些实施例中，同一第一栅极对应的一下拉晶体管的第二漏区与保持晶体管的第三漏区共用，同一第一栅极对应的另一下拉晶体管的第二漏区与同一保持晶体管的第三源区共用。
25

[0019] 在一些实施例中，一第一栅极对应的一下拉晶体管的第二漏区与保持晶体管的第三漏区共用，另一第一栅极对应的一下拉晶体管的第二漏区与同一保持晶体管的第三源区共用。

[0020] 在一些实施例中，第二栅极位于相邻的第一栅极之间。

- [0021] 在一些实施例中，保持晶体管包括：第一晶体管和第二晶体管；与同一第一晶体管电
30 连接的两个下拉晶体管共用第一栅极；同一第二晶体管的第三漏区与一下拉晶体管的第二漏

区电连接，第三源区与另一下拉晶体管的第二漏区电连接，与同一第二晶体管电连接的两个下拉晶体管对应两个第一栅极。

[0022] 在一些实施例中，NMOS 区包括：第一 NMOS 区和第二 NMOS 区，分别位于 PMOS 区相对两侧；其中，第一晶体管位于第一 NMOS 区；第二晶体管位于第二 NMOS 区；部分数量的下拉晶体管位于第一 NMOS 区，其余部分数量的下拉晶体管位于第二 NMOS 区。

[0023] 在一些实施例中，每一第一栅极包括：至少两个在沿第一方向上间隔排布的延伸部，每一延伸部覆盖多个第一沟道区以及多个第二沟道区，且相较于第一方向倾斜；连接部，连接在沿第一方向上相邻排布的延伸部。

[0024] 在一些实施例中，每一第一栅极覆盖 $4 \times N$ 个第一沟道区以及 $4 \times N$ 个第二沟道区，每一第一栅极构成的上拉晶体管与下拉晶体管与 $2 \times N$ 个保持晶体管电连接；其中，N 为大于等于 1 的正整数。

[0025] 相应地，本公开实施例还提供一种存储装置，包括：存储单元阵列，包括连接到多条子字线和多条位线的多个存储单元；上述任一项提供的字线驱动器。

[0026] 本公开实施例提供的字线驱动器的技术方案中，包括：第一有源区，第一有源区包括第一沟道区、第一源区以及第一漏区，第一栅极与主字线电连接，且第一栅极、第一源区以及第一漏区构成上拉晶体管，第一栅极、第二源区以及第二漏区构成下拉晶体管，上拉晶体管以及下拉晶体管与同一子字线电连接，如此，使得上拉晶体管以及下拉晶体管可以分别通过第一漏区将驱动信号传输至子字线，从而控制子字线的驱动以及关闭。还包括：第二栅极，第二栅极覆盖第三沟道区，并与第三源区以及第三漏区构成保持晶体管，保持晶体管的第三漏区以及第三源区分别与两个不同的下拉晶体管的第二漏区电连接，即两个下拉晶体管共用同一保持晶体管，如此，使得在驱动与其中一下拉晶体管相连的一个子字线的时候，保持晶体管可以控制与另一下拉晶体管保持晶体管相连的子字线为未被选择的状态，实现在保持字线驱动器的性能不变的情况下，减小保持晶体管所占用的面积，从而可以减小字线驱动器的版图面积。此外，设置第一有源区对应的第一栅极的延伸方向相较于第一有源区的延伸方向倾斜，使得第一有源区中的第一栅极具有较大的尺寸，相当于增加上拉晶体管的沟道尺寸，从而可以提高第一栅极对上拉晶体管的驱动能力。

附图说明

[0027] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- [0028] 图 1 为一种字线驱动电路的电路图；
- [0029] 图 2 为一种子字线系统架构图；
- [0030] 图 3 为本公开实施例提供的第一种字线驱动器的版图结构示意图；
- [0031] 图 4 为本公开实施例提供的第二种字线驱动器的版图结构示意图；
- 5 [0032] 图 5 为本公开实施例提供的第三种字线驱动器的版图结构示意图；
- [0033] 图 6 为本公开实施例提供的第四种字线驱动器的版图结构示意图；
- [0034] 图 7 为本公开实施例提供的第五种字线驱动器的版图结构示意图；
- [0035] 图 8 为本公开实施例提供的第一种字线驱动器对应的电路结构示意图；
- [0036] 图 9 为本公开实施例提供的第六种字线驱动器的版图结构示意图；
- 10 [0037] 图 10 为本公开实施例提供的第五种字线驱动器对应的电路结构示意图；
- [0038] 图 11 为本公开实施例提供的第七种字线驱动器的版图结构示意图。

具体实施方式

- [0039] 由背景技术可知，目前的字线驱动器存在版图面积较大且驱动能力不佳的问题。分析发现，导致目前的字线驱动电路的版图面积较大的问题原因之一在于，参考图 1 以及图 2，
- 15 目前，在字线驱动电路中，包括至少一个子字线驱动器，子字线驱动器与一主字线 MWLb 以及一子字线 WL 连接；子字线驱动器还包括保持晶体管，保持晶体管 1 的第一端连接子字线 WL，另一端耦合到低电平 VKK。子字线驱动器接收使能信号以及驱动信号 PXID，并向子字线 WL 提供驱动信号 PXID，从而驱动该子字线 WL；当不需要选中子字线 WL 时，则可以响应于使能信号、驱动信号 PXID 以及驱动信号 PXIB 将保持晶体管的第一端与第二端导通，使得保持晶体管 1 的第一端耦合至低电平 VKK，进而将与保持晶体管 1 第一端连接的子字线
- 20 WL 也拉低至低电平 VKK，以使子字线 WL 关闭。也就是说，一个保持晶体管仅用于控制一条子字线，以使子字线保持未被选中的状态。参考图 2 可知，当字线驱动电路中 2 条主字线，分别记为 MWLb1 以及 MWLb2，且每一主字线分别与两个子字线驱动器 SWD 对应，每一保持晶体管均与一子字线电连接（图中将多根子字线分别记为 WL0 至 WL15），从而使得子字
- 25 线驱动器分别响应于对应的驱动信号 PXIB、对应的驱动信号 PXID，从而控制子字线的关闭，这将会占据字线驱动电路版图中较多的空间。

- [0040] 此外，当将字线驱动器的版图面积缩小之后，很可能会导致上拉晶体管、下拉晶体管或者保持晶体管的整体尺寸减小，使得上拉晶体管、下拉晶体管或者保持晶体管的沟道面积减小，从而降低对字线驱动器的驱动能力。
- 30 [0041] 本公开实施例提供一种字线驱动器，包括：第一有源区，第一有源区包括第一沟道区、

第一源区以及第一漏区，第一栅极、第一源区以及第一漏区构成上拉晶体管，且一上拉晶体管的第一漏区与一下拉晶体管的第一漏区电连接，并与相应的子字线电连接，如此，使得上拉晶体管以及下拉晶体管可以分别通过第一漏区将驱动信号传输至子字线，从而控制子字线的驱动以及关闭。并设置保持晶体管的第三漏区以及第三源区分别与两个不同的下拉晶体管的第二漏区电连接，即两个下拉晶体管共用同一保持晶体管，如此，使得在驱动与其中一下拉晶体管相连的一个子字线的时候，保持晶体管可以控制与另一下拉晶体管保持晶体管相连的子字线为未被选择的状态，实现在保持字线驱动器的性能不变的情况下，减小保持晶体管所占用的面积，从而可以减小字线驱动器的版图面积。此外，设置第一有源区对应的第一栅极的延伸方向相较于第一有源区的延伸方向倾斜，使得第一有源区中的第一栅极具有较大的尺寸，相当于增加上拉晶体管的沟道尺寸，从而可以提高第一栅极对上拉晶体管的驱动能力。

[0042] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开所要求保护的技术方案。

[0043] 图3为本公开实施例提供的第一种字线驱动器的版图结构示意图，图4为本公开实施例提供的第二种字线驱动器的版图结构示意图。

[0044] 参考图3，字线驱动器包括：包括NMOS区12和PMOS区11的基底；PMOS区11包括多个沿第一方向X延伸的第一有源区110，第一有源区110包括第一沟道区以及分别位于第一沟道区相对两侧的第一源区14和第一漏区13；NMOS区12与PMOS区11沿第二方向Y排布，包括多个沿第一方向X延伸的第二有源区120，第二有源区120包括第二沟道区15以及分别位于第二沟道区15相对两侧的第二源区17和第二漏区16，第二有源区120还包括第三沟道区以及分别位于第三沟道区相对两侧的第三源区18和第三漏区；第一栅极130，第一栅极130与主字线电连接，第一栅极130、第一源区14以及第一漏区13构成上拉晶体管，第一栅极130、第二源区17以及第二漏区16构成下拉晶体管，上拉晶体管以及下拉晶体管与同一子字线电连接，第一有源区110对应的第一栅极130的延伸方向相较于第一方向X倾斜；多个第二栅极140，每一第二栅极140覆盖相应的一第三沟道区，第二栅极140、第三源区18以及第三漏区构成保持晶体管；同一保持晶体管的第三漏区与一下拉晶体管的第二漏区16电连接，第三源区18与另一下拉晶体管的第二漏区16电连接。

[0045] 上拉晶体管以及下拉晶体管与子字线电连接，从而可以控制子字线的驱动以及关闭。具体地，在一些实施例中，每一第一栅极130沿第二方向Y延伸并覆盖多个第一沟道区以及多个第二沟道区15，一上拉晶体管的第一漏区与一下拉晶体管的第一漏区电连接，并与相应的子字线电连接。也就是说，同一子字线同时与上拉晶体管的第一漏区以及下拉晶体管的第

一漏区电连接,使得上拉晶体管可以通过第一漏区将驱动信号传输至子字线,从而驱动子字线,下拉晶体管可以通过第一漏区将驱动信号传输至子字线,从而关闭子字线。

[0046] 设置保持晶体管的第三漏区以及第三源区 18 分别与两个不同的下拉晶体管的第二漏区 16 电连接,使得两个下拉晶体管共用同一保持晶体管,如此,使得在驱动与其中一下拉晶体管相连的一个子字线的时候,保持晶体管可以控制与另一下拉晶体管保持晶体管相连的子字线为未被选择的状态,实现在保持字线驱动器的性能不变的情况下,减小字线驱动器的版图面积。此外,设置第一有源区 110 对应的第一栅极 130 的延伸方向相较于第一有源区 110 的延伸方向倾斜,使得第一有源区 110 中的第一栅极 130 具有较大的尺寸,相当于增加上拉晶体管的沟道尺寸,从而可以提高第一栅极 130 对上拉晶体管的驱动能力。

10 [0047] 在一些实施例中,基底的材料为半导体材料。具体地,在一些实施例中,基底的材料为硅。在另一些实施例中,基底也可以为锗基底、锗硅基底、碳化硅基底或者绝缘体上的硅基底。

[0048] PMOS 区 11 用于形成 PMOS 晶体管,上拉晶体管位于 PMOS 区 11 中,即上拉晶体管为 PMOS 晶体管,NMOS 区 12 用于形成 NMOS 晶体管,下拉晶体管位于 NMOS 区 12 中,使得下拉晶体管为 NMOS 晶体管。第一漏区 13 用于形成上拉晶体管的漏极,第二漏区 16 用于形成下拉晶体管的漏极,上拉晶体管的第一漏区 13 与下拉晶体管的第二漏区 16 电连接,且第一漏区 13 与第二漏区 16 还分别与一子字线电连接。如此,用于驱动子字线的驱动信号可以经由上拉晶体管的源极传输至上拉晶体管的漏极,并输入至子字线,控制子字线驱动;用于关闭子字线的驱动信号可以经由下拉晶体管的源极传输至下拉晶体管的漏极,并输入至子字线,控制子字线关闭。并且,由于上拉晶体管与下拉晶体管为不同类型的晶体管,使得上拉晶体管在导通时,下拉晶体管关闭,从而使得上拉晶体管可以用于驱动子字线;而下拉晶体管在导通时,上拉晶体管关闭,使得下拉晶体管可以用于驱动子字线。即上拉晶体管与下拉晶体管可以分别用于驱动以及关闭子字线。

[0049] 可以理解的是,一个上拉晶体管与一个下拉晶体管可以用于形成一个子字线驱动器 100,用于驱动一条子字线的驱动以及关闭。由于上拉晶体管与下拉晶体管为不同类型的晶体管,上拉晶体管位于 PMOS 区 11,下拉晶体管位于 NMOS 区 12 中,因此,在一些实施例中,还可以包括金属层,金属层用于电连接上拉晶体管的第一漏区 13 与下拉晶体管的第二漏区 16。具体地,在一些实施例中,金属层与第一漏区 13 以及第二漏区 16 之间可以通过导电插塞进行电连接。

30 [0050] 第一栅极 130 可以作为主字线,同时作为多个上拉晶体管以及下拉晶体管的栅极,从而使得多个上拉晶体管以及下拉晶体管可以响应于第一栅极 130 提供的使能信号来驱动多条子字线。

[0051] 第三漏区用于作为保持晶体管的漏极，第三源区 18 用于作为保持晶体管的源极，同一保持晶体管的第三源区 18 与第三漏区分别与两个不同的下拉晶体管的第二漏区 16 电连接，即同一保持晶体管的源极以及漏极分别连接两个不同下拉晶体管的漏极。由于两个不同的下拉晶体管的漏极还连接两条不同的子字线，使得同一保持晶体管的源极以及漏极还分别与两条不同的子字线电连接，如此，可以使得一个保持晶体管起到保持两条不同子字线的电压稳定的作用。这是因为，在同一时刻，字线驱动器仅能驱动一条子字线，例如，若子字线的数量为 2，则当与保持晶体管连接的其中一条子字线被选择时，另一条子字线处于未被选择的状态。当需要关闭被选择的子字线时，保持晶体管的源极以及漏极导通，使得被选择的子字线的电平被拉至与未被选择的子字线的电平一致，从而可以保证被选择的子字线可以完全被关闭。

[0052] 相较于一个保持晶体管用于控制一条子字线而言，本公开实施例中，设置一个保持晶体管的源极以及漏极分别电连接两条子字线，从而用于控制两条子字线，从而大大减小了字线驱动器中保持晶体管的数量，进而可以减小字线驱动器的版图面积。

[0053] 设置第一有源区 110 对应的第一栅极 130 的延伸方向相较于第一方向 X 倾斜设置，即第一有源区 110 对应的第一栅极 130 的延伸方向相较于第一有源区 110 的延伸方向倾斜，相较于第一栅极 130 垂直于第一有源区 110 的延伸方向延伸而言，使得第一栅极 130 的长度更大，从而可以增加第一栅极 130 的尺寸。如此，第一栅极 130 与沟道区的接触面积增大，使得形成的上拉晶体管的沟道尺寸增加，从而可以提高第一栅极 130 对上拉晶体管的驱动以及控制能力。如此，可以实现在减小字线驱动器的版图面积的同时，增加字线驱动器的驱动能力。

[0054] 参考图 3，在一些实施例中，还包括：第一接触结构 19，第一接触结构 19 电连接第一源区 14 或者第一漏区 13，且至少部分数量的第一接触结构 19 在基底表面的正投影的延伸方向相较于第一方向 X 倾斜。第一接触结构 19 与第一源区 14 或者第一漏区 13 电连接，从而使得第一接触结构 19 可以为上拉晶体管提供外部电信号，另一方面，也可以用于将上拉晶体管的电信号引出。相较于设置第一接触结构 19 在基底表面的正投影的延伸方向垂直于第一方向 X，即垂直于第一有源区 110 的延伸方向而言，设置第一接触结构 19 相较于第一有源区 110 的延伸方向倾斜，使得第一接触结构 19 在延伸方向上的长度增加，从而增加第一接触结构 19 的尺寸，有利于减小第一接触结构 19 的电阻，使得在第一接触结构 19 对电信号的传输速度加快，进而增大上拉晶体管的开启速度，进一步提高上拉晶体管对子字线的驱动能力。

[0055] 第一接触结构 19 的延伸方向与第一有源区 110 对应的第一栅极 130 的延伸方向可以相同，从而可以防止第一接触结构 19 与第一栅极 130 走线交叉的问题。

[0056] 在一些实施例中，第一接触结构 19 的材料可以为铜、铝或者钨中的任一种。

[0057] 参考图 4, 在一些实施例中, 靠近第一有源区 110 边缘的第一接触结构 19 在基底表面的正投影为三角形; 且第一接触结构 19 朝向第一栅极 130 的边界在基底表面正投影的延伸方向相较于第一方向 X 倾斜。这里所指的第一有源区 110 的边缘位置是指第一有源区 110 在第一方向 X 上的边缘位置。在一些实施例中, 第一有源区 110 的形状为矩形, 当第一有源区 110 的第一栅极 130 相较于第一有源区 110 的延伸方向倾斜时, 使得第一有源区 110 的边缘位置具有较多的空余空间, 且第一栅极 130 与第一有源区 110 的边缘围成三角形区域。基于此, 设置靠近第一有源区 110 边缘的第一接触结构 19 在基底表面的正投影为三角形, 使得第一接触结构 19 的形状与三角形区域的形状相适应, 可以充分利用第一有源区 110 的空余空间, 使得第一接触结构 19 的尺寸在可利用的空间内达到较大的水平, 从而减小第一接触结构 19 的电阻, 从而进一步增加第一接触结构 19 对电信号的传输速度, 提高上拉晶体管对子字线的驱动能力。

[0058] 可以理解的是, 位于相邻的两个第一栅极 130 之间的第一接触结构 19 的第一接触结构 19 可以为矩形, 且第一接触结构 19 的延伸方向与第一栅极 130 的延伸方向相同, 从而防止第一接触结构 19 与第一栅极 130 走线交叉的问题。

[0059] 继续参考图 4, 在一些实施例中, 第二有源区 120 对应的第一栅极 130 的延伸方向相较于第一方向 X 倾斜, 即第二有源区 120 对应的第一栅极 130 的延伸方向相较于第二有源区 120 的延伸方向倾斜。在第一有源区 110 对应的第一栅极 130 的延伸方向相较于第一有源区 110 的延伸方向倾斜的同时, 设置第二有源区 120 的第一栅极 130 的延伸方向相较于第二有源区 120 的方向倾斜, 使得第二有源区 120 的第一栅极 130 的长度也较大, 从而增加第二有源区 120 的第一栅极 130 的长度。由于第二有源区 120 的第一栅极 130 用于形成下拉晶体管, 因此, 使得形成的下拉晶体管的沟道尺寸也相应增加, 提高第一栅极 130 对下拉晶体管的驱动能力以及控制能力, 使得字线驱动器对关闭子字线的速度增加。

[0060] 第一有源区 110 位于 PMOS 区 11 中, 用于形成上拉晶体管, 第二有源区 120 位于 NMOS 区 12 中, 用于形成下拉晶体管以及保持晶体管。其中, 上拉晶体管的数量与下拉晶体管的数量相同, 保持晶体管的数量为下拉晶体管的数量的一半。也就是说, 第一有源区 110 中形成的晶体管的数量多于第二有源区 120 中形成的晶体管的数量, 即多了保持晶体管的数量, 使得第二有源区 120 中相较于第一有源区 110 而言, 需要额外形成第三沟道区。为了给形成第三沟道区提供较多的空间, 在一些实施例中, 在沿第一方向 X 上, 第二有源区 120 的长度大于第一有源区 110 的长度, 如此, 使得第二有源区 120 可以在第一方向 X 上形成多个第二沟道区 15 以及第三沟道区, 从而可以形成多个下拉晶体管以及保持晶体管。

[0061] 参考图 4, 在一些实施例中, 第二有源区 120 对应的第一栅极 130 的延伸方向相较于第一方向 X 倾斜的角度为第一角度 I, 第一有源区 110 对应的第一栅极 130 的延伸方向相

于第一方向 X 倾斜的角度为第二角度 II，第一角度 I 小于第二角度 II。由于第二有源区 120 在第一方向 X 上的长度大于第一有源区 110 的长度，为了保持子字线驱动器整体具有较小的尺寸，需要设置第二有源区 120 整体的尺寸不能过大，因此，需要设置第二有源区 120 在第二方向 Y 上的宽度较小。可以理解的是，当第二有源区 120 在第二方向 Y 上的宽度不变时，
5 第二有源区 120 对应的第一栅极 130 的延伸方向相较于第一方向 X 的倾斜的角度越小，即第一角度越小，使得第一栅极 130 的延伸方向越接近于与第一方向 X 平行，使得第一栅极 130 的长度将会更大，从而使第一栅极 130 的尺寸增加，增加对下拉晶体管的驱动能力。因此，设置第一角度小于第二角度，使得第二有源区 120 对应的第一栅极 130 的尺寸与第一有源区 110 对应的第一栅极 130 的尺寸相差不至于过大，从而使得第一栅极 130 对上拉晶体管以及
10 下拉晶体管的驱动能力均较强。

[0062] 此外，当第一栅极 130 用于形成多个下拉晶体管时，第二有源区 120 中第一栅极 130 所覆盖的第二沟道区 15 的数量较多，且多个第二沟道区 15 沿第二方向 Y 间隔排布。基于此，当第二有源区 120 中的第一栅极 130 需要覆盖多个第二沟道区 15 时，相邻的两个第二沟道区 15 对应的第一栅极 130 相连，且彼此之间具有夹角。由于第二有源区 120 在第二方向 Y 上的
15 宽度较小，使得相邻的两个第二沟道区 15 对应的第一栅极 130 之间的夹角较小，从而使得第二有源区 120 对应的第一栅极 130 的延伸方向相较于第一方向 X 倾斜的角度较小，即第一角度较小，有利于适应于尺寸较小的第二有源区 120，实现在减小字线驱动器的版图面积的情况下，提高字线驱动器的驱动能力。

[0063] 在一些实施例中，还包括：第二接触结构 20，第二接触结构 20 用于电连接第二源区 17、第二漏区 16、第三源区 18 或者第三漏区；且第二接触结构 20 在基底表面的正投影的延伸方向相较于第一方向 X 倾斜。第二接触结构 20 与第二源区 17、第二漏区 16、第三源区 18 或者第三漏区电连接，使得第二接触结构 20 可以为下拉晶体管以及保持晶体管提供外部电信号。相较于设置第二接触结构 20 垂直于第二有源区 120 的延伸方向而言，设置第二接触结构 20 相较于第二有源区 120 的延伸方向倾斜，使得第二接触结构 20 在延伸方向上的长度增加，
20 从而增加第二接触结构 20 的尺寸，有利于减小第二接触结构 20 的电阻，使得第二接触结构 20 对电信号的传输速度加快，进而增加下拉晶体管的开启速度以及保持晶体管的开启速度，从而提升字线驱动器对子字线的关闭速度。

[0064] 第二接触结构 20 的延伸方向与第二有源区 120 中第一栅极 130 的延伸方向可以相同，从而可以防止第二节处结构与第二有源区 120 中的第一栅极 130 走线交叉的问题。

30 [0065] 在一些实施例中，第二接触结构 20 的材料可以与第一接触结构 19 的材料相同，从而可以在同一工艺步骤中同时形成第一接触结构 19 以及第二接触结构 20，有利于节省工艺流程。

[0066] 参考图 5, 在一些实施例中, 第二接触结构 20 在基底表面的正投影的部分区域还位于第二有源区 120 的外侧, 也就是说, 第二接触结构 20 延伸至第二有源区 120 的外侧, 相较于第二接触结构 20 仅位于第二有源区 120 中而言, 使得第二接触结构 20 在延伸方向上的长度尺寸增加, 从而增加第二接触结构 20 的体积, 有利于减小第二接触结构 20 的电阻, 增加第二接触结构 20 对电信号的传输速度。

[0067] 在一些实施例中, 第二接触结构 20 所在的第二有源区 120 也可以向外侧延伸, 且第二接触结构 20 位于向外侧延伸的第二有源区 120 上, 从而使得第二接触结构 20 与第二源区 17、第二漏区 16、第三源区 18 或者第三漏区之间的接触面积增大, 减小接触电阻, 降低信号延迟。

[0068] 在一些实施例中, 还包括: 第三接触结构 21, 第三接触结构 21 用于电连接相邻的第二有源区 120。第三接触结构 21 位于相邻的两个第二有源区 120 之间, 可以用于与第二源区 17 电连接, 并与地端电连接, 从而为下拉晶体管提供低电平驱动信号来关闭子字线。设置第三接触结构 21 电连接相邻的第二有源区 120, 即相邻的两个第二有源区 120 的两个下拉晶体管可以共用同一第三接触结构 21, 从而可以减小第三接触结构 21 的占用面积, 减小版图面积。此外, 由于第三接触结构 21 横跨两个第二有源区 120 之间的距离, 使得第三接触结构 21 的尺寸较大, 因而可以使得第三接触结构 21 的电阻较小, 使得第三接触结构 21 对电信号的传输速度较快。也就是说, 可以在减小第二有源区 120 的版图面积的同时, 保持下拉晶体管较强的驱动能力。

[0069] 参考图 3 至图 5, 在一些实施例中, PMOS 区 11 可以位于 NMOS 区 12 的一侧。PMOS 区 11 中的第一漏区 13 与 NMOS 区 12 中的第二漏区 16 对应, 即 PMOS 区 11 中的每一第一漏区 13 与 NMOS 区 12 中的每一第二漏区 16 电连接, 使得一个上拉晶体管的漏极与另一下拉晶体管的漏极电连接。仅设置一个 PMOS 区 11 以及一个 NMOS 区 12, 分别用于形成上拉晶体管、下拉晶体管以及保持晶体管, 如此, 在实际制备上拉晶体管、下拉晶体管以及保持晶体管时, 可以对同一区域的衬底进行掺杂, 形成第一有源区 110 以及第二有源区 120, 并且可以在同一步骤中, 形成下拉晶体管以及保持晶体管, 有利于简化制备工艺。

[0070] 参考图 6 以及图 7, 在另一些实施例中, NMOS 区 12 可以包括分别位于 PMOS 区 11 相对两侧的第一 NMOS 区 31 和第二 NMOS 区 32 其中, 部分数量的下拉晶体管位于第一 NMOS 区 31, 剩余部分数量的下拉晶体管位于第二 NMOS 区 32。考虑到版图设计的复杂性, 将 NMOS 区 12 分为第一 NMOS 区 31 以及第二 NMOS 区 32, 从而灵活调整 NMOS 区 12 的布局位置, 有利于提高版图布局的合理性。

[0071] 在一些实施例中, 参考图 6, 当 NMOS 区 12 包括位于 PMOS 区 11 相对两侧的第一 NMOS 区 31 和第二 NMOS 区 32 时, 可以是仅 PMOS 区 11 中的第一有源区 110 对应的第一

栅极 130 的延伸方向相较于第一方向 X 倾斜，而第一 NMOS 区 31 与第二 NMOS 区 32 中的第二有源区 120 对应的第一栅极 130 的延伸方向垂直于第一方向 X。

[0072] 在另一些实施例中，参考图 7，当 NMOS 区 12 包括位于 PMOS 区 11 相对两侧的第一 NMOS 区 31 和第二 NMOS 区 32 时，也可以是 PMOS 区 11 中的第一栅极 130 以及第一 NMOS 区 31 与第二 NMOS 区 32 中的第一栅极 130 的延伸方向均相较于第一方向 X 倾斜设置，从而较大地增加第一栅极 130 的整体尺寸。

[0073] 继续参考图 3，在一些实施例中，一第一栅极 130 对应的一下拉晶体管的第二漏区 16 与保持晶体管的第三漏区共用，另一第一栅极 130 对应的一下拉晶体管的第二漏区 16 与同一保持晶体管的第三源区 18 共用。也就是说，第二栅极 140 位于第三沟道区表面，并与一下拉晶体管的第二漏区 16 以及另一下拉晶体管的第二漏区 16 构成保持晶体管。如此，可以减小第二有源区 120 的面积，进而减小字线驱动器的版图面积。

[0074] 具体地，在一些实施例中，第二栅极 140 位于相邻的第一栅极 130 之间，即第三沟道区位于第二源区 17 或者第二漏区 16 沿第一方向 X 的一侧。由于第二栅极 140 位于相邻的两条第一栅极 130 之间，而位于第二栅极 140 两侧的第一栅极 130 分别用于构成两个不同的下拉晶体管，从而使得保持晶体管分别与两条不同的第一栅极 130 所对应的下拉晶体管电连接。其中，位于第三沟道区一侧的第二漏区 16 可以作为一条第一栅极 130 对应的下拉晶体管的漏极，位于第三沟道区另一侧的第二漏区 16 可以作为另一条第一栅极 130 对应的下拉晶体管的漏极。在一些实施例中，同一第一栅极 130 对应的两个相邻的下拉晶体管也可以共用第二源区 17，从而进一步减小字线驱动器的版图面积。

[0075] 具体地，图 3 中的字线驱动器所对应的字线驱动电路可参考图 8，字线驱动电路包括：至少两个子字线驱动器 100，每一子字线驱动器 100 与一主字线以及一子字线连接，主字线用于提供使能信号；保持晶体管 103 的第一端与第二端分别连接不同的子字线，且与保持晶体管 103 的第一端以及第二端连接的两条子字线分别对应于不同的主字线。保持晶体管 103 的栅极接收第二驱动信号 PXIB；上拉晶体管 101 的栅极连接主字线，源极接收第一驱动信号 PXID，漏极连接子字线以及保持晶体管 103 的第一端或者第二端；下拉晶体管 102 的栅极连接主字线，漏极与上拉晶体管 101 的漏极连接，源极接收第三驱动信号 VKK。子字线驱动器 100 被配置为，响应于第一驱动信号 PXID 以及使能信号，向被选择的子字线提供第一驱动信号 PXID，被选择的子字线为与保持晶体管 103 的第一端或者第二端连接的子字线；响应于第一驱动信号 PXID、使能信号以及第二驱动信号 PXIB，导通保持晶体管 103 的第一端与第二端。

[0076] 也就是说，两条主字线可以共用同一保持晶体管 103，当字线驱动器响应于第一驱动信号 PXID、使能信号以及第二驱动信号 PXIB 时，导通保持晶体管 103 的第一端与第二端，

从而使得被选中的子字线的电平被拉至与未被选中的子字线的电平相一致，以关闭该被选中的字线。即当与保持晶体管 103 一端的子字线被驱动时，保持晶体管 103 可以使与保持晶体管 103 另一端连接的子字线处于未被选择的状态，从而实现在保持字线驱动电路的性能不变的情况下，减小字线驱动电路所占用的面积，减小子线驱动电路的版图面积。

- 5 [0077] 由于一子字线驱动器 100 与一子字线相连，而一个保持晶体管 103 分别与两条不同的子字线相连接。因此，在字线驱动电路中，子字线驱动器 100 的数量为保持晶体管 103 的数量的两倍，即一个保持晶体管 103 所连接的两条子字线还分别与两个子字线驱动器 100 相连接。

- [0078] 值得注意的是，在字线驱动电路中，当其中一个字线驱动器驱动与其相连的子字线时，
10 剩余子字线驱动器 100 所连接的子字线均处于未被选中的状态，即字线驱动电路中，同一时刻仅能选中一条子字线。由此可知，当与保持晶体管 103 第一端或者第二端的其中一者连接的子字线被选中时，与保持晶体管 103 第一端或者第二端中的另一者连接的子字线处于未被选中的状态。如此，当保持晶体管 103 的第一端与第二端导通时，与保持晶体管 103 第一端连接的子字线的电平将会拉至与保持晶体管 103 第二端连接的子字线的电平一致，从而可以
15 使被选中的子字线的电平拉低至与未被选中的子字线的电平一致，使得被选中的子字线处于关闭状态。

- [0079] 上拉晶体管 101 响应于使能信号以及第一驱动信号 PXID 将子字线上拉至第一驱动信号 PXID 的电平，子字线响应于第一驱动信号 PXID 驱动；下拉晶体管 102 响应于使能信号将子字线下拉至第三驱动信号 VKK 的电平，子字线响应于第三驱动信号 VKK 关闭。在一些
20 实施例，第一驱动信号 PXID 可以为高电平，第三驱动信号 VKK 可以为低电平，例如第三驱动信号 VKK 的电压可以为 0 或者小于 0。

- [0080] 上拉晶体管 101 包括 PMOS 管；下拉晶体管 102 包括 NMOS 管，保持晶体管 103 包括 NMOS 管，也就是说，上拉晶体管 101 响应于低电平信号导通，下拉晶体管 102 响应于高电平信号导通，从而使得上拉晶体管 101 与下拉晶体管 102 可以实现互不干扰，分别控制子
25 字线的驱动以及关闭。

[0081] 具体地，当上拉晶体管 101 为 PMOS 管，下拉晶体管 102 为 NMOS 管，保持晶体管 103 包括 NMOS 管时，字线驱动电路的工作原理如下：

- [0082] 将两个子字线驱动器 100 分别记为：第一子字线驱动器与第二子字线驱动器，且将与保持晶体管 103 第一端连接的子字线记为第一子字线，将保持晶体管 103 第二端连接的子字
30 线记为第二子字线。其中，第一子字线与第一子字线驱动器连接，第二子字线与第二子字线驱动器连接。

[0083] 第一子字线驱动器驱动第一子字线，此时，第二子字线处于未被选中状态。

[0084] 第一子字线驱动器响应于低电平的使能信号、高电平的第一驱动信号 PXID 以及低电平的第二驱动信号 PXIB 驱动第一子字线，具体地，上拉晶体管 101 响应于低电平的使能信号导通，高电平的第一驱动信号 PXID 由上拉晶体管 101 的源极被传输至上拉晶体管 101 的漏极，同时，保持晶体管 103 响应于低电平的第二驱动信号 PXIB 而关闭，使得第一子字线的电平上拉至第一驱动信号 PXID，具有高电平，从而被驱动。

[0085] 第一子字线驱动器响应于具有高电平的使能信号、低电平的第一驱动信号 PXID 以及高电平的第二驱动信号 PXIB 关闭第一子字线。下拉晶体管 102 响应于高电平的使能信号导通，上拉晶体管 101 响应与低电平的使能信号而关闭，第三驱动信号 VKK 由下拉晶体管 102 的源极被传输至下拉晶体管 102 的漏极，以使第一子字线的电平下拉至第三驱动信号 VKK，具有低电平。同时，保持晶体管 103 响应于高电平的第二驱动信号 PXIB 导通，以使第一子字线的电平与第二子字线的电平一致，而由于第二子字线处于未被选中状态，从而可以保证第一子字线被关闭，从而变为未被选中的状态。

[0086] 第二子字线驱动器驱动第二子字线以及关闭子字线的原理与第一子字线驱动器相同，以下将不再赘述。值得注意的是，由于第一子字线驱动器以及第二子字线驱动器对应同一保持晶体管 103，因此，当需要关闭被选择的第二子字线时，可以通过导通保持晶体管 103 的第一端以及第二端，以使第二子字线的电平被拉低至第一子字线的电平，从而使得第二子字线被关闭。也就是说，可以设置一个保持晶体管 103 与两条不同的子字线连接，实现控制两条子字线的关闭。

[0087] 值得注意的是，由于使能信号或者第三驱动信号 VKK 可能存在不稳定的问题，或者由于字线驱动电路会受到外界的噪声干扰，使得子字线的电平可能不小于 0，因此，仅仅依靠第三驱动信号 VKK 可能无法使子字线完全关闭。而本公开实施例中，由于设置保持晶体管 103 的第一端与第二端与两条不同的子字线相连，因此，当保持晶体管 103 的第一端以及第二端导通时，将会使被选中的字线的电压拉低至与未被选中的字线的电压一致。即保持晶体管 103 可以将被选中的字线的电压耦合到负电压的电平，从而被关闭。因此，无论使能信号或者第三驱动信号 VKK 的电平如何变化，未被选中的字线均可以保持稳定的电压值。

[0088] 值得注意的是，由于第一子字线驱动器以及第二子字线驱动器分别与不同的主字线连接，使得第一子字线驱动器以及第二子字线驱动器可以分别响应于来自第一主字线的使能信号以及来自第二主字线的使能信号而各自驱动相连的子字线。

[0089] 继续参考图 3，在一些实施例中，第一栅极 130 所覆盖的第一沟道区的数量可以为 4 个，且每一第一沟道区分别位于不同的第一有源区 110 中，即第一栅极 130 横跨 4 个间隔排布的第一有源区 110。第一栅极 130 所覆盖的第二沟道区 15 的数量可以为 4 个，且每一第二沟道区 15 分别位于不同的第二有源区 120 中，使得第一栅极 130 横跨 4 个间隔排布的第二有

源区 120。如此形成的字线驱动电路中，参考图 2，同一主字线所连接的上拉晶体管的的数量为 4 个，且同一主字线所连接的下拉晶体管的数量为 4 个。也就是说，每一主字线分别与 4 个子字线驱动器 100 连接，且由于两条主字线所对应的两个子字线驱动器 100 可以共用同一保持晶体管。也就是说，两条主字线共可以驱动 8 条子字线，而保持晶体管的数量仅需 4 个，
5 从而可以减小字线驱动器中保持晶体管的数量，使得字线驱动电路的版图面积较小。

[0090] 参考图 9，在另一些实施例中，第一栅极 130 所覆盖的第一沟道区的数量也可以为 6 个，即第一栅极 130 横跨 6 个间隔排布的第一有源区 110。第一栅极 130 所覆盖的第二沟道区 15 的数量可以为 6 个，即第一栅极 130 横跨 6 个间隔排布的第二有源区 120。

[0091] 如此形成的字线驱动电路中，同一主字线所连接的上拉晶体管的的数量为 6 个，且同一主字线所连接的下拉晶体管的数量为 6 个。也就是说，每一主字线分别与 6 个子字线驱动器 100 连接，两条主字线共可以驱动 12 条子字线。可以理解的是，本申请实施例中，可以灵活设置第一有源区 110 的数量，使得第一栅极 130 所覆盖的第一沟道区的数量不同，从而改变一条主字线可以驱动的子字线的数量。
10

[0092] 在另一些实施例中，同一第一栅极 130 对应的一下拉晶体管的第二漏区 16 与保持晶体管的第三漏区共用，同一第一栅极 130 对应的另一下拉晶体管的第二漏区 16 与同一保持晶体管的第三源区 18 共用。即同一第一栅极 130 对应的两个下拉晶体管共用同一保持晶体管，使得同一保持晶体管用于控制同一主字线对应的两条不同的子字线，从而可以减小第二有源区 120 中第三源区 18 以及第三漏区的数量，大大减小第二有源区 120 的尺寸，实现在字线驱动器的控制能力不变的同时，减小字线驱动器的版图面积。
15

[0093] 具体地，参考图 7，在一些实施例中，第三沟道区位于第二源区 17 或者第二漏区 16 沿第二方向 Y 的一侧；保持晶体管的第三漏区与一下拉晶体管的第二漏区 16 共用，保持晶体管的第三源区 18 与另一下拉晶体管的第二漏区 16 共用。在第二有源区 120 中，包括多个第二源区 17 以及第二漏区 16，多个第二源区 17 朝第二方向 Y 间隔排布，多个第二漏区 16 朝第二方向 Y 间隔排布。第三沟道区位于两个不同的下拉晶体管的第二漏区 16 之间，使得第三沟道区以及位于第三沟道区两侧的第二漏区 16 位于第一栅极 130 沿第一方向 X 的同一侧。其中，位于第三沟道区一侧的第二漏区 16 与第一栅极 130 用于构成一个下拉晶体管，位于第三沟道区另一侧的第二漏区 16 与同一第一栅极 130 用于构成另一下拉晶体管。也就是说，与同一保持晶体管相连的两个下拉晶体管对应于同一第一栅极 130，即一个保持晶体管用于控制同一主字线对应的子字线。且设置保持晶体管的源极以及漏极与两个不同的下拉晶体管的漏极共用，可以减小第二有源区 120 的占用面积，从而提高字线驱动器的集成度。
20
25
30

[0094] 具体地，图 7 中的字线驱动器所对应的自字线驱动电路可参考图 10，字线驱动电路包括：至少两个子字线驱动器 100，每一子字线驱动器 100 与一主字线以及一子字线连接；

保持晶体管 103 的第一端与第二端分别连接不同的子字线，且与保持晶体管 103 的第一端以及第二端连接的两条子字线对应于同一主字线，即两个子字线驱动器 100 与同一主字线对应。上拉晶体管 101 的栅极连接主字线，下拉晶体管 102 的栅极连接主字线，漏极与上拉晶体管 101 的漏极连接。

- 5 [0095] 图 10 中字线驱动电路驱动子字线以及关闭子字线的工作原理与图 8 中的字线驱动电路原理相同，以下不再赘述。值得注意的是，由于两个子字线驱动器 100 与同一主字线连接，当主字线输入使能信号时，两个子字线驱动器 100 对应的两个上拉晶体管的栅极将同时接收到来自主字线的使能信号。考虑到只能驱动一条子字线，因此，可以设置其中一个子字线驱动器 100 的上拉晶体管 101 的源极所接收的第一驱动信号 PXID 与另一子字线驱动器 100 的上拉晶体管 101 的源极接收的第一驱动信号 PXID 的电平不同，防止两条子字线同时被导通。

- [0096] 继续参考图 7，在一些实施例中，当同一第一栅极 130 对应的两个下拉晶体管共用同一保持晶体管时，第一栅极 130 所覆盖的第一沟道区的数量可以为 4 个，且每一第一沟道区分别位于不同的第一有源区 110 中，即第一栅极 130 横跨 4 个间隔排布的第一有源区 110。第一栅极 130 所覆盖的第二沟道区 15 的数量可以为 4 个，其中，第一栅极 130 覆盖第一 NMOS 区 31 中的 2 个第二沟道区 15，覆盖第二 NMOS 区 32 中的 2 个第二沟道区 15，且每一第二沟道区 15 分别位于不同的第二有源区 120 中，使得第一栅极 130 横跨 4 个第二有源区 120。如此形成的字线驱动电路中，参考图 11，同一主字线所连接的上拉晶体管的的数量为 4 个，且同一主字线所连接的下拉晶体管的数量为 4 个，即每一主字线分别与 4 个子字线驱动器 100 连接。同一主字线对应的两个子字线驱动器 100 共用同一保持晶体管，即一条主字线对应于 20 2 个保持晶体管。

- [0097] 参考图 11，在另一些实施例中，第一栅极 130 所覆盖的第一沟道区的数量也可以为 6 个，即第一栅极 130 横跨 6 个间隔排布的第一有源区 110。第一栅极 130 所覆盖的第二沟道区 15 的数量可以为 6 个，即第一栅极 130 横跨 6 个间隔排布的第二有源区 120。如此形成的字线驱动电路中，同一主字线所连接的上拉晶体管的的数量为 6 个，且同一主字线所连接的下拉晶体管的数量为 6 个，即每一主字线分别与 6 个子字线驱动器 100 连接。同一主字线对应的两个子字线驱动器 100 共用同一保持晶体管，即一条主字线对应于 3 个保持晶体管。

- [0098] 在一些实施例中，保持晶体管包括：第一晶体管（未图示）和第二晶体管（未图示）；与同一第一晶体管电连接的两个下拉晶体管共用第一栅极 130；同一第二晶体管的第三漏区与一下拉晶体管的第二漏区 16 电连接，第三源区 18 与另一下拉晶体管的第二漏区 16 电连接，与同一第二晶体管电连接的两个下拉晶体管对应两个第一栅极 130。也就是说，第一晶体管电连接的两个下拉晶体管对应于同一条主字线，使得第一晶体管控制同一主字线对应的两条子字线。与同一第二晶体管电连接的两个下拉晶体管分别对应于两个第一栅极 130，即第二

晶体管电连接的两个下拉晶体管对应于两条不同的主字线,使得第二晶体管可以控制两条不同主字线。即可以灵活设置保持晶体管与不同子字线的连接,实现在保持字线驱动电路的性能不变的情况下,减小字线驱动电路所占用的面积,从而可以减小字线驱动电路的版图面积。

[0099] 在一些实施例中,NMOS区12包括:第一NMOS区和第二NMOS区,分别位于PMOS区11相对两侧;其中,第一晶体管位于第一NMOS区;第二晶体管位于第二NMOS区;部分数量的下拉晶体管位于第一NMOS区,其余部分数量的下拉晶体管位于第二NMOS区。由于与第一晶体管电连接的两个下拉晶体管共用第一栅极130,与同一第二晶体管电连接的两个下拉晶体管分别对应于两个第一栅极130,使得第一晶体管与第一栅极130的连接方式和第二晶体管与第一栅极130的连接方式不同。因此,将第一晶体管设置于第一NMOS区中,将第二晶体管设置于第二NMOS区中,有利于分别形成第一晶体管以及第二晶体管,简化版图设计的复杂性。此外,将与第一晶体管电连接的下拉晶体管设置于第一NMOS区中,将与第二晶体管电连接的下拉晶体管设置于第二NMOS区中,如此,当下拉晶体管与第一晶体管以及第二晶体管分别形成电连接时,有利于缩短金属层的走线长度,从而降低金属层中的信号延迟。

[00100] 在一些实施例中,每一第一栅极130包括:至少两个在沿第一方向X上间隔排布的延伸部,每一延伸部覆盖多个第一沟道区以及多个第二沟道区15,且相较于第一方向X倾斜;连接部,连接在沿第一方向X上相邻排布的延伸部。两个延伸部覆盖多个第一沟道区以及第二沟道区15,使得一个第一栅极130与多个第一沟道区以及多个第二沟道区15电连接,用于控制多个上拉晶体管以及上拉晶体管的导通。连接部在第一方向X上连接相邻排布的延伸部,使得两个间隔排布的延伸部电连接,形成一条用于控制多个上拉晶体管以及第二下拉晶体管导通的主字线,且使得一条主字线可以控制的子字线的数量增加。具体地,当一条延伸部覆盖的第一沟道区的数量为4个,覆盖的第二沟道区15的数量为4个时,可以控制4条子字线。当连接部将两条延伸部连接形成一条第一栅极130后,由于每一条延伸部均可以控制4条子字线,使得第一栅极130可以控制8条子字线。

[00101] 在一些实施例中,第一栅极130的材料可以包括多晶硅或者金属中的至少一者。

[00102] 在一些实施例中,每一第一栅极130覆盖 $4 \times N$ 个第一沟道区以及 $4 \times N$ 个第二沟道区15,每一第一栅极130构成的上拉晶体管与下拉晶体管与 $2 \times N$ 个保持晶体管电连接;其中,N为大于等于1的正整数。也就是说,第一沟道区的数量与第二沟道区15的数量保持相等,使得上拉晶体管的数量与下拉晶体管的数量相同,每一上拉晶体管与一下拉晶体管102构成一个子字线驱动器100。保持晶体管的数量为上拉晶体管或者下拉晶体管102的数量的一半,使得两个子字线驱动器100可以共用一个保持晶体管,从而有利于减小字线驱动器中,保持晶体管的数量,进而减小字线驱动器的版图面积。

[00103] 上述实施例提供的字线驱动器中，上拉晶体管以及下拉晶体管可以分别通过第一漏区 13 将驱动信号传输至子字线，从而控制子字线的驱动以及关闭。设置保持晶体管的第三漏区以及第三源区 18 分别与两个不同的下拉晶体管的第二漏区 16 电连接，使得两个下拉晶体管共用同一保持晶体管，如此，使得在驱动与其中一下拉晶体管相连的一个子字线的时候，保持晶体管可以控制与另一下拉晶体管保持晶体管相连的子字线为未被选择的状态，实现在保持字线驱动器的性能不变的情况下，减小字线驱动器的版图面积。此外，设置第一有源区 110 对应的第一栅极 130 的延伸方向相较于第一有源区 110 的延伸方向倾斜，使得第一有源区 110 中的第一栅极 130 具有较大的尺寸，相当于增加上拉晶体管的沟道尺寸，从而可以提高第一栅极 130 对上拉晶体管的驱动能力。

10 [00104] 相应地，本公开实施例还提供一种存储装置，包括：存储单元阵列，包括连接到多条子字线和多条位线的多个存储单元；上述任一项提供的字线驱动电路；或者，上述任一项提供的字线驱动器。在一些实施例中，存储单元可以为 DRAM 存储单元。

[00105] 本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开的精神和范围。任何
15 本领域技术人员，在不脱离本公开的精神和范围内，均可作各自更动与修改，因此本公开的保护范围应当以权利要求限定的范围为准。

权利要求书

1. 一种字线驱动器, 其中, 包括:
包括 NMOS 区和 PMOS 区的基底;
所述 PMOS 区包括多个沿第一方向延伸的第一有源区, 所述第一有源区包括第一沟道区以及
5 分别位于所述第一沟道区相对两侧的第一源区和第一漏区;
所述 NMOS 区与所述 PMOS 区沿第二方向排布, 包括多个沿所述第一方向延伸的第二有源区,
所述第二有源区包括第二沟道区以及分别位于所述第二沟道区相对两侧的第二源区和第二漏
区, 所述第二有源区还包括第三沟道区以及分别位于所述第三沟道区相对两侧的第三源区和
第三漏区;
10 第一栅极, 所述第一栅极与主字线电连接, 所述第一栅极、所述第一源区以及所述第一漏区
构成上拉晶体管, 所述第一栅极、所述第二源区以及所述第二漏区构成下拉晶体管, 所述上
拉晶体管以及所述下拉晶体管与同一子字线电连接, 所述第一有源区对应的所述第一栅极的
延伸方向相较于所述第一方向倾斜;
多个第二栅极, 每一所述第二栅极覆盖相应的一所述第三沟道区, 所述第二栅极、所述第三
15 源区以及所述第三漏区构成保持晶体管;
同一所述保持晶体管的所述第三漏区与一所述下拉晶体管的所述第二漏区电连接, 所述第三
源区与另一所述下拉晶体管的所述第二漏区电连接。
2. 如权利要求 1 所述的字线驱动器, 其中, 每一所述第一栅极沿所述第二方向延伸并覆盖
多个所述第一沟道区以及多个第二沟道区, 一所述上拉晶体管的所述第一漏区与一所述下拉
20 晶体管的所述第一漏区电连接, 并与相应的所述子字线电连接。
3. 如权利要求 1 所述的字线驱动器, 其中, 所述 PMOS 区位于所述 NMOS 区的一侧。
4. 如权利要求 1 所述的字线驱动器, 其中, 所述 NMOS 区包括分别位于所述 PMOS 区相对
两侧的第一 NMOS 区和第二 NMOS 区。
5. 如权利要求 4 所述的字线驱动器, 其中, 所述第三沟道区位于所述第二源区或者所述第
25 二漏区沿所述第二方向的一侧; 所述保持晶体管的所述第三漏区与一所述下拉晶体管的所述
第二漏区共用, 所述保持晶体管的所述第三源区与另一所述下拉晶体管的所述第二漏区共用。
6. 如权利要求 1 所述的字线驱动器, 其中, 还包括: 第一接触结构, 所述第一接触结构电
连接所述第一源区或者所述第一漏区, 且至少部分数量的所述第一接触结构在所述基底表面
的正投影的延伸方向相较于所述第一方向倾斜。
30 7. 如权利要求 6 所述的字线驱动器, 其中, 靠近所述第一有源区边缘的所述第一接触结构

在所述基底表面的正投影为三角形；且所述第一接触结构朝向所述第一栅极的边界在所述基底表面正投影的延伸方向相较于所述第一方向倾斜。

8. 如权利要求 1 所述的字线驱动器，其中，所述第二有源区对应的所述第一栅极的延伸方向相较于所述第一方向倾斜。

5 9. 如权利要求 8 所述的字线驱动器，其中，在沿所述第一方向上，所述第二有源区的长度大于所述第一有源区的长度；所述第二有源区对应的所述第一栅极的延伸方向相较于所述第一方向倾斜的角度为第一角度，所述第一有源区对应的所述第一栅极的延伸方向相较于所述第一方向倾斜的角度为第二角度，所述第一角度小于所述第二角度。

10 10. 如权利要求 8 所述的字线驱动器，其中，还包括：第二接触结构，所述第二接触结构用于电连接所述第二源区、所述第二漏区、所述第三源区或者所述第三漏区；且所述第二接触结构在所述基底表面的正投影的延伸方向相较于所述第一方向倾斜。

11. 如权利要求 10 所述的字线驱动器，其中，所述第二接触结构在所述基底表面的正投影的部分区域还位于所述第二有源区的外侧。

12 12. 如权利要求 1 所述的字线驱动器，其中，还包括：第三接触结构，所述第三接触结构用于电连接相邻的所述第二有源区。

13. 如权利要求 1 所述的字线驱动器，其中，同一所述第一栅极对应的一所述下拉晶体管的所述第二漏区与所述保持晶体管的所述第三漏区共用，同一所述第一栅极对应的另一所述下拉晶体管的所述第二漏区与同一所述保持晶体管的所述第三源区共用。

14 14. 如权利要求 1 所述的字线驱动器，其中，一所述第一栅极对应的一所述下拉晶体管的所述所述第二漏区与所述保持晶体管的所述第三漏区共用，另一所述第一栅极对应的一所述下拉晶体管的所述第二漏区与同一所述保持晶体管的所述第三源区共用。

15. 如权利要求 14 所述的字线驱动器，其中，所述第二栅极位于相邻的所述第一栅极之间。

16 16. 如权利要求 1 所述的字线驱动器，其中，所述保持晶体管包括：第一晶体管和第二晶体管；与同一所述第一晶体管电连接的两个所述下拉晶体管共用所述第一栅极；同一所述第二晶体管的所述第三漏区与一所述下拉晶体管的所述第二漏区电连接，所述第三源区与另一所述下拉晶体管的所述第二漏区电连接，与同一所述第二晶体管电连接的两个所述下拉晶体管对应两个所述第一栅极。

17. 如权利要求 16 所述的字线驱动器，其中，所述 NMOS 区包括：

第一 NMOS 区和第二 NMOS 区，分别位于所述 PMOS 区相对两侧；

30 其中，所述第一晶体管位于所述第一 NMOS 区；所述第二晶体管位于所述第二 NMOS 区；

部分数量的所述下拉晶体管位于所述第一 NMOS 区，其余部分数量的所述下拉晶体管位于所述第二 NMOS 区。

18. 如权利要求 1 所述的字线驱动器，其中，每一所述第一栅极包括：

5 至少两个在沿所述第一方向上间隔排布的延伸部，每一所述延伸部覆盖多个所述第一沟道区以及多个所述第二沟道区，且相较于所述第一方向倾斜；

连接部，连接在沿所述第一方向上相邻排布的所述延伸部。

19. 如权利要求 1 所述的字线驱动器，其中，每一所述第一栅极覆盖 $4 \times N$ 个所述第一沟道区以及 $4 \times N$ 个所述第二沟道区，每一所述第一栅极构成的所述上拉晶体管与所述下拉晶体管与 $2 \times N$ 个所述保持晶体管电连接；其中， N 为大于等于 1 的正整数。

10 20. 一种存储装置，包括：

存储单元阵列，包括连接到多条子字线和多条位线的多个存储单元；

如权利要求 1-19 任一项所述的字线驱动器。