

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月26日(26.12.2019)



(10) 国際公開番号

WO 2019/244373 A1

(51) 国際特許分類:
H01L 27/11582 (2017.01) H01L 27/1157 (2017.01)
H01L 21/336 (2006.01) H01L 29/788 (2006.01)
H01L 27/11524 (2017.01) H01L 29/792 (2006.01)
H01L 27/11556 (2017.01)

(21) 国際出願番号: PCT/JP2018/044241

(22) 国際出願日: 2018年11月30日(30.11.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-116376 2018年6月19日(19.06.2018) JP

(71) 出願人: キオクシア株式会社 (KIOXIA CORPORATION) [JP/JP]; 〒1080023 東京都港区芝浦三丁目1番2号 Tokyo (JP).

(72) 発明者: 内村 康宏 (UCHIMURA, Yasuhiro); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 濱田 龍文 (HAMADA, Tatsufumi); 〒1050023 東京都港区

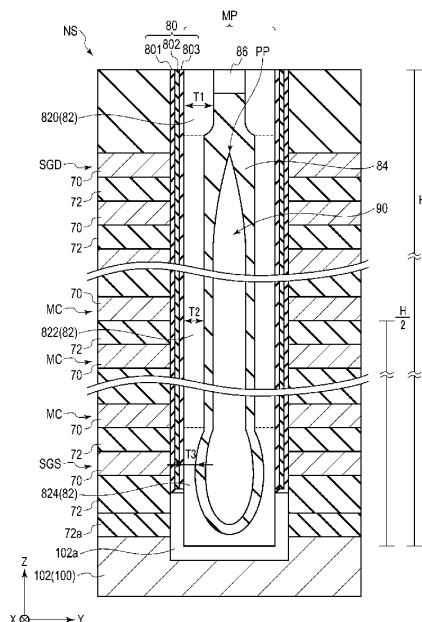
芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 五月女 真一 (SOTOME, Shinichi); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 九鬼 知博 (KUKI, Tomohiro); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 大島 康礼 (OSHIMA, Yasunori); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP). 有隅 修 (ARISUMI, Osamu); 〒1050023 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内 Tokyo (JP).

(74) 代理人: 蔵田 昌俊, 外 (KURATA, Masatoshi et al.); 〒1050014 東京都港区芝三丁目2番1号 セレスティン芝三井ビルディング11階 鈴榮特許総合事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: MEMORY DEVICE

(54) 発明の名称: メモリデバイス



(57) Abstract: The present invention improves the yield of a memory device. A memory device according to one embodiment of the present invention is provided with: a substrate 100; a structure 50 which is superposed on the substrate 100, while comprising a plurality of conductive layers 70; and a pillar MP which is provided within the structure 50, while comprising a semiconductor layer 82 that extends in a direction that is perpendicular to the surface of the substrate 100. The semiconductor layer 82 comprises a first portion 820 and a second portion 824 that is positioned between the first portion 820 and the substrate 100; and the film thickness T1 of the first portion 820 is thicker than the film thickness T2 of the second portion 822.

(57) 要約: メモリデバイスの歩留まりを向上する。実施形態のメモリデバイスは、基板100と、基板100上に積層された複数の導電層70を含む構造体50と、構造体50内に設けられ、基板100の表面に対して垂直方向に延在する半導体層82を含むピラーMPと、備え、半導体層82は、第1の部分820と、第1の部分820と基板100との間の第2の部分824と、を含み、第1の部分820の膜厚T1は、前記第2の部分822の膜厚T2より厚い。

WO 2019/244373 A1

[続葉有]

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))