

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 6 月 2 日 (02.06.2022)



(10) 国际公布号
WO 2022/110746 A1

- (51) 国际专利分类号:
H01L 25/18 (2006.01) *H01L 23/488* (2006.01)
H01L 23/498 (2006.01)
- (21) 国际申请号: PCT/CN2021/097931
- (22) 国际申请日: 2021 年 6 月 2 日 (02.06.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202011380744.2 2020 年 11 月 30 日 (30.11.2020) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 姬忠礼 (JI, Zhongli); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 徐伟 (XU, Wei); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 北京同达信恒知识产权代理有限公司 (TDIP & PARTNERS); 中国北京市西城区裕民路 18 号北环中心 A 座 2002, Beijing 100029 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: PACKAGING MODULE, AND ELECTRONIC APPARATUS

(54) 发明名称: 一种封装模组及电子设备

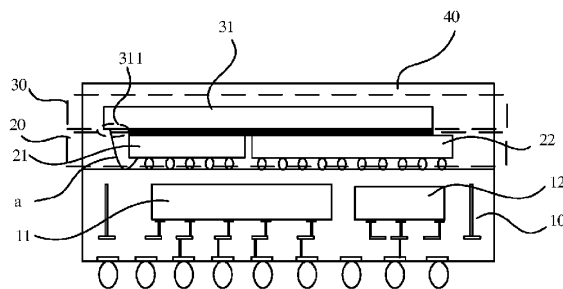


图 3

(57) Abstract: The present application provides a packaging module and an electronic apparatus. The packaging module comprises a substrate layer arranged in a stacked manner, and multiple chip layers arranged on the substrate layer in a stacked manner. The substrate layer serves as a support structure to support the multiple chip layers. The multiple chip layers comprise a top chip layer, and the top chip layer is the chip layer farthest from the substrate layer in the multiple chip layers. The top chip layer comprises a first chip, a connection surface of the first chip faces the substrate layer, and the connection surface of the first chip is electrically connected to a chip of the adjacent chip layer via a first conductor. In the above technical solution, all chips are supported by one substrate (the substrate layer), thereby reducing the number of used substrates, and further reducing the thickness of the packaging module. In addition, the connection surface of the first chip is configured to face the substrate layer, such that the first conductor connecting the first chip to other chips does not occupy additional space, thereby reducing the thickness of the packaging module, and facilitating miniaturization of the packaging module.

[见续页]

WO 2022/110746 A1

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请提供了一种封装模组及电子设备, 封装模组包括层叠设置的衬底层、以及层叠设置在衬底层的多个芯片层。衬底层作为支撑结构, 以支撑上述多个芯片层。多个芯片层包含有顶层芯片层, 该顶层芯片层为多个芯片层中距离衬底层最远的一个芯片层。其中, 顶层芯片层包含有第一芯片, 第一芯片的连接面朝向衬底层, 且第一芯片的连接面通过第一导体与相邻芯片层的芯片导电连接。在上述技术方案中, 通过一个基板(衬底层)支撑所有的芯片, 降低了基板的使用的个数, 进而降低了封装模组的厚度。另外, 通过将第一芯片的连接面朝向衬底层, 使得第一芯片与其他芯片连接的第一导体不会额外占用空间, 降低了封装模组的厚度, 便于封装模组的小型化。