

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年2月7日(07.02.2013)



(10) 国際公開番号

WO 2013/018597 A1

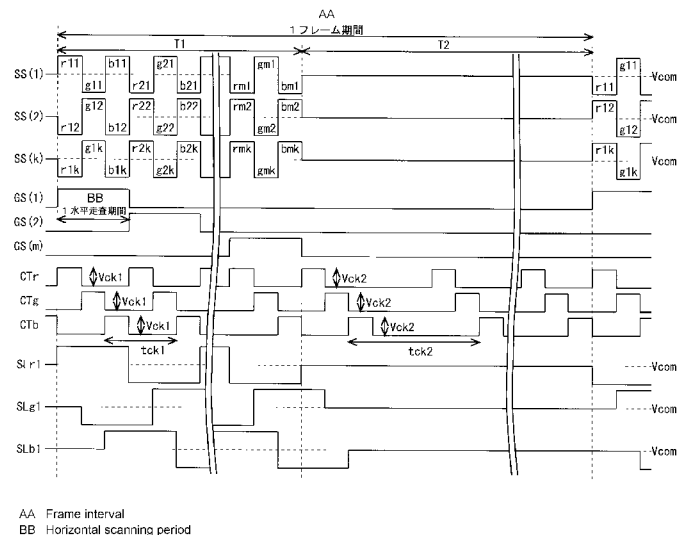
- (51) 国際特許分類:
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2012/068759
- (22) 国際出願日: 2012年7月25日(25.07.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-169049 2011年8月2日(02.08.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山本 薫
(YAMAMOTO, Kaoru). 金子 誠二 (KANEKO,
Seiji). 小川 康行(OGAWA, Yasuyuki). 田中 耕平
(TANAKA, Kohhei). 内田 誠一(UCHIDA, Seichi).
高丸 泰(TAKAMARU, Yutaka). 森 重恭(MORI,
Shigeyasu).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

[続葉有]

(54) Title: DISPLAY DEVICE AND METHOD FOR POWERING SAME

(54) 発明の名称: 表示装置およびその駆動方法

[図5]



(57) Abstract: Provided is a SSD display device that reduces power consumption. A selection circuit (400) is configured from a number (k) of selection blocks (410(1)-410(k)). Each selection block is configured from three thin-film transistors. Three phases of selection control signals (CT) are respectively assigned to the gate terminals of the three thin-film transistors. A scanning period (T1) is followed by an idle period (T2). During the idle period (T2), the three thin-film transistors inside each selection block are turned on, on the basis of the selection control signal (CT) of the idle period frequency (fck2). The idle period frequency (fck2) is lower than the scanning period frequency (fck1).

(57) 要約:

[続葉有]

WO 2013/018597 A1



消費電力を低減したSSD方式の表示装置を提供する。選択回路(400)はk個の選択フロッグ(410(1)~410(k))により構成されている。各選択フロッグは、3つの薄膜トランジスタにより構成されている。これらの3つの薄膜トランジスタのゲート端子には、3相の選択制御信号(C,T)がそれぞれ与えられる。走査期間(T1)の後に休止期間(T2)が設けられる。休止期間(T2)では、休止期間周波数(fck2)の選択制御信号(C,T)に基づいて、各選択フロッグ内の3つの薄膜トランジスタがオフ状態になる。休止期間周波数(fck2)は走査期間周波数(fck1)よりも低い。