

权利要求书

1. 一种接口电路，包括：
时钟焊盘，用于传输时钟信号；
M 个数据焊盘，用于传输数据信号；
5 M 个输入缓冲电路，与所述数据焊盘一一对应，每一个所述输入缓冲电路在所述时钟信号的驱动下，接收与所述输入缓冲电路对应的所述数据焊盘传输的所述数据信号；
其中，所述时钟焊盘与所述数据焊盘布置于第一排，且所述 M 个数据焊盘布置于所述时钟焊盘的两侧，每一侧布置所述 M 个数据焊盘的一半，所述
10 M 个输入缓冲电路布置于第二排，以所述时钟焊盘为基准，形成垂直于所述第一排的轴线，所述 M 个输入缓冲电路布置于所述轴线的两侧，每一侧布置所述 M 个输入缓冲电路的一半，每一个所述输入缓冲电路与所述轴线的距离小于所述输入缓冲电路对应的所述数据焊盘与所述轴线的距离，所述 M 为大于等于 2 的整数。
15 2. 如权利要求 1 所述的接口电路，其中，每一个所述输入缓冲电路到所述输入缓冲电路对应的所述数据焊盘之间的输入数据路径长度为第一长度，每一个所述输入缓冲电路与所述时钟焊盘之间的时钟路径长度为第二长度，所述第一长度与所述第二长度成正相关。
3. 如权利要求 1 所述的接口电路，其中，所述时钟焊盘为差分输入焊盘，包括
20 第一时钟焊盘和第二时钟焊盘，所述第一时钟焊盘与所述第二时钟焊盘分别传输互补的所述时钟信号。
4. 如权利要求 3 所述的接口电路，其中，所述第一时钟焊盘与所述第二时钟焊盘相对于所述轴线对称布置。
5. 如权利要求 1 所述的接口电路，还包括：时钟处理电路，与所述时钟焊盘和
25 所述 M 个输入缓冲电路均电连接，用于接收所述时钟信号，并将所述时钟信号进行处理后作为所述 M 个输入缓冲电路的驱动时钟。

6. 如权利要求 5 所述的接口电路, 其中, 所述时钟处理电路包括时钟接收电路和时钟产生电路, 所述时钟接收电路与所述时钟焊盘电连接, 用于接收所述时钟信号, 所述时钟接收电路的输出作为所述时钟产生电路的输入, 所述时钟产生电路用于产生所述驱动时钟。
- 5 7. 如权利要求 1 所述的接口电路, 还包括:
- 标志焊盘, 用于传输标志信号;
- 标志缓冲电路, 与所述标志焊盘对应, 用于在所述时钟信号的驱动下, 接收所述标志焊盘传输的所述标志信号。
8. 如权利要求 7 所述的接口电路, 其中, 所述标志焊盘布置于所述第一排, 且
10 位于所述数据焊盘与所述时钟焊盘之间; 所述标志缓冲电路布置于所述第二排, 且与所述标志焊盘位于所述轴线的同一侧, 且位于所述输入缓冲电路与
所述轴线之间; 所述标志缓冲电路与所述轴线的距离小于所述标志缓冲电路
对应的所述标志焊盘与所述轴线的距离。
9. 如权利要求 1 所述的接口电路, 还包括: M 个输出缓冲电路, 与所述数据焊
15 盘一一对应, 每一个所述输出缓冲电路在所述时钟信号的驱动下, 将所述数
据信号发送至对应的数据焊盘。
10. 如权利要求 9 所述的接口电路, 其中, 每一个所述输出缓冲电路到所述输出
缓冲电路对应的所述数据焊盘之间的输出数据路径长度相同。
11. 如权利要求 1 所述的接口电路, 其中, 所述输入缓冲电路包括多路选择器和
20 锁存器, 所述多路选择器接收所述数据信号, 并将所述数据信号处理后输出
给所述锁存器, 所述锁存器的输出作为所述输入缓冲电路的输出。
12. 一种数据传输电路, 包括权利要求 1 至 11 任一所述的接口电路, 还包括:
- M 个串并转换电路, 所述 M 个串并转换电路与所述 M 个输入缓冲电路一一
对应, 每一个所述输入缓冲电路的输出作为对应的所述串并转换电路的输入。
- 25 13. 如权利要求 12 所述的数据传输电路, 其中, 所述 M 个串并转换电路布置于
第三排, 位于所述轴线同一侧的每一个所述输入缓冲电路与所述输入缓冲电
路对应的所述串并转换电路之间的传输路径长度各不相同。

- 14.如权利要求 12 所述的数据传输电路,其中,所述 M 个串并转换电路与所述 M 个数据焊盘一一对应,且每一个所述串并转换电路到所述串并转换电路对应的所述数据焊盘的距离相同。
- 15.如权利要求 12 所述的数据传输电路,还包括:
- 5 M 个先入先出电路,与所述 M 个串并转换电路一一对应;
- M 个并串转换电路,与所述 M 个先入先出电路一一对应,每一个所述先入先出电路的输出作为所述先入先出电路对应的所述并串转换电路的输入;
- M 个驱动电路,与所述 M 个并串转换电路一一对应,每一个所述并串转换电路的输出作为所述并串转换电路对应的所述驱动电路的输入;所述 M 个
- 10 驱动电路还与所述 M 个数据焊盘一一对应。
- 16.如权利要求 15 所述的数据传输电路,还包括 M 个可选输入缓冲电路,所述 M 个可选输入缓冲电路的数量与所述输入缓冲电路的数量相同,且与所述输入缓冲电路并排设置。
- 17.如权利要求 16 所述的数据传输电路,其中,所述 M 个输入缓冲电路和/或所述 M 个可选输入缓冲电路中的两个、所述 M 个串并转换电路中的一个、所述 M 个先入先出电路中的一个、所述 M 个并串转换电路中的一个以及所述 M 个驱动电路中的一个,共同组成一个数据传输单元,每一个所述数据传输单元的工作环境匹配。
- 15
- 18.如权利要求 17 所述的数据传输电路,其中,同一所述数据传输单元中的所述串并转换电路和所述先入先出电路并排或并列设置。
- 20
- 19.如权利要求 17 所述的数据传输电路,其中,位于不同的所述数据传输单元中的先入先出电路并排设置。
- 20.一种存储器,包括权利要求 12 至 19 任一所述的数据传输电路。