

权利要求书

1、一种半导体封装方法，包括：

形成包封结构，所述包封结构包括包封层及芯片，所述芯片的正面设有多个焊垫，所述包封层至少覆盖所述芯片的侧面；

在所述包封结构靠近所述芯片正面的一侧形成再布线层，所述再布线层将所述芯片的焊垫引出；

形成介电层，所述介电层覆盖所述再布线层，且所述介电层上设有暴露所述再布线层的通孔；

在所述介电层背离所述芯片的一侧形成引脚层，所述引脚层通过所述通孔与所述再布线层电连接。

2、根据权利要求 1 所述的半导体封装方法，其特征在于，所述引脚层包括多个间隔排布的导电凸柱，所述导电凸柱凸出于所述介电层；在所述介电层背离所述芯片的一侧形成所述引脚层之后，所述半导体封装方法还包括：

形成焊料层，所述焊料层包覆所述导电凸柱凸出于所述介电层的表面。

3、根据权利要求 1 所述的半导体封装方法，其特征在于，所述引脚层包括多个间隔排布的导电凸柱，所述导电凸柱凸出于所述介电层；所述通孔内设有导电部，所述引脚层通过所述导电部与所述再布线层电连接，所述导电部与所述通孔对应的位置处形成凹陷；在所述介电层背离所述芯片的一侧形成所述引脚层之后，所述半导体封装方法还包括：

形成焊料层，所述焊料层包覆所述导电凸柱凸出于所述介电层的表面，且所述焊料层填充所述凹陷。

4、根据权利要求 3 所述的半导体封装方法，其特征在于，所述通孔的宽度与深度的比值大于或等于 1/3。

5、根据权利要求 4 所述的半导体封装方法，其特征在于，所述通孔的深度范围为 60 μm 至 100 μm ；所述导电部位于所述通孔底壁的部分的厚度范围为 10 μm 至 50 μm 。

6、根据权利要求 1 所述的半导体封装方法，其特征在于，所述引脚层的厚度大于 30 μm 。

7、根据权利要求 1 所述的半导体封装方法，其特征在于，所述半导体封装方法还包括：在所述介电层背离所述芯片的一侧形成散热层；

在所述介电层背离所述芯片的一侧形成所述散热层之后，所述半导体封装方法还包括：形成焊料层，所述焊料层包覆所述散热层露出于所述介电层的表面。

8、根据权利要求 1 所述的半导体封装方法，其特征在于，所述再布线层包括多个间隔设置的再布线结构，所述再布线结构设置有镂空部。

9、一种半导体封装结构，包括：

包封结构，所述包封结构包括包封层及芯片，所述芯片的正面设有多个焊垫，所述包封层包覆所述芯片的背面及侧面；

再布线层，位于所述包封结构靠近所述芯片正面的一侧，所述再布线层将所述芯片的焊垫引出；

介电层，覆盖所述再布线层，所述介电层上设有暴露所述再布线层的通孔；

引脚层，位于所述介电层背离所述芯片的一侧，所述引脚层通过所述通孔与所述再布线层电连接。

10、根据权利要求 9 所述的半导体封装结构，其特征在于，所述引脚层包括多个间隔排布的导电凸柱，所述导电凸柱凸出于所述介电层；所述半导体封装结构还包括焊料层，所述焊料层包覆所述导电凸柱凸出于所述介电层的表面。

11、根据权利要求 9 所述的半导体封装结构，其特征在于，所述引脚层包括多个间隔排布的导电凸柱，所述导电凸柱凸出于所述介电层；所述通孔内设有导电部，所述引脚层通过所述导电部与所述再布线层电连接，所述导电部与所述通孔对应的位置处形成凹陷；所述半导体封装结构还包括焊料层，所述焊料层包覆所述导电凸柱凸出于所述介电层的表面，且所述焊料层填充所述凹陷。

12、根据权利要求 11 所述的半导体封装结构，其特征在于，所述通孔的宽度与深度的比值大于或等于 1/3。

13、根据权利要求 12 所述的半导体封装结构，其特征在于，所述通孔的深度范围为 60 μm 至 100 μm ；所述导电部位于所述通孔底壁的部分的厚度范围为 10 μm 至 50 μm 。

14、根据权利要求 9 所述的半导体封装结构，其特征在于，所述引脚层的厚度大于 30 μm 。

15、根据权利要求 9 所述的半导体封装结构，其特征在于，所述再布线层包括多个间隔设置的再布线结构，所述再布线结构设置有镂空部。

16、根据权利要求 15 所述的半导体封装结构，还包括：

形成于所述芯片的正面的保护层，其中，所述保护层包括暴露所述多个焊垫的开孔；

形成于所述保护层的开孔内的导电结构，其中，所述再布线结构通过所述导电结构与所述焊垫电连接。

17、根据权利要求 16 所述的半导体封装结构，还包括：

位于所述介电层背离所述芯片的一侧的散热层，其中，所述引脚层包括多个间隔排布的导电凸柱，所述多个间隔排布的导电凸柱位于所述散热层的周侧。