存储器

交叉引用

[0001] 本申请要求于2024年11月22日提交中国专利局、申请号为202411689849.4、申请名称为“存储器”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

[0002] 本申请实施例涉及半导体领域，特别涉及一种存储器。

背景技术

[0003] 在存储器设计中，尤其是在动态随机存取存储器（Dynamic Random Access Memory，DRAM）的设计中，存储单元中的存取晶体管栅极与字线连接，漏极与位线连接，字线通过字线驱动器进行驱动，位线电压通过感测放大器进行放大。在不同的存储器产品中，存储单元既可以是平面排列，也可以是多层堆叠，在不同的场景下，字线驱动器和感测放大器的布局需要适应性变化。

发明内容

[0004] 本申请实施例提供一种存储器，至少有利于提高存储器中存储单元在字线延伸方向上的集中度。

[0005] 根据本申请一些实施例，本申请实施例提供一种存储器，至少可以包括：存储阵列和字线驱动器，所述字线驱动器用于驱动所述存储阵列中的字线，所述字线包括第一类字线和第二类字线，所述字线驱动器包括第一驱动器和第二驱动器，所述第一驱动器用于驱动所述第一类字线，所述第二驱动器用于驱动所述第二类字线；连接桥，包含第一连接桥和第二连接桥，所述第一类字线通过第一连接桥连接所述第一驱动器，所述第二类字线通过所述第二连接桥连接所述第二驱动器；其中，所述连接桥的延伸方向与第一方向相同，所述第一连接桥朝向所述第二连接桥的方向垂直所述第一方向，所述第一方向为所述字线的延伸方向。

[0006] 在一些实施例中，所述第一类字线为奇数字线，所述第二类字线为偶数字线，所述第一连接桥和所述第二连接桥位于所述存储阵列在第二方向上的相对两侧，所述第二方向垂直与所述第一方向，所述第二方向为主位线的延伸方向。

[0007] 在一些实施例中，在所述字线延伸方向上，依次排列的至少三个存储阵列共用所述第一连接桥和所述第二连接桥，以及共用所述第一驱动器和所述第二驱动器。

[0008] 在一些实施例中，共享同一所述第一连接桥和同一所述第二连接桥的多个所述存储阵列构成阵列组，所述第一连接桥通过第一字线接触垫连接所述第一驱动器，所述第二连接桥

通过第二字线接触垫连接所述第二驱动器，所述第一字线接触垫和所述第二字线接触垫仅位于所述阵列组中部分所述存储阵列沿所述第二方向的相对两侧。

[0009] 在一些实施例中，每个所述第一连接桥仅与一个所述第一字线接触垫接触连接，每个第一字线接触垫连接一个所述第一驱动器；或者，每个所述第一连接桥与多个所述第一字线接触垫接触连接，每个第一字线键合连接不同的所述第一驱动器；或者，每个所述第一连接桥与多个所述第一字线接触垫接触连接，多个所述第一字线接触垫连接同一个所述第一驱动器。

[0010] 在一些实施例中，每个所述第一连接桥与多个所述第一字线接触垫接触连接，所述多个第一字线接触垫等间隔设置于所述第一连接桥上。

[0011] 在一些实施例中，所述存储器包含沿垂直方向堆叠的多层所述阵列组，每个所述第一连接桥仅与一个所述第一字线接触垫连接，不同层的所述阵列组对应的所述第一字线接触垫在所述垂直方向上的投影沿所述第一方向排列。

[0012] 在一些实施例中，所述存储器包含沿垂直方向堆叠的多层所述阵列组，每个所述第一连接桥均连接有多个所述第一字线接触垫，不同层的所述阵列组对应的排序相同的所述第一字线接触垫在所述垂直方向上的投影沿所述第一方向排列。

[0013] 在一些实施例中，所述第一连接桥位于对应的所述第一字线接触垫和所述阵列组之间，所述第二连接桥位于对应的所述第二字线接触垫和所述阵列组之间。

[0014] 在一些实施例中，同一所述阵列组对应的所述第一字线接触垫和所述第二字线接触垫在所述第二方向上的正投影错位，不同所述阵列组对应的所述第一字线接触垫在所述第二方向上的正投影重合，不同所述阵列组对应的所述第二字线接触垫在所述第二方向上的正投影重合。

附图说明

[0015] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，除非有特别申明，附图中的图不构成比例限制。

[0016] 图 1 为一种存储器中字线接触结构和存储阵列的连接关系示意图；

[0017] 图 2 为一种存储器中字线驱动器与字线的连接关系示意图；

[0018] 图 3 为一种存储器中字线接触结构的结构示意图；

[0019] 图 4 为一种存储器中多个存储块的布局示意图；

[0020] 图 5 至图 12 为本申请实施例提供的存储器的结构示意图。

具体实施方式

[0021] 下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

[0022] 图 1 为一种存储器中字线接触结构和存储阵列的连接关系示意图；图 2 为一种存储器中字线驱动器与字线的连接关系示意图；图 3 为一种存储器中字线接触结构的结构示意图；图 4 为一种存储器中多个存储块的布局示意图。

[0023] 参考图 1，存储器中，字线驱动器 SWD 通过字线接触结构 CT 驱动字线 WL（或者称之为本地字线），字线 WL 的延伸方向为第一方向 X，主位线 CBL 的延伸方向为第二方向 Y，存储器包含沿第一方向 X 排列的多个存储块 Mat，每个存储块 Mat 可以包含沿第二方向 Y 排列的多个存储阵列 subMat，主位线 CBL 至少用于不同存储阵列 subMat 的相同位置的本地位线 LBL。沿第一方向 X 上排列的相邻存储阵列 subMat 之间设置有字线接触结构 CT，每一字线接触结构 CT 均与字线 WL 和字线驱动器 SWD 连接，字线驱动器 SWD 通过字线接触结构 CT 驱动对应连接的字线 WL。

[0024] 如图 1，对于在第一方向 X 上相邻的两个字线接触结构 CT 而言，其中一者与相邻存储阵列 subMat 中的奇数字线 OWL 连接，另一者与相邻存储阵列 subMat 中的偶数字线 EWL 连接。也就是说，每一存储阵列 subMat 中的字线 WL 都是通过位于第一方向 X 上的相邻两侧的字线接触结构 CT 进行驱动，字线接触结构 CT 不仅起到连接字线驱动器 SWD 的作用，还起到分隔不同存储阵列 subMat 的作用。

[0025] 图 1 以每个存储阵列 subMat 包含两条奇数字线 OWL 和两条偶数字线 EWL 为例，每个字线接触结构 CT 连接相邻存储阵列 subMat 中的所有奇数字线 OWL 或偶数字线 EWL。对于非边缘的字线接触结构 CT 而言，每个字线接触结构 CT 连接四条字线 WL。进一步地，如图 2 所示，在字线驱动器 SWD 在通过某一个非边缘的字线接触结构 CT 驱动字线 WL 时，同时有四条字线 WL 被驱动（用加粗线条表征字线 WL 被驱动）。

[0026] 图 2 中采用沿第一方向 X 延伸的虚线线条表征奇数字线 OWL，采用沿第一方向 X 延伸的实线线条表征偶数字线 EWL，字线驱动器 SWD 通过对应的字线接触结构 SC 驱动相邻存储阵列 subMat 中的字线，不同字线接触结构 SC 对应不同的字线驱动器 SWD。

[0027] 参考图 3，字线接触结构 CT 包括接触垫 CTP、水平连接桥 CTH 以及竖直连接桥 CTV，接触垫 CTP 在第二方向 Y 延伸并与水平连接桥 CTH 接触连接（即物理连接），水平连接桥 CTH 与竖直连接桥 CTV 连接，竖直连接桥 CTV 具有在第二方向 Y 上具有较大的宽度，有利于与不同位置的字线 WL 连接，且能够保持字线 WL 在第一方向 X 延伸而无需字线弯曲或绕

线。

[0028] 在一些存储器中，存储器包含多层堆叠的存储结构，每层存储结构均包含阵列排布的多个存储块 Mat，每个存储块 Mat 包含沿第二方向 Y 排列的多个存储阵列 subMat，沿第三方向 Z 堆叠的不同存储阵列 subMat 对应的字线接触结构 CT 也在第三方向 Z 堆叠。第三方向 Z 垂直于第一方向 X 和第二方向 Y，第三方向 Z 可以为垂直方向。

[0029] 在理想情况下，在第三方向 Z 堆叠的不同字线接触结构 CT 中的水平连接桥 CTH 和竖直连接桥 CTV 在第三方向 Z 上的正投影完全重叠，但接触垫 CTP 至少部分不重合，如此，不同的接触垫 CTP 能够通过沿第三方向 Z 延伸的导电插塞分别与不同的字线驱动器连接。在图 3 中，为接触垫 CTP 标注的数字表征该接触垫 CTP 所处的层数，可以看出，不同层的接触垫 CTP 存在错位。例如，第一层的接触垫 CTP 的延伸长度比第三层的接触垫 CTP 的延伸长度更长，第三层的接触垫 CTP 的投影位于第一层的接触垫 CTP 的投影内，第三层的接触垫 CTP 和第四层的接触垫 CTP 沿第一方向 X 排列。

[0030] 参考图 4，存储器包含沿第一方向 X 排列的多个存储块 Mat，每一存储块 Mat 沿第一方向 X 的相对两侧设置有字线接触结构 CT，沿第二方向 Y 的相对两侧设置有位线接触结构 SAP，位线接触结构 SAP 用于连接感测放大器，感测放大器用于放大存储块 Mat 中主位线的电压。

[0031] 根据上述描述可知，图 1 至图 4 所示的存储器具有如下特点：① 在第一方向 X 上，相邻存储阵列 subMat 之间设置有字线接触结构 CT，或者说，通过字线接触结构 CT 划分不同的存储阵列 subMat；② 每一字线接触结构 CT 仅与相邻两侧的存储阵列 subMat 中的字线 WL 连接，不会存在连续排列的三个及以上的存储阵列 subMat 共用一个字线接触结构 CT 的情况；③ 字线接触结构 CT 的结构较为复杂，且同一字线接触结构 CT 的接触垫 CTP 与竖直连接桥 CTV 之间容易产生寄生电容，不同字线接触结构 CT 的两个接触垫 CTP 的正投影可能存在重合，也容易产生寄生电容；④ 相邻存储块 Mat 之间的存储单元被字线接触结构 CT 阻隔，相邻存储块 Mat 之间的间距较大，存储单元 cell 的集中度较差。

[0032] 图 5 至图 12 为本申请实施例提供的存储器的结构示意图。

[0033] 参考图 5，存储器包括：存储阵列 subMat 和字线驱动器 SWD，字线驱动器 SWD 用于驱动存储阵列 subMat 中的字线 WL，字线 WL 包括第一类字线和第二类字线，字线驱动器 SWD 包含第一驱动器 SWD1 和第二驱动器 SWD2，第一驱动器 SWD1 用于驱动第一类字线，第二驱动器 SWD2 用于驱动第二类字线；连接桥 Br，包含第一连接桥 Br1 和第二连接桥 Br2，第一类字线通过第一连接桥 Br1 连接第一驱动器 SWD1，第二类字线通过第二连接桥 Br2 连接第二驱动器 SWD2；其中，连接桥 Br1 的延伸方向与第一方向 X 相同，第一连接桥 Br1 朝向第二连接桥 Br2 的方向垂直第一方向 X，第一方向 X 为字线 WL 的延伸方向。

[0034] 在本申请实施例中，通过控制第一连接桥 Br1 朝向第二连接桥 Br2 的方向垂直于连接桥 Br 自身的延伸方向，有利于避免第一连接桥 Br1 和第二连接桥 Br2 中一者影响另一个的延伸，使得第一连接桥 Br1 和第二连接桥 Br2 能够沿着第一方向进行延伸，进而使得第一连接桥 Br1 能够同时与超过两个存储阵列 subMat 中的第一类字线连接，以及使得第二连接桥 Br2 能够同时与超过两个存储阵列 subMat 中的第二类字线连接，如此，有利于减少字线接触结构的数量，缩减存储器在字线延伸方向上的尺寸，减小存储器面积且提高存储单元在第一方向的集中度。

[0035] 以下将结合附图对本申请实施例进行更为详细的说明。

[0036] 在一些实施例中，例如图 5，在第二方向 Y 上，第奇数个存储单元 cell 连接的字线 WL 为奇数字线 OWL，第偶数个存储单元 cell 连接的字线 WL 为偶数字线 EWL，第一类字线为奇数字线 OWL，第二类字线为偶数字线 EWL，成对的奇数字线 OWL 和偶数字线 WL 对应的存储单元共用本地位线 LBL。由于每两个不重复的存储单元 cell 共用本地位线 LBL，奇数字线 OWL 和偶数字线 EWL 不能被同时激活，否则将导致两个存储单元 cell 中的数据被同时输出，因此奇数字线 OWL 和偶数字线 EWL 通过不同的字线驱动器 SWD 进行驱动。

[0037] 其中，存储阵列 subMat 为平面结构，本地位线 LBL 的延伸方向垂直于存储阵列 subMat 所在平面。主位线 CBL 的延伸方向为第二方向 Y，主位线 CBL 用于连接在第二方向 Y 排列的的不同存储阵列 subMat 中相同位置的本地位线 LBL，主位线 CBL 与字线 WL 构成的平面平行于存储阵列 subMat 所在平面。

[0038] 进一步地，在图 5 所示实施例中，由于字线 WL 的延伸方向与连接桥 Br 的延伸方向相同，因此，需要设置中间桥结构以连接平行设置的字线 WL 和连接桥 Br。中间桥结构包括第一中间桥 MB1 和第二中间桥 MB2，第一中间桥 MB1 用于连接奇数字线 OWL 和第一连接桥 Br1，第二中间桥 MB2 用于连接偶数字线 EWL 和第二连接桥 Br2。由于无论是第一中间桥 MB1 还是第二中间桥 MB2，都需要跨越存储阵列 subMat 的中间区域，或者说，第一中间桥 MB1 和第二中间桥 MB2 在第二方向 Y 上的位置至少部分重合，因此在不跳线的情况下，不能将第一连接桥 Br1 和第二连接桥 Br2 同时设置于存储阵列 subMat 的中间区域。

[0039] 假设存储阵列 subMat 由在第二方向 Y 排列的第一存储子阵列 Gr1 和第二存储子阵列 Gr2 构成，第一存储子阵列 Gr1 的尺寸与第二存储子阵列 Gr2 的尺寸相同，存储阵列 subMat 的中间区域指的是第一子存储阵列 Gr1 和第二子存储阵列 Gr2 之间。

[0040] 在一些实施例中，可以通过跳线规避第一连接桥 Br1 和第二中间桥 MB2 之间的冲突，以及规避第二连接桥 Br2 和第一中间桥 MB1 之间的冲突，进而实现将第一连接桥 Br1 和第二连接桥 Br2 平行设置于存储阵列 subMat 的中间区域。“跳线”指的是某一导电层的导电线暂时连接至其他导电层，以绕过冲突区域的措施。

[0041] 在一些实施例中，例如图 5，第一连接桥 Br1 和第二连接桥 Br2 位于存储阵列 subMat 在第二方向 Y 上的相对两侧，第二方向 Y 垂直于第一方向 X，第二方向为主位线 CBL 的延伸方向。如此，同一存储阵列 subMat 的存储单元可以集中设置在一起，有利于简化工艺制备流程，同时避免引入其他影响存储单元 cell 性能的因素。

[0042] 在一些实施例中，第二方向 Y 上每两个不重复的存储单元 cell 不共用本地位线 LBL，不同存储单元 cell 对应的本地位线不同，此时无需设置奇数字线和偶数字线由不同的字线驱动器驱动。在这一场景下，第一类字线可以是第一存储子阵列 Gr1 中的字线，第二类字线可以是第二存储子阵列 Gr2 中的字线，此时，若将第一连接桥和第二连接桥平行设置于存储阵列的中间区域，且第一连接桥靠近第一存储子阵列，第二连接桥靠近第二存储子阵列，则第一中间桥和第二中间桥在第二方向 Y 上不存在重叠，不存在走线冲突的问题；或者，将第一连接桥设置于第一存储子阵列的中间区域，以及将第二连接桥设置于第二存储子阵列的中间区域，此时，第一中间桥和第二中间桥在第二方向 Y 上也不存在重叠。

[0043] 在又一些实施例中，相邻存储单元不共用本地位线，每个存储阵列包括在第二方向 Y 上依次排列的至少三个存储子阵列，每个存储子阵列均具有对应的中间桥和连接桥，连接桥可以设置于对应的存储子阵列的中间区域或者设置于存储子阵列在第二方向上的一侧。不同存储子阵列对应的连接桥可以相邻设置，不同存储子阵列对应的中间桥在第二方向上的位置不重叠。

[0044] 其中，中间桥沿第二方向延伸，中间桥用于连接对应的存储子阵列中的字线和对应的连接桥。不同存储子阵列的容量（包含的存储单元的数量）可以不同。不同存储子阵列对应的中间桥在第一方向 X 上的位置可以相同或不同。可以理解的是，讨论不同中间桥在第二方向上是否完全错位，是否至少部分重叠以及是否对齐，与不同中间桥在第一方向 X 上的位置无关。

[0045] 其中，存储单元 cell 包含数据存储元件和存储晶体管。数据存储元件通过自身的不同状态或不同参数表征不同数据，从而起到存储数据的效果。数据存储元件可以是电容元件、电阻元件以及磁性元件等。存储晶体管的栅极与字线连接，源极与本地位线连接，漏极与数据存储元件连接。字线被激活时，存储晶体管导通，以进行数据读写。

[0046] 在一些实施例中，参考图 5，在字线 WL 延伸方向上（即第一方向 X 上），依次排列的至少三个存储阵列 subMat 共用第一连接桥 Br1 和第二连接桥 Br2。在第一方向 X 上，不同的存储阵列 subMat 属于不同的存储块 Mat，由于每个存储块 Mat 具有对应的位线接触结构，同一存储块 Mat 对应的多个位线接触结构集中在同一连接区域且均匀分布，不同存储块 Mat 对应的位线接触结构集中在不同的连接区域且不同的连接区域之间有所间隔，可以通过位线接触结构的所在区域确定存储块的具体位置，进而确定第一方向 X 上共用第一连接桥 Br1 和

第二连接桥 Br2 的存储阵列 subMat 的数量。

[0047] 在一些实施例中，参考图 6，共享同一第一连接桥 Br1 和同一第二连接桥 Br2 的多个存储阵列 subMat 构成阵列组，第一连接桥 Br1 通过第一字线接触垫 WLP1 连接第一驱动器（未图示），第二连接桥 Br2 通过第二字线接触垫 WLP2 连接第二驱动器（未图示），第一字线接触垫 WLP1 和第二字线接触垫 WLP2 仅位于阵列组中部分存储阵列 subMat 沿第二方向的相对两侧，或者说，位于阵列组沿第二方向的相对两侧的部分区域。在其他实施例中，第二方向与第一方向相交但不垂直。

[0048] 在图 6 所示实施例中，8 个存储阵列 subMat 构成一个阵列组 AG，每个阵列组 AG 共用同一个第一连接桥 Br1，每个第一连接桥 Br1 对应一个第一字线接触垫 WLP1，每个阵列组 AG 对应的一个第一字线接触垫 WLP1 位于阵列组 AG 中的其中一个存储阵列 subMat 的一侧；相应地，每个阵列组共用同一个第二连接桥 Br2，每个第二连接桥 Br2 对应一个第二字线接触垫 WLP2，每个阵列组 AG 对应的一个第二字线接触垫 WLP2 位于阵列组 AG 中的其中一个存储阵列 subMat 的一侧。

[0049] 此外，在图 6 所示实施例中，多个阵列组 AG 在第三方向 Z 堆叠设置，不同层的阵列组 AG 对应的第一字线接触垫 WLP1 在第三方向 X 的正投影沿第一方向 X 排列，也就是说，不同层的阵列组 AG 对应的第一字线接触垫 WLP1 在第三方向 Z 的正投影处于同一排，而图 3 中，不同层的存储阵列对应的接触垫 CTP 在第三方向 Z 的正投影至少有四排。其中，在第三方向 Z 上，不同层的阵列组的正投影可以视为完全重合，不同层的阵列组对应的连接桥和中间桥的正投影可以视为完全重合，不同层的阵列组对应的第一字线接触垫 WLP1 的正投影的集合位于阵列组中部分存储阵列 subMat 的正投影的一侧。第三方向垂直于第一方向和第二方向，第三方向可以是垂直方向。

[0050] 具体地，存储器包含沿垂直方向堆叠的多层存储结构，每层存储结构具有阵列排布的多个存储阵列，沿第一方向排列的共用同一个第一连接桥的多个存储阵列构成阵列组，也就是说，存储器包含沿垂直方向堆叠的多层阵列组，每个阵列组 AG 具有对应的第一连接桥 Br1，每个第一连接桥 Br1 仅与一个第一字线接触垫 WLP1 连接，不同层的阵列组 AG 对应的第一字线接触垫 WLP1 在垂直方向上的投影沿第一方向 X 排列。其中，垂直方向垂直于存储阵列 subMat 的所在平面，也就是说，垂直方向垂直于第一方向和第二方向。

[0051] 如此，由于不同的第一字线接触垫 WLP1 在垂直方向上的投影不重合，有利于减小不同第一字线接触垫 WLP1 之间的寄生电容，以及有利于减小与第一中间桥 MB1 相邻的第一字线接触垫 WLP1 的数量以及增加第一中间桥 MB1 与第一字线接触垫 WLP1 之间的距离，进而减小第一中间桥 MB1 与第一字线接触垫 WLP1 之间的寄生电容；此外，第一字线接触垫 WLP1 不再阻隔相邻存储阵列 subMat，有利于提高存储器的存储单元集中度。

[0052] 此外，在图 6 所示实施例中，第一字线接触垫 WLP1 位于对应的第一连接桥 Br1 和存储阵列 subMat 之间，第二字线接触垫 WLP2 位于对应的第二连接桥 Br2 和存储阵列之间。同一阵列组对应的第一字线接触垫 WLP1 和第二字线接触垫 WLP2 在第二方向 Y 上的正投影重合。不同阵列组对应的第一字线接触垫 WLP1 在第二方向 Y 上的正投影重合，不同阵列组对应的第二字线接触垫 WLP2 在第二方向 Y 上的正投影重合。如此，第一连接桥 Br1 相对地远离存储阵列 subMat，有利于避免连接桥 Br 的电位变化导致相邻存储单元的漏电速率增加。

[0053] 在其他实施例中，每个第一连接桥 Br1 与两个及以上第一字线接触 WLP1 接触连接，多个第一字线接触垫 WLP1 等间隔设置于第一连接桥 Br1 上。参考图 7，每个第一连接桥 Br1 与三个第一字线接触垫 WLP1 连接，三个第一字线接触垫 WLP1 均匀设置在第一连接桥 Br1 的不同位置，且第一连接桥 Br1 的两端未设置第一字线接触垫 WLP1，三个第一字线接触垫 WLP1 将第一连接桥 Br1 均匀地分隔为四个线段；在图 8 所示实施例中，第一连接桥 Br1 的两端设置有第一字线接触垫 WLP1，三个第一字线接触垫 WLP1 将第一连接桥 Br1 均匀地分隔为两个线段。

[0054] 也就是说，图 7 和图 8 的不同在于，图 7 是 N 个第一字线接触垫 WLP1 将第一连接桥 Br1 均匀地分隔为 N+1 个线段，图 8 是 N 个第一字线接触垫 WLP1 将第一连接桥 Br1 均匀地分隔为 N-1 个线段，N 为大于 2 的自然数。第二连接桥 Br2 与第二字线接触垫 WLP2 的连接方式可以类似于第一连接桥 Br1 和第一字线接触垫 WLP1，不再赘述。然而，需要说明的是，第一字线接触垫 WLP1 等间隔设置于第一连接桥 Br1 上，仅仅要求相邻第一字线接触垫 WLP1 之间的距离相等，不要求第一连接桥 Br1 的端点与邻近的第一字线接触垫 WLP1 之间的距离等于相邻第一字线接触垫 WLP1 之间的距离。

[0055] 其中，在图 8 所示实施例中，与第一连接桥 Br1 两端的第一字线接触垫 WLP1 连接的字线驱动器的驱动能力可以比其他位置的第一字线接触垫 WLP1 连接的字线驱动器的驱动能力弱，如此，在能够保持第一连接桥 Br1 上不同位置的驱动能力保持平衡的情况下，有利于减小部分字线驱动器的尺寸，从而缩减存储器的尺寸。

[0056] 在图 7 所示实施例中，存储器包含沿垂直方向堆叠的多层阵列组，每个阵列组具有对应的第一连接桥 Br1，每个第一连接桥 Br1 均连接有多个第一字线接触垫 WLP1，不同层的阵列组对应的排序相同的第一字线接触垫 WLP1 在垂直方向上的投影沿第一方向排列。在图 7 中，排序相同指的是在第一方向上，第一字线接触垫 WLP1 在第一连接桥 Br1 上的顺序，例如最左边的第一字线接触垫 WLP1 的顺序编号为 1，中间的第一字线接触垫 WLP1 的顺序编号为 2，右边的第一字线接触垫 WLP1 的顺序编号为 3。

[0057] 在其他实施例中，参考图 9，图 9 相较于图 7 具有至少两点区别：① 第一连接桥 Br1 位于对应的第一字线接触垫 WLP1 和阵列组 AG 之间，第二连接桥 Br2 位于第二字线接触垫

WLP2 和阵列组 AG 之间；② 同一阵列组 AG 对应的第一字线接触垫 WLP1 和第二字线接触垫 WLP2 在第二方向 Y 上的正投影错位（错位指的是在第一方向 X 上的位置不同），不同阵列组对应的第一字线接触垫 WLP1 在第二方向 Y 上的正投影重合，不同阵列组对应的第二字线接触垫 WLP2 在第二方向 Y 上的正投影重合。如此，位于相邻阵列组 AG 之间的对应第一字线接触垫 WLP1 和第二字线接触垫 WLP2 在第一方向 X 上交替排布，如此，有利于提高存储器的空间利用率，避免在第一方向 X 上，相邻第一字线接触垫 WLP1 之间的空间以及相邻第二字线接触垫 WLP2 之间的空间被浪费。

[0058] 需要注意的，上述提到的图 9 相较于图 7 的两个区别点可以在不同的实施例中分别实施，并不局限于必须一起实施。

[0059] 在不同实施例中，字线驱动器 SWD 与存储阵列 subMat 可以处于同一片晶圆或者不同片晶圆。若字线驱动器 SWD 处于具有第一接合垫的第一晶圆，存储阵列 subMat 处于具有第二接合垫的第二晶圆，则第二晶圆的第二接合垫通过混合键合等键合工艺与第一晶圆的第一接合垫电连接，字线驱动器 SWD 的输出端与第一接合垫电连接，第一字线接触垫 WLP1 和第二字线接触垫 WLP2 可以通过垂直的导电插塞与不同的第二键合垫电连接。

[0060] 在不同的实施例中，第一连接桥、第一字线接触垫以及第一驱动器的数量比可以根据需要进行设置，第二连接桥、第二字线接触垫以及第二驱动器的数量比也可以根据需要进行设置。以第一连接桥、第一字线接触垫以及第一驱动器为例，至少存在以下几种可能性：参考图 10，每个第一连接桥 Br1 仅与一个第一字线接触垫 WLP1 接触连接，每个第一字线接触垫 WLP1 连接一个第一驱动器 SWD1；或者，参考图 11，每个第一连接桥 Br1 与多个第一字线接触垫 WLP1 接触连接，每个第一字线接触垫 WLP1 连接不同的第一驱动器 SWD1；或者，每个第一连接桥 Br1 与多个第一字线接触垫 WLP1 接触连接，每个第一字线接触垫 WLP1 连接同一个第一驱动器 SWD1。图 10 和图 11 中均是以三个存储阵列 subMat 构成一个阵列组作为示例，图 11 中以每个第一连接桥 Br1 与三个第一字线接触垫 WLP1 接触连接，每一第一字线接触垫 WLP1 连接不同的第一驱动器 SWD1 作为示例。

[0061] 在一些实施例中，参考图 12，每两个相邻的存储阵列 subMat 的第一中间桥 MB1 合并在一起，每两个存储阵列 subMat 的第二中间桥 MB2 合并在一起，即两个存储阵列 subMat 中的奇数字线均通过合并后的同一第一中间桥 MB1 连接第一连接桥 Br1，两个存储阵列 subMat 中的偶数字线均通过合并后的同一第二中间桥 MB2 连接第二连接桥 Br2。

[0062] 具体地，在字线 WL 延伸方向上，第 N 个存储阵列 subMat 中的偶数字线 EWL 与第 N+1 个存储阵列中的偶数字线 EWL 共用第二中间桥 MB2 以连接至第二连接桥 Br2，第 N+1 个存储阵列 subMat 中的奇数字线 OWL 与第 N+2 个存储阵列中的奇数字线 OWL 共用第一中间桥 MB1 以连接至第一连接桥 Br1，N 为正整数。

[0063] 在其他实施例中，在字线 WL 延伸方向上，第 N 个存储阵列 subMat 中的奇数字线 OWL 与第 N+1 个存储阵列中的奇数字线 OWL 共用第一中间桥 MB1 以连接至第一连接桥 Br1，第 N+1 个存储阵列 subMat 中的偶数字线 EWL 与第 N+2 个存储阵列中的偶数字线 EWL 共用第二中间桥 MB2 以连接至第二连接桥 Br2，N 为正整数。

[0064] 在字线接触垫距离对应的部分字线距离可能较远的情况下，为了增强字线的受驱动能力，可以缩短字线的长度，以保证每一条字线的远端也能够被有效驱动。在一些实施例中，至少存在某一存储阵列中字线的长度小于另一存储阵列中字线的长度。在字线长度缩短的情况下，字线上连接的存储单元的数量也会减小，如此，可在存储单元总量不变的情况下，将存储单元划分为更多个容量更小的存储阵列，每一第一连接桥与更多个第一中间桥连接，以缩短字线远端（不与中间桥连接的一端）与字线接触垫之间的导电路径长度，提升字线驱动器的驱动效率。

[0065] 本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1、一种存储器，包括：

存储阵列和字线驱动器，所述字线驱动器用于驱动所述存储阵列中的字线，所述字线包括第一类字线和第二类字线，所述字线驱动器包括第一驱动器和第二驱动器，所述第一驱动器用于驱动所述第一类字线，所述第二驱动器用于驱动所述第二类字线；

连接桥，包含第一连接桥和第二连接桥，所述第一类字线通过第一连接桥连接所述第一驱动器，所述第二类字线通过所述第二连接桥连接所述第二驱动器；其中，所述连接桥的延伸方向与第一方向相同，所述第一连接桥朝向所述第二连接桥的方向垂直所述第一方向，所述第一方向为所述字线的延伸方向。

2、根据权利要求 1 所述的存储器，其中，所述第一类字线为奇数字线，所述第二类字线为偶数字线，所述第一连接桥和所述第二连接桥位于所述存储阵列在第二方向上的相对两侧，所述第二方向垂直与所述第一方向，所述第二方向为主位线的延伸方向。

3、根据权利要求 2 所述的存储器，其中，在所述字线延伸方向上，依次排列的至少三个存储阵列共用所述第一连接桥和所述第二连接桥，以及共用所述第一驱动器和所述第二驱动器。

4、根据权利要求 3 所述的存储器，其中，共享同一所述第一连接桥和同一所述第二连接桥的多个所述存储阵列构成阵列组，所述第一连接桥通过第一字线接触垫连接所述第一驱动器，所述第二连接桥通过第二字线接触垫连接所述第二驱动器，所述第一字线接触垫和所述第二字线接触垫仅位于所述阵列组中部分所述存储阵列沿所述第二方向的相对两侧。

5、根据权利要求 4 所述存储器，其中，每个所述第一连接桥仅与一个所述第一字线接触垫接触连接，每个第一字线接触垫连接一个所述第一驱动器；或者，每个所述第一连接桥与多个所述第一字线接触垫接触连接，每个第一字线键合连接不同的所述第一驱动器；或者，每个所述第一连接桥与多个所述第一字线接触垫接触连接，多个所述第一字线接触垫连接同一个所述第一驱动器。

6、根据权利要求 5 所述的存储器，其中，每个所述第一连接桥与多个所述第一字线接触垫接触连接，所述多个第一字线接触垫等间隔设置于所述第一连接桥上。

7、根据权利要求 4 所述的存储器，其中，所述存储器包含沿垂直方向堆叠的多层所述阵列组，每个所述第一连接桥仅与一个所述第一字线接触垫连接，不同层的所述阵列组对应的所述第一字线接触垫在所述垂直方向上的投影沿所述第一方向排列。

8、根据权利要求 4 所述的存储器，其中，所述存储器包含沿垂直方向堆叠的多层所述阵

列组，每个所述第一连接桥均连接有多个所述第一字线接触垫，不同层的所述阵列组对应的排序相同的所述第一字线接触垫在所述垂直方向上的投影沿所述第一方向排列。

9、根据权利要求 4 所述的存储器，其中，所述第一连接桥位于对应的所述第一字线接触垫和所述阵列组之间，所述第二连接桥位于对应的所述第二字线接触垫和所述阵列组之间。

10、 根据权利要求 9 所述的存储器，其中，同一所述阵列组对应的所述第一字线接触垫和所述第二字线接触垫在所述第二方向上的正投影错位，不同所述阵列组对应的所述第一字线接触垫在所述第二方向上的正投影重合，不同所述阵列组对应的所述第二字线接触垫在所述第二方向上的正投影重合。