

발명의 설명

발명의 명칭: 식각 조성물 및 이를 이용한 반도체 소자의 제조방법

기술분야

- [1] 관련출원과의 상호 인용
- [2] 본 출원은 2023년 10월 12일자 한국 특허 출원 제 10-2023-0135825호 및 2024년 7월 22일자 한국 특허 출원 제 10-2024-0096375호에 기초한 우선권의 이익을 주장하며, 해당 한국 특허 출원의 문헌에 개시된 모든 내용은 본 명세서의 일부로서 포함된다.
- [3] 기술분야
- [4] 본 발명은 식각 조성물 및 이를 이용한 반도체 소자의 제조 방법에 관한 것으로, 특히 질화막을 높은 선택비로 식각하기 위한 식각 조성물 및 이를 이용한 반도체 소자의 제조 방법에 관한 것이다.

배경기술

- [5] 최근 정보 통신 장치의 다기능화에 따라 메모리 소자를 포함하는 반도체 소자의 대용량화 및 고집적화가 요구되고 있다. 고집적화를 위한 메모리 셀크기의 축소에 따라, 메모리 소자의 동작 및 전기적 연결을 위해 메모리 소자에 포함되는 동작 회로들 및 배선 구조도 복잡해지고 있다. 고도로 다운-스케일링(downscaling)된 반도체 소자의 제조 공정에서 대표적인 절연막인 산화막 및 질화막이 각각 단독으로, 또는 교대로 적층되어 사용될 수 있으며, 복잡하고 미세화된 구조, 예를 들면 3 차원 구조의 전자 소자를 구성하기 위하여 다양한 형상의 패턴으로 이루어지는 질화막의 선택적 식각 공정이 요구될 수 있다. 특히, 질화막의 식각 공정중에 불필요한 파티클 발생 또는 산화막 표면에서 부산물들이 원하지 않게 이상 성장되는 현상 등과 같은 문제점을 야기하지 않으면서 산화막 대비 질화막의 충분한 식각 선택비를 확보할 수 있는 식각 조성물이 요구된다.
- [6] 반도체(집적회로) 소자에 있어서, 실리콘 산화막(SiO_2) 등의 산화막과 실리콘 질화막(SiN_x) 등의 질화막은 대표적인 절연막으로 각각 단독, 또는 1층 이상의 막들이 교대로 적층된 구조를 갖는다. 이러한 산화막과 질화막은 금속 배선 등의 도전성 패턴을 형성하기 위한 하드마스크로도 이용된다.
- [7] 상기 질화막을 제거하기 위한 습식 식각 공정에서는 일반적으로 인산(phosphoric acid)과 탈이온수(deionized water)가 혼합된 식각 조성물이 사용되고 있다. 이때, 상기 탈이온수는 식각률 감소 및 산화막에 대한 식각선택성의 변화를 방지하기 위해 첨가되고 있으나, 습식 식각 공정을 통한 질화막 제거시 탈이온수 양의 미세한 변화에 의해 불량이 발생하고, 산화막에 대한 질화막의 식각 선택비의 저하로 인해 질화막을 요구되는 수준으로 식각하는 것에 한계가 있다는 문제가 있었다.

- [8] 이에 인산과 탈이온수만으로 이루어진 식각 조성물의 효과, 특히 상기 식각 조성물에 의해 식각되는 질화막/산화막의 선택비를 개선하기 위하여 식각 조성물에 첨가 물질을 추가로 포함시켜 사용하는 개선 기술들이 개발되었다. 다만, 이러한 개선 기술에서도 상기 첨가 물질은 전체 식각액의 중량을 기준으로 하여 약 3 중량% 미만의 저함량으로 사용되어 왔다. 이는 상기 첨가 물질을 약 3 중량% 이상의 함량으로 사용할 경우, 오히려 과량으로 사용되는 첨가 물질 자체가 불순물로 작용하는 등의 이유로 충분한 질화막 식각 속도가 확보되지 못하거나, 산화막 대비 식각 선택비를 충족하지 못하는 문제가 있었기 때문으로, 이와 같이 첨가 물질의 사용량이 매우 미량임에 따라 첨가 물질의 사용으로 인한 개선 효과를 충분히 누리지 못하는 또 다른 문제가 있었다.
- [9] 또한, 식각 공정의 경우 150°C 초과的高温에서 공정을 수행하는 경우가 있는데, 이 경우에도 식각 선택비를 위한 첨가 물질에 의해, 소정 범위의 온도를 초과할 때에는 식각 성능이 충분히 확보되지 못하게 되거나 이상 성장 등을 야기하는 등의 문제가 발생하기도 한다.
- [10] 따라서, 고온의 습식 식각 공정 조건에서도 문제 없이 사용 가능하면서, 첨가 물질의 사용에 의한 개선 효과를 충분히 구현할 수 있고, 기본적인 질화막/산화막의 선택비 역시 우수한 식각 조성물의 조성을 찾아내는 것이 기술적 해결 과제로 남아있다.

발명의 내용

기술적 과제

- [11] 본 발명은 전술한 문제를 해결하기 위한 것으로, 고온의 습식 식각 공정에서도 이상 성장을 억제하면서 산화막 대비 질화막에 대한 식각 선택비를 향상시킬 수 있고, 제조 직후부터 버블을 발생시키지 않아 식각 공정의 효율 저하나 식각 설비의 손상을 야기하지 않으며, 그 APHA 값이 1.5 미만으로 색을 거의 띄지 않아 식각 공정 적용 시의 핸들링이 특히 용이한 식각 조성물을 제공하기 위한 것이다.
- [12] 또한, 본 발명은 복잡하고 미세화된 구조를 가지는 전자 소자를 구현하기 위한 다양한 형상의 질화막을 식각하는 동안 식각 조성물의 버블이 발생하는 등과 같은 문제점을 야기하지 않으면서 산화막 대비 질화막에 대한 식각 선택비를 향상시켜, 질화막 식각 공정의 안정성 및 신뢰성을 확보할 수 있고, 반도체 소자 제조 공정의 생산성을 향상시킬 수 있는 반도체 소자의 제조방법을 제공하기 위한 것이다.

과제 해결 수단

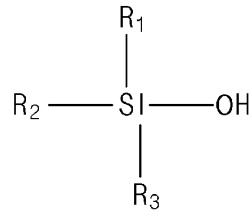
- [13] 본 발명은 전술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 식각 조성물 및 이를 이용한 반도체 소자의 제조방법을 제공한다.
- [14] 보다 구체적으로, (1) 본 발명은 무기산, 실란올계 화합물 및 잔량의 용매를 포함하고, 상기 실란올계 화합물은 전체 식각 조성물 100 중량부에 대해, 0.1 중량

부 이상 및 10 중량부 미만으로 포함되며, APHA 값이 1.5 미만인 것인, 식각 조성물을 제공한다.

[15] (2) 본 발명은 상기 (1)에 있어서, 상기 실란올계 화합물은 하기 화학식 1로 표시되는 실란올계 화합물 또는 이의 축합체인 것인 식각 조성물을 제공한다:

[16] [화학식 1]

[17]



[18] 상기 화학식 1에서,

[19] R_1 은 탄소수 1 내지 20의 아미노 알킬기, 탄소수 1 내지 20의 알콕시기, 아세틸옥시기 및 탄소수 1 내지 20의 할로알킬아세틸옥시기로 이루어진 군에서 선택되며, R_2 및 R_3 는 히드록시기이다.

[20] (3) 본 발명은 상기 (1) 또는 (2)에 있어서, 상기 실란올계 화합물은 3-아미노프로필실란트리올 또는 이의 축합체인 식각 조성물을 제공한다.

[21] (4) 본 발명은 상기 (1) 내지 (3) 중 어느 하나에 있어서, 상기 실란올계 화합물의 CAS 번호는 68400-07-7인 식각 조성물을 제공한다.

[22] (5) 본 발명은 상기 (1) 내지 (4) 중 어느 하나에 있어서, 상기 무기산은 전체 식각 조성물 100 중량부에 대해, 50 중량부 이상 및 85 중량부 이하로 포함되는 것인, 식각 조성물을 제공한다.

[23] (6) 본 발명은 상기 (1) 내지 (5) 중 어느 하나에 있어서, 상기 무기산은 황산, 질산, 인산, 규산, 불산, 붕산, 염산 및 과염소산으로 이루어진 군에서 선택된 1종 이상을 포함하는 것인 식각 조성물을 제공한다.

[24] (7) 본 발명은 상기 (1) 내지 (6) 중 어느 하나에 있어서, 상기 식각 조성물은 암모늄계 화합물을 더 포함하는 것인 식각 조성물을 제공한다.

[25] (8) 본 발명은 상기 (1) 내지 (7) 중 어느 하나에 있어서, 상기 암모늄계 화합물은 암모늄 클로라이드, 암모늄 포스페이트, 암모늄 아세테이트, 암모늄 설페이트, 암모늄 포메이트 및 금속 아민 착염으로 이루어진 군에서 선택된 1종 이상을 포함하는 것인 식각 조성물을 제공한다.

[26] (9) 본 발명은 상기 (1) 내지 (8) 중 어느 하나에 있어서, 상기 식각 조성물은 실리콘 질화막 식각에 이용되는 것을 특징으로 하는 식각 조성물을 제공한다.

[27] (10) 본 발명은 상기 (1) 내지 (9) 중 어느 하나에 있어서, 상기 식각 조성물의 실리콘 질화막/산화막 식각 선택비는 30 이상인 것을 특징으로 하는 식각 조성물을 제공한다.

- [28] (11) 본 발명은 상기 (1) 내지 (10) 중 어느 하나에 있어서, 실리콘 이온 100ppm에서 1500ppm까지 식각 공정을 수행하는 동안 질화막 식각 속도의 변화율의 절대값이 20% 이하를 나타내는, 식각 조성물을 제공한다.
- [29] (12) 본 발명은 상기 (1) 내지 (11) 중 어느 하나에 있어서, 상기 식각 조성물의 형성 직후 표면의 버블 높이가 0.5 cm 이하인 것을 특징으로 하는 식각 조성물을 제공한다.
- [30] (13) 본 발명은 상기 (1) 내지 (12) 중 어느 하나에 있어서, 식각 공정온도 165°C에서 실리콘 질화막에 대한 식각속도가 40 내지 80 Å/min인 식각 조성물을 제공한다.
- [31] (14) 본 발명은 상기 (1) 내지 (13) 중 어느 하나에 있어서, 식각 공정온도 165°C에서 실리콘 산화막에 대한 식각속도가 1Å/min 이하인 식각 조성물을 제공한다.
- [32] (15) 본 발명은 기판 상에 절연막 및 희생막을 적층하여 구조체를 형성하는 단계 및 상기 (1) 내지 (14) 중 어느 하나에 따른 식각 조성물을 사용한 식각 공정을 수행하여, 희생막을 제거하여 공간 영역을 형성하는 단계를 포함하는 반도체 소자의 제조방법을 제공한다.
- [33] (16) 본 발명은 상기 (15)에 있어서, 상기 희생막은 실리콘 질화물을 포함하고, 상기 절연막은 실리콘 산화물을 포함하는 것인 반도체 소자의 제조방법을 제공한다.
- [34] (17) 본 발명은 상기 (15) 또는 (16)에 있어서, 상기 식각 공정에서, 상기 희생막은 상기 절연막보다 높은 식각률을 갖는 것을 특징으로 하는 반도체 소자의 제조방법을 제공한다.
- [35] (18) 본 발명은 상기 (15) 내지 (17) 중 어느 하나에 있어서, 상기 공간 영역은 상기 절연막 사이에 형성되는 게이트 영역 및 상기 게이트 영역과 연결되는 트렌치를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법을 제공한다.
- [36] (19) 본 발명은 상기 (15) 내지 (18) 중 어느 하나에 있어서, 상기 적층 구조체를 관통하는 오프닝들을 형성하는 단계 및 상기 오프닝들 내에 상기 트렌치와 이격된 반도체 패터를 형성하는 단계를 더 포함하고, 상기 반도체 패터를 형성하는 단계는 상기 트렌치를 형성하기 이전에 수행되는 것인 반도체 소자의 제조방법을 제공한다.

발명의 효과

- [37] 본 발명의 식각 조성물은 질화막에 대한 식각 선택비가 높아 산화막의 식각속도가 조절됨에 따라 유효 산화막 높이(EFH)를 용이하게 조절할 수 있다.
- [38] 또한, 본 발명의 식각 조성물은 질화막 제거시에 산화막의 막질 손상, 산화막의 식각으로 인한 전기적 특성 저하 및 파티클 발생 등이 방지되어 반도체 소자의 신뢰성을 향상시킬 수 있다.
- [39] 또한, 본 발명의 식각 조성물은 그 APHA 값이 1.5 미만으로 색을 거의 띄지 않아 식각 공정 적용 시의 핸들링이 특히 용이할 수 있다.

- [40] 또한, 본 발명의 식각 조성물은 질화막을 식각할 때 질화막과 산화막이 교대로 적층되거나 혼재되어 있는 경우에도 질화막과 산화막과의 높은 식각 선택비를 바탕으로 질화막만을 선택적으로 식각할 수 있다. 따라서, 본 발명의 식각 조성물은 복잡하고 미세화된 구조를 가지는 전자 소자를 구성하기 위하여 다양한 형상의 패턴으로 이루어지는 질화막을 식각하는 동안 상술한 문제점을 야기하지 않으면서 산화막 대비 질화막의 식각 선택비를 더욱 향상시켜, 질화막 식각 공정의 안정성 및 신뢰성을 확보할 수 있고, 질화막과 함께 식각 조성물에 노출되는 산화막의 손상 또는 산화막의 전기적 특성저하를 방지함으로써 반도체 소자 제조 공정의 생산성을 향상시키고, 반도체 소자의 신뢰성을 향상시킬 수 있다.
- [41] 따라서, 본 발명의 식각 조성물은 산화막에 대하여 질화막의 선택적 제거가 요구되는 반도체 소자의 제조 공정(예를 들어, 플래시 메모리 소자의 소자 분리 공정, 3D 플래시 메모리 소자의 파이프 채널(pipe channel) 형성 공정, 상변화 메모리의 다이오드 형성 공정 등)에 유용하게 사용되어 반도체 소자의 제조 공정의 효율을 향상시키는데 기여할 수 있다.
- [42] 또한, 본 발명의 식각 조성물은 질화막에 대한 식각 선택비 향상과 고온 공정을 견딜 수 있는 특성을 모두 얻을 수 있는 첨가 물질을 일정량 함유함으로써, 공정 활용성이 높은 식각 조성물을 제공할 수 있다. 특히 본 발명의 식각 조성물에 포함되는 일정량의 첨가 물질로 인해 식각 공정 중 이상 성장 및 파티클 발생이 억제될 수 있고, 본 발명의 식각 조성물은 제조 직후부터 버블이 발생되지 않아 식각 공정의 효율을 저하시키거나 식각 장비에 손상을 유발하는 일 없이 식각 공정에 적용될 수 있다.
- [43] 본 발명의 효과는 상기한 효과로 한정되는 것은 아니며, 본 발명의 상세한 설명 또는 특허청구범위에 기재된 발명의 구성으로부터 추론 가능한 모든 효과를 포함하는 것으로 이해되어야 한다.

도면의 간단한 설명

- [44] 도 1은 본 발명의 실시예들에 따른 반도체 소자의 평면도를 나타낸 것이다.
- [45] 도 2 내지 도 8은 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면들이다.
- [46] 도 9는 도 8의 A영역을 확대 도시한 것이다.

발명의 실시를 위한 형태

- [47] 이하, 본 발명을 더욱 상세하게 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 의해 본 발명이 한정되지 않으며 본 발명은 후술할 청구범위의 의해 정의될 뿐이다.
- [48] 덧붙여, 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 발명의 명세서 전체에서 어떤 구성요소를 ‘포함’한다는 것은 특별히 반대되는 기재가 없는 한 다른 구성

요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.

- [49] 본 명세서에서, “실리콘 질화막”, “실리콘 질화물” 및 “ Si_xN_y ”는 순수한 실리콘 질화물뿐만 아니라 결정 구조에서 수소, 탄소 및/또는 산소 불순물을 포함하는 불순한 실리콘 질화물도 해당된다(여기에서, x 및 y 는 각각 독립적으로 양의 정수이다).
- [50] 본 명세서에서, “실리콘 산화막”, “실리콘 산화물”은 실리콘 산화물 (SiO_x), 예를 들어 SiO_2 , “열 산화물”(ThOx) 등으로 만들어진 박막을 의미한다. 실리콘 산화물은 TEOS 또는 다른 소스로부터의 화학 기상 증착을 통한 증착 또는 열 증착과 같은 임의의 방법에 의해 기판 상에 배치될 수 있다. 실리콘 산화물은 일반적으로 상업적으로 유용한 낮은 수준의 다른 물질 또는 불순물을 포함할 수 있다. 실리콘 산화물은 마이크로 전자 장치의 일부로서, 예를 들어 절연층으로서 마이크로 전자 장치의 특징으로서 존재할 수 있다.
- [51] 본 명세서에서, “실리콘 질화물 물질의 적어도 부분적인 제거”는 노출된 실리콘 질화물 층의 적어도 일부의 제거에 대응한다. 예를 들어, 실리콘 질화막의 부분적인 제거에는 Si_3N_4 를 형성하기 위해 게이트 전극을 덮고 보호하는 실리콘 질화막의 이방성 제거가 포함된다. 본 발명의 조성물은 폴리 실리콘 및/또는 실리콘 산화막에 비해 실리콘 질화물을 실질적으로 제거하기 위해 보다 일반적으로 사용될 수 있음이 고려될 수 있다. 이러한 상황에서, “실질적인 제거”는 실리콘 질화물 재료의 적어도 90 %, 적어도 95 %, 또는 적어도 99 %가 본 발명의 조성물을 사용하여 제거되는 것을 의미할 수 있다. 여기서 %는 부피, 중량, 또는 몰 등 백분율의 기준이 될 수 있는 모든 인자 중 적어도 하나 이상에 대응될 수 있다.
- [52] 본 명세서에서, “치환 또는 비치환된”은 적어도 하나 이상의 수소 원자, 및/또는 비공유 전자쌍이 중수소 원자, 할로젠 원자, 붕소 원자, 시아노기, 니트로기, 아미노기, 실릴기, 포스핀 옥사이드기, 포스핀 설파이드기, 카르복시기, 알킬기, 알케닐기, 알콕시기, 아릴기 및 헤테로고리기로 이루어진 군에서 선택되는 1개 이상의 치환기로 치환 또는 비치환된 것을 의미할 수 있다. 구체적인 예로, “치환 또는 비치환된”은 적어도 하나 이상의 수소 원자 및/또는 비공유 전자쌍이 중수소 원자, 알킬기, 아미노기, 실릴기 및 알콕시기로 이루어진 군에서 선택되는 1개 이상의 치환기로 치환 또는 비치환된 것을 의미할 수 있다. 또한, 상기 예시된 치환기 각각은 치환 또는 비치환된 것일 수 있다. 예를 들어, 메틸 아미노기, 아미노알킬 아미노기는 아미노기로 해석될 수 있다.
- [53] 본 명세서에서, 할로젠 원자의 예로는 불소 원자, 염소 원자, 브롬 원자 또는 요오드 원자일 수 있다.
- [54] 본 명세서에서, 알킬기는 직쇄형 알킬기, 분지형 알킬기 또는 고리형 알킬기일 수 있다. 알킬기의 예로는 메틸기, 에틸기, n -프로필기, 이소프로필기, n -부틸기, t -부틸기, i -부틸기, 2-에틸부틸기, 3, 3-디메틸부틸기, n -펜틸기, i -펜틸기, 네오펀

틸기, t-펜틸기, 시클로펜틸기, 1-메틸펜틸기, 3-메틸펜틸기, 2-에틸펜틸기, 4-메틸-2-펜틸기, n-헥실기, 1-메틸헥실기, 2-에틸헥실기, 2-부틸헥실기, 시클로헥실기, 4-메틸시클로헥실기, 4-t-부틸시클로헥실기, n-헵틸기, 1-메틸헵틸기, 2,2-디메틸헵틸기, 2-에틸헵틸기, 2-부틸헵틸기, n-옥틸기, t-옥틸기, 2-에틸옥틸기, 2-부틸옥틸기, 2-헥실옥틸기, 3,7-디메틸옥틸기, 시클로옥틸기, n-노닐기 및 n-데실기 등을 들 수 있으나, 이들에 한정되지 않는다.

[55] 본 명세서에서, 아미노기는 알킬 아미노기 및 아릴 아미노기를 포함할 수 있다. 아미노기의 예로는 메틸아미노기, 에틸아미노기, 디메틸아미노기, 디에틸아미노기 및/또는 에틸메틸 아미노기 등이 있으나, 이들에 한정되지 않는다.

[56] 본 명세서에서, 알콕시기는 알킬 알콕시기 및 아릴 알콕시기를 포함할 수 있다. 알콕시기의 예로는 메틸 알콕기, 에틸 알콕기, 프로필 알콕기, 부틸 알콕기, 펜틸 알콕기, 헥실 알콕기, 헵틸 알콕기, 옥틸 알콕기, 노닐 알콕기, 및 데실 알콕기 등이 있으나, 이들에 한정되지 않는다.

[57]

[58] **식각 조성물**

[59] 식각 조성물은 실리콘-함유 물질의 식각에 사용될 수 있다. 구체적으로, 식각 조성물은 절연막인 실리콘 질화막 또는 실리콘 산화막의 식각에 사용될 수 있다. 에컨대 무기산으로 인산을 포함하는 식각 조성물을 사용한 실리콘 질화막의 식각은 아래의 반응식 1과 같이 진행될 수 있다. 동일한 식각 조성물을 사용한 실리콘 산화막의 식각은 아래의 반응식 2와 같이 진행될 수 있다. 다만, 상기 식각 조성물을 사용한 식각 공정에서, 제1 절연막인 실리콘 질화막의 식각률은 제2 절연막인 실리콘 산화막의 식각률보다 더 클 수 있다. 본 명세서에서, 실리콘 질화막이 식각된다는 것은 실리콘 질화물이 제거된다는 것으로, 실리콘 산화막이 식각된다는 것은 실리콘 산화물이 제거된다는 것을 의미할 수 있다. 실리콘 질화물은 Si_xN_y 로 표시될 수 있다. 실리콘 산화물은 Si_xO_y 로 표시될 수 있다. (여기에서, x 및 y는 각각 독립적으로 양의 정수이다)

[60]

[61] [반응식 1]

[62] $3\text{Si}_3\text{N}_4 + 4\text{H}_3\text{PO}_4 + 27\text{H}_2\text{O} \rightarrow 4(\text{NH}_4)_3\text{PO}_4 + 9\text{SiO}_2\text{H}_2\text{O}$

[63] [반응식 2]

[64] $\text{SiO}_2 + 4\text{H}^+ + 4\text{e}^- \rightarrow \text{Si} + 2\text{H}_2\text{O}$

[65]

[66] 상기 반응식 1을 참조하면, 인산은 실리콘 질화물과 반응하여, 실리콘 질화물을 제거할 수 있다. 이때, 무기산으로서 인산은 전체 식각 조성물 100 중량부에 대해, 50 중량부 이상 및 85 중량부 이하로 포함될 수 있다. 무기산이 적게 포함될 경우 실리콘 질화막이 용이하게 제거되기 어려울 수 있다. 무기산이 필요 이상으로 포함될 경우에는 무기산이 식각 장비에 좋지 않은 영향을 미칠 수 있다. 또는

무기산의 사용량이 적절하지 못한 경우, 식각 공정에서 식각 부산물들이 형성될 수 있다.

- [67] 반응식 2를 참조하면, 인산은 수소 이온을 제공하여, 실리콘 산화물과 반응할 수 있다. 인산이 식각 조성물에 과량 포함되면 인산으로부터 제공되는 수소 이온의 함량이 증가함에 따라 수소 이온과 실리콘 산화물의 반응속도가 증가할 수 있다. 이 경우 식각 공정에서 실리콘 산화막에 대한 실리콘 질화막의 선택비를 충분히 높이기 어려울 수 있다.

[68]

- [69] 이하, 본 발명이 제공하는 식각 조성물을 상세히 설명한다.

- [70] 본 발명은 무기산; 실란올계 화합물; 및 잔량의 용매;를 포함하고, 상기 실란올계 화합물은 전체 식각 조성물 100 중량부에 대해, 0.1 중량부 이상 및 10 중량부 미만으로 포함되며, APHA 값이 1.5 미만인 것인, 식각 조성물을 제공한다.

[71]

- [72] 본원의 일 구현예에 있어서, 상기 식각 조성물에 포함되는 무기산은 식각 조성물이 산성의 pH(예를 들어, pH 2 내지 6)를 갖도록 하여 식각 대상(예를 들어, 절연막)을 식각할 수 있도록 한다.

- [73] 이러한 무기산은 황산, 질산, 인산, 규산, 불산, 붕산, 염산 및 과염소산으로 이루어진 군에서 선택된 1종 이상일 수 있고, 구체적인 예로, 인산일 수 있다. 상기 무기산으로 인산을 사용할 경우, 식각 대상이 산화막과 질화막일 때, 산화막에 대한 질화막의 식각 선택비를 높일 수 있다. 또한, 상기 무기산으로 인산을 사용할 경우, 식각 조성물 내에 충분한 양의 수소 이온이 제공되어 식각을 촉진시킬 수 있다.

- [74] 또한, 무기산이 인산일 경우, 상기 식각 조성물은 황산을 첨가제로 더 포함할 수 있다. 상기 황산은 상기 인산을 무기산으로 포함하는 식각 조성물의 끓는점을 상승시켜 질화막의 식각에 도움을 줄 수 있다.

- [75] 본원의 일 구현예에 있어서, 상기 무기산은 전체 식각 조성물 100 중량부에 대해, 50 중량부 이상 및 85 중량부 이하로 포함될 수 있다. 구체적으로, 상기 무기산은 전체 식각 조성물 100 중량부에 대해 50 중량부 이상, 51 중량부 이상, 52 중량부 이상, 53 중량부 이상, 54 중량부 이상, 55 중량부 이상, 56 중량부 이상, 57 중량부 이상, 58 중량부 이상 또는 59 중량부 이상 포함될 수 있고, 85 중량부 이하, 84 중량부 이하, 83 중량부 이하, 82 중량부 이하, 81 중량부 이하, 80 중량부 이하, 79 중량부 이하, 78 중량부 이하 또는 77 중량부 이하로 포함될 수 있다. 식각 조성물이 무기산을 상기 함량으로 포함하는 경우, 질화막의 식각(제거) 선택비를 더욱 향상시킬 수 있고, 파티클 발생을 방지할 수 있다.

[76]

- [77] 한편, 상기 식각 조성물에 포함되는 실란올계 화합물은 앞서 설명한 식각 조성물에 포함될 수 있는 첨가 물질에 해당하는 것으로, 식각 조성물에 포함되어 질화막에 대한 식각 선택비를 높일 수 있고, 파티클 발생을 억제하면서 이상 성장

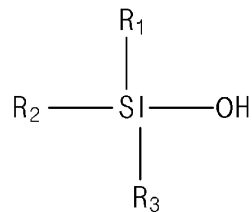
을 제어하는 역할을 수행할 수 있다. 식각 조성물에 포함될 수 있는 첨가 물질로 다양한 구조의 Si계 화합물들이 알려져 있으며, 그 중 특히 분자 구조 내 Si-OH의 구조를 갖는 실란올계 화합물이 상기 첨가 물질의 역할을 보다 잘 수행할 수 있다.

[78]

[79] 특히, 상기 실란올계 화합물은 하기 화학식 1로 표시되는 실란올계 화합물 또는 이의 축합체인 것일 수 있다:

[80] [화학식 1]

[81]



[82] 상기 화학식 1에서,

[83] R_1 은 탄소수 1 내지 20의 아미노 알킬기, 탄소수 1 내지 20의 알콕시기, 아세틸 옥시기 및 탄소수 1 내지 20의 할로알킬아세틸옥시기로 이루어진 군에서 선택되며, R_2 및 R_3 는 히드록시기이다.

[84]

[85] 특히 상기 화학식 1의 구조에서 R_2 및 R_3 가 히드록시기 대신 알콕시기인 Si계 화합물들이 식각 조성물의 첨가 물질로 특히 적합하다는 점이 알려져 있으나, 이러한 물질을 식각 조성물에 사용하는 경우에는 색변화 또는 파티클 발생을 야기하여 식각 공정을 방해하거나 형성 직후 다량의 버블을 형성하여 식각 설비를 손상시키고 식각 공정의 효율을 떨어트리는 문제가 있다. 본 발명의 식각 조성물은 전술한 알콕시기를 갖는 Si계 화합물 대신 상기 화학식 1로 표시되는 실란올계 화합물 또는 이의 축합체를 첨가 물질로 사용함으로써, 상술한 문제를 유발시키지 않으면서, 우수한 성능 및 안정성을 구현할 수 있다.

[86]

[87] 한편, 본 발명의 식각 조성물에 사용되는 실란올계 화합물에 있어서, 실란올계 화합물의 축합체란 실란올계 화합물이 2개 이상 축합 또는 결합하여 형성하는 화합물을 의미한다. 일 예로, 상기 화학식 1로 표시되는 실란올계 화합물은 3개의 Si-OH 결합을 가지므로, 한 분자의 Si-OH 구조가 다른 분자의 Si-OH 구조와 반응하여 결합 구조를 형성할 수 있고, 이러한 과정을 통해 형성될 수 있는 다양한 구조의 화합물들을 축합체로 칭할 수 있다.

[88]

특히, 그 구체적인 원리에 대해서는 명확히 확인할 수 없으나, 본 발명의 식각 조성물은 상기 실란올계 화합물 또는 이의 축합체를 포함함으로써, 식각 조성물에 대하여 측정되는 APHA 값이 1.5 미만으로 매우 낮을 수 있고, 이와 같이 식각

조성물의 APHA 값이 낮을 경우, 시각 조성물은 거의 색을 띄지 않아 시각 공정 이 원활하게 운전되도록 하는 것에 도움이 될 수 있다. 보다 구체적으로, 시각 조성물의 APHA 값이 낮아 거의 색이 없는 투명한 상태라면, 시각 공정 중 파티클의 생성이나 공정 중 발생할 수 있는 부반응 등에 의해 색 변화가 발생하였을 때 즉각적으로 인지하여 대응할 수 있고, 이러한 결과를 공정 조건 설정에 활용하여 부반응이 발생하지 않도록 공정 조건을 최적화할 수 있으나, 만약 시각 조성물이 색을 갖는 경우라면 위와 같은 색 변화에 대한 대응이 늦어지고, 미세한 색 변화에 대해서는 대처 자체가 불가능하여 공정 중 발생하는 문제를 인지할 수 없다. 특히 시각 조성물이 색을 갖는 경우에는 공정이 진행될수록 일부 장비에 색이 침착되는 현상이 발생할 수 있고, 이는 앞서 설명한 문제를 더욱 가속화할 수 있다.

[89] 본원의 일 구현예에 있어서, 바람직하게는 상기 실란올계 화합물은 아미노알킬 실란트리로 또는 이의 축합체일 수 있고, 구체적인 예로, 3-아미노프로필실란트리로 또는 이의 축합체일 수 있다. 보다 구체적으로는, 상기 실란올계 화합물은 CAS 번호가 68400-07-7인 것일 수 있다. 이러한 실란올계 화합물은 특히 산화막에 대한 질화막의 선택비 측면에서 매우 향상된 효과를 나타내면서도, 시각 조성물의 APHA 값이 1.5 미만으로 유지되도록 할 수 있다.

[90]

[91] 본원의 일 구현예에 있어서, 본 발명의 시각 조성물은 그 APHA 값이 1.5 미만일 수 있고, 바람직하게는 1.45 이하, 1.4 이하, 1.3 이하, 1.2 이하, 1.1 이하, 1.0 이하, 0.9 이하, 0.8 이하, 0.7 이하, 0.6 이하, 0.5 이하, 0.4 이하, 0.3 이하, 0.2 이하, 0.1 이하 또는 0일 수 있다. 본 발명의 시각 조성물은 이와 같이 낮은 APHA 값을 가지므로써, 색을 거의 띄지 않으며, 시각 공정을 방해하지 않을 수 있다. 만약 시각 조성물의 APHA 값이 상기 대비 높은 경우라면, 시각 조성물의 변색에 의하여 분광광도식 농도계 등의 계측에 간섭 인자로 작용할 수 있다. 한편 상기 APHA 값은 ASTM-D1209에 의거하여 측정되는 것일 수 있다.

[92]

[93] 본원의 일 구현예에 있어서, 상기 실란올계 화합물은 전체 시각 조성물 100 중량부에 대해, 0.1 중량부 이상, 0.5 중량부 이상, 1 중량부 이상, 1.5 중량부 이상, 2 중량부 이상, 3 중량부 이상, 3 중량부 초과, 3.5 중량부 이상, 4 중량부 이상, 4.5 중량부 이상, 5 중량부 이상, 5.5 중량부 이상 또는 6 중량부 이상일 수 있고, 10 중량부 미만, 9.5 중량부 이하, 9 중량부 이하, 8.5 중량부 이하, 8 중량부 이하, 7.5 중량부 이하 또는 7 중량부 이하일 수 있다. 상기 실란올계 화합물의 함량이 상술한 범위를 초과하는 경우 그 자체가 불순물로 작용하고, 실란올계 화합물의 함량이 증가함에 따라 무기산의 함량이 감소하여 시각 속도 자체가 떨어지는 문제가 생길 수 있고, 상술한 범위 미만인 경우, 고온 공정에서의 시각 조성물 활용이 어려우며, 충분한 이상성장 억제나, 시각 선택비 확보 및 버블 생성 억제가 어려울 수 있다. 이는 즉 통상의 질화막 시각 조성물에서는 실란계 화합물을 첨가 물질로 포함하더라도 그 함유량이 전체 시각 조성물 기준 약 3 중량% 이하로 포함되

도록 하는 것과는 반대되는 것으로, 본 발명의 식각 조성물은 오히려 상기 실란올계 화합물을 종래 기술 대비 많은 양, 바람직하게는 전체 식각 조성물 100 중량부 기준 3 중량부 초과 및 10 중량부 미만으로 사용함으로써 식각 속도 및 선택비 사이의 균형을 유지하면서도, 고온 공정에서의 식각 조성물 안정성, 이상성장 및 버블 생성의 억제 효과를 구현할 수 있다.

- [94] 또한, 본원의 일 구현예에 있어서, 식각 조성물은 용매를 포함할 수 있다. 상기 용매는 구체적으로, 물 또는 탈이온수(deionized water, DIW)일 수 있다. 이러한 용매의 함량은 전체 식각 조성물 중 무기산의 함량, 상기 실란올계 화합물의 함량, 첨가제가 첨가된 경우에는 그 첨가제의 함량을 제외한 나머지 잔부의 함량일 수 있다.
- [95] 본원의 일 구현예에 있어서, 상기 식각 조성물은 암모늄계 화합물을 더 포함할 수 있다. 암모늄계 화합물은 상기 용매, 특히 물에 용해되었을 때 암모늄(NH_4^+)을 형성하는 화합물을 의미할 수 있다. 암모늄계 화합물은 예를 들어, 암모니아, 암모늄 클로라이드, 암모늄 포스페이트, 암모늄 아세테이트, 암모늄 셀레이트, 암모늄 포메이트 및 금속 아민 착염 중에서 적어도 하나를 포함할 수 있다. 금속 아민 착염은 적어도 하나의 암모니아(NH_3) 리간드를 포함하는 금속 착염일 수 있다. 실리콘 질화막의 식각 공정이 장시간 수행되면, 상기 반응식 1의 생성물인 $\text{SiO}_2\text{H}_2\text{O}$ 에 의해 실리콘 이온이 과량 형성될 수 있다. 과량 형성된 실리콘 이온은 실리콘 산화막의 이상 성장을 야기할 수 있으며, 식각 조성물에 포함되어 암모늄(NH_4^+)을 형성한 경우, 형성된 암모늄은 실리콘 이온의 전구체(예를 들어, SiO_2)와 반응하여, 실리콘 이온의 전구체를 제거할 수 있다. 이에 따라, 실리콘 산화막의 이상 성장이 방지될 수 있다. 또한, 암모늄계 화합물은 식각 시간에 따른 식각 속도를 일정하게 유지시킬 수 있다.
- [96] 상기 암모늄계 화합물은 전체 식각 조성물 100 중량부 기준 0.01 중량부 이상, 10 중량부 이하의 함량으로 포함될 수 있다. 상기 식각 조성물이 암모늄계 화합물을 더 포함할 때, 암모늄계 화합물이 이보다 적게 포함되면, 암모늄계 화합물을 더 포함하는 목적과는 달리, 실리콘 산화막이 이상 성장되거나, 실리콘 산화막에 대한 실리콘 질화막의 식각 선택비가 시간에 따라 변화될 수 있다는 것을 방지하기 어려울 수 있다. 또한, 암모늄계 화합물이 식각 조성물이 지나치게 많이 포함되면, 암모늄계 화합물을 더 포함하는 목적과는 달리, 실리콘 질화막 및 실리콘 산화막의 식각 속도가 시간에 따라 변화될 수 있다.
- [97] 이외에 본원의 일 구현예에 있어서, 상기 식각 조성물은 식각 성능을 향상시키기 위해 통상적으로 공지된 임의의 첨가제를 더 포함할 수 있다. 상기 첨가제는 계면활성제, 금속 이온 봉쇄제 또는 부식 방지제 등일 수 있다.
- [98] 상술한 바와 같은 본 발명의 식각 조성물은 무기산 및 실란올계 화합물과 더불어 첨가제, 암모늄계 화합물을 선택적으로 더 포함함에 따라, 현저하게 높은 산화막에 대한 질화막의 식각 선택비를 나타낼 수 있다. 또한, 상기 식각 조성물은

질화막의 식각 과정에서 산화막의 막질 손상이나 산화막의 식각으로 인한 전기적 특성 저하가 방지되고 파티클 발생을 최소화할 수 있다. 따라서, 본 발명의 식각 조성물은 반도체 소자의 제조시 식각 공정에 유용하게 사용될 수 있다.

- [99] 본원의 일 구현예에 있어서, 상기 식각 조성물은 실리콘 질화막 식각에 이용되는 것을 특징으로 하는 것일 수 있다. 이 경우, 실리콘 질화막/산화막 식각 선택비는 30 이상, 35 이상, 40 이상, 45 이상, 50 이상, 55 이상, 60 이상, 65 이상 또는 70 이상인 것일 수 있고, 그와 동시에 1000 이하, 700 이하, 500 이하, 300 이하 또는 200 이하일 수 있다. 실리콘 질화막/산화막 선택비가 상술한 범위 내일 때 충분히 높은 선택비로 질화막을 식각할 수 있으면서 질화막의 식각 속도 자체도 충분히 확보될 수 있다.
- [100] 본원의 일 구현예에 있어서, 본 발명의 식각 조성물은 실리콘 이온 100ppm에서 1500ppm까지 식각 공정을 수행하는 동안 질화막 식각 속도의 변화율의 절대값이 20% 이하, 19% 이하 또는 18% 이하를 나타낼 수 있다. 이는 즉 본 발명의 식각 조성물이 다양한 실리콘 이온 농도에서 상대적으로 균일한 질화막 식각 속도를 나타낸다는 점을 의미하는 것으로, 식각 공정을 수행하는 동안 질화막 식각 속도의 변화율의 절대값이 상술한 범위 내일 때 특히 식각 조성물의 안정성이 뛰어날 수 있다.
- [101] 본원의 일 구현예에 있어서, 본 발명의 식각 조성물은 형성 직후 표면의 버블 높이가 0.5 cm 이하, 0.4 cm 이하, 0.3 cm 이하, 0.2 cm 이하, 0.2 cm 미만, 0.15 cm 이하 또는 0.1 cm 이하일 수 있다. 본 발명의 식각 조성물은 형성 직후에도 표면에 거의 버블을 발생시키지 않으며, 형성 직후 표면의 버블 높이가 상술한 범위 내일 때 식각 공정의 효율 저하나 식각 장비의 손상 유발 없이 원활하게 식각 공정이 수행되도록 할 수 있다.
- [102]
- [103] 본원의 일 구현예에 있어서, 본 발명에 따른 식각 조성물은 식각 공정온도 165°C에서 실리콘 질화막에 대한 식각속도가 40Å/min 이상, 80Å/min 이하인 것일 수 있고, 바람직하게는 40Å/min 이상, 45Å/min 이상, 50Å/min 이상 또는 55Å/min 이상이면서, 80Å/min 이하 또는 75Å/min 이하인 것일 수 있다. 또한, 본 발명에 따른 식각 조성물은 식각 공정온도 165°C에서 실리콘 산화막에 대한 식각속도가 1Å/min 이하인 것일 수 있고, 바람직하게는 1Å/min 이하이면서, 0.0001 Å/min 이상, 0.01Å/min 이상, 0.1Å/min 이상, 0.2Å/min 이상, 0.3Å/min 이상 또는 0.4Å/min 이상인 것일 수 있다.
- [104]
- [105] 반도체 소자의 제조방법
- [106] 본 발명은 앞서 설명한 식각 조성물을 이용한 반도체 소자의 제조방법을 제공한다.
- [107] 보다 구체적으로, 본 발명은 기판 상에 절연막 및 희생막이 적층하여 구조체를 형성하는 단계; 및 상기 식각 조성물을 사용한 식각 공정을 수행하여, 희생막을

제거하여 공간 영역을 형성하는 단계;를 포함하는 반도체 소자의 제조방법을 제공한다.

[108]

[109] 앞서 본 발명의 식각 조성물에 대해 설명한 내용은 본 발명의 반도체 소자의 제조방법의 내용에 대해서도 동일하게 적용될 수 있다.

[110]

[111] 이하 본 발명의 반도체 소자의 제조방법을 상세히 설명한다.

[112]

[113] 본 명세서에서 사용된 "공간 영역", "공간부"에서의 "공간"은 반도체 소자의 식각공정에서 희생막이 제거되어 형성되는 공간을 통칭하는 것으로서, 비제한적인 예시로서, 트렌치, 채널, 게이트, 스페이서 등이 포함될 수 있다.

[114] 또한 본 명세서에서 사용된 "증착부"는 상술한 공간 영역 또는 공간부에 도전재료 또는 절연재료가 증착되어 형성되는 부분을 포함하는 것을 의미하고, 패턴화되어 구성될 수 있다.

[115] 본원의 도 1은 실시예들에 따른 반도체 소자의 평면도이다. 도 2 내지 도 8은 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 도면들로, 도 1의 I-I' 선을 따라 자른 단면들에 대응된다. 이하, 앞서 설명한 바와 중복되는 내용은 생략한다.

[116] 본원의 도 1 및 도 2를 참조하면, 적층 구조체(200)가 기판(100) 상에 형성될 수 있다. 기판(100)은 벌크(bulk) 실리콘 기판, 실리콘-온-인슐레이터(silicon on insulator: SOI) 기판, 게르마늄 기판, 게르마늄-온-인슐레이터(germanium on insulator: GOI) 기판, 실리콘-게르마늄 기판, 또는 선택적 에피택시얼 성장(selective epitaxial growth: SEG)을 수행하여 획득한 에피택시얼 박막의 기판일 수 있다. 제1 방향(D1) 및 제2 방향(D2)은 기판(100)의 상부면(100a)에 평행할 수 있다. 제2 방향(D2)은 제1 방향(D1)과 교차할 수 있다. 제3 방향(D3)은 기판(100)의 상부면(100a)과 수직할 수 있다.

[117] 본원의 일 구현예에서 있어서, 적층 구조체(200)는 희생막들(SC) 및 절연막들(IL)을 포함할 수 있다. 적층 구조체(200)의 형성은 기판(100) 상에 희생막들(SC) 및 절연막들(IL)을 교대로 반복하여 형성하는 것을 포함할 수 있다. 희생막들(SC)은 절연막들(IL) 사이에 형성될 수 있다. 희생막들(SC)은 절연막들(IL)에 대해 식각 선택성을 가질 수 있다. 희생막들(SC)은 예를 들어, 실리콘 질화물(예를 들어, Si_3N_4)을 포함할 수 있다. 절연막들(IL)은 실리콘 산화물(예를 들어, SiO_2)을 포함할 수 있다. 절연막들(IL)은 tetraethoxysilane(TEOS)를 사용하여 형성될 수 있고, tetraethoxysilane는 $(\text{C}_2\text{H}_5\text{O})_4\text{Si}$ 로 표시될 수 있다.

[118] 본 발명의 실시예들에서, 희생막들(SC)은 서로 실질적으로 동일한 두께들을 가질 수 있다. 이와 달리, 희생막들(SC) 중 최하층의 희생막(SC) 및 최상층의 희생막(SC)은 그들 사이에 위치한 희생막들(SC)에 비해 두껍게 형성될 수 있다. 또한, 절연막들(IL)은 서로 동일한 두께들을 가지거나, 절연막들(IL) 중 적어도 2개의

두께들은 서로 다를 수 있다. 절연막들(IL) 중 최하층의 것은 그 상부 상에 형성된 희생막들(SC) 및 절연막들(IL)보다 얇은 두께를 가질 수 있다. 상기 절연막들(IL) 중 최하층의 것은 열산화 공정을 통해 형성되는 실리콘 산화막일 수도 있다. 본 명세서에서, 어떤 구성 요소의 두께는 상기 구성 요소의 제3 방향(D3)에서의 거리를 의미할 수 있다.

- [119] 본원의 도 1 및 도 3을 참조하면, 개구부들(210) 및 수직 구조체들(300)이 적층 구조체(200) 내에 형성될 수 있다. 개구부들(210)을 형성하는 것은 적층 구조체(200) 상에 개구부들(210)의 평면적 위치를 정의하는 마스크 패턴(미도시)을 형성하는 것 및 상기 마스크 패턴을 식각 마스크로 사용하여 적층 구조체(200)를 식각하는 것을 포함할 수 있다. 적층 구조체(200)의 식각은 이방성 식각 공정에 의해 수행될 수 있다.
- [120] 본원의 일 구현예에서 있어서, 개구부들(210)은 적층 구조체(200)를 관통할 수 있다. 개구부들(210)의 측벽들은 희생막들(SC) 및 절연막들(IL)을 노출시킬 수 있다. 개구부들(210)은 기관(100)을 노출시킬 수 있다. 개구부들(210)을 형성하는 동안 기관(100)의 상부면(100a)이 오버 식각(over etch)될 수 있다. 이 경우, 개구부들(210)에 노출된 기관(100)의 상부면(100a)은 소정 깊이로 리세스될 수도 있다.
- [121] 본 발명에 따른 식각 조성물은 상기 개구부들(201)에 의해 노출된 희생막들(SC) 및 절연막들(IL)의 표면을 균일하게 식각하는 용도로 사용할 수 있다.
- [122] 상기 개구부들(201)의 상부에서 하부까지 노출된 희생막들(SC) 및 절연막들(IL)의 표면을 균일하게 식각하기 위하여 본 발명에 따른 식각 조성물은 식각 공정온도 165°C에서 희생막들(SC)에 대한 식각속도가 20 내지 55 (Å/min)인 것이 바람직하다.
- [123] 상기 식각 공정온도에서 상기 식각속도 범위를 벗어날 경우 상기 개구부들(201)의 상부에서 하부까지 노출된 희생막들(SC) 및 절연막들(IL)의 표면을 균일하게 식각할 수 없다.
- [124] 본원의 일 구현예에서 있어서, 개구부들(210) 각각은 원통형 또는 직육면체의 홀 형태로 형성될 수 있다. 개구부들(210)의 하부들은 그들의 상부들보다 더 작은 폭들을 가질 수 있다. 도 1과 같이, 개구부들(210)은 평면적 관점에서 제2 방향(D2)과 나란한 열들을 이룰 수 있다. 인접한 두 열들 사이의 개구부들(210)은 제2 방향(D2)으로 지그재그(zigzag) 형태로 배열될 수 있다. 도 1과 달리, 개구부들(210)은 제1 방향(D1) 및 제2 방향(D2)을 따라 정렬된 어레이를 이룰 수 있다. 예를 들어, 인접한 두 열들의 개구부들(210)은 제1 방향(D1)으로 정렬되어, 어레이를 이룰 수 있다.
- [125] 본원의 일 구현예에서 있어서, 제1 유전 패턴들(310)이 개구부들(210) 내에 형성될 수 있다. 제1 유전 패턴들(310)은 개구부들(210)의 측벽들을 덮을 수 있다. 제1 유전 패턴들(310)은 기관(100)의 상부면(100a)을 노출시킬 수 있다. 제1 유전 패턴(310)은 단층의 절연층 또는 다층의 절연층들을 포함할 수 있다. 제1 유전 패턴(310)은 전하 트랩형 플래시 메모리 트랜지스터의 데이터 저장막의 일부로 기

능할 수 있다. 제1 유전 패턴(310)의 예시적인 실시예들은 도 9에 관한 설명에서 후술한다.

- [126] 본원의 일 구현예에서 있어서, 반도체 패턴들(320)이 개구부들(210) 내에 형성될 수 있다. 반도체 패턴들(320)은 예를 들어, 실리콘(Si), 게르마늄(Ge) 또는 이들의 혼합물을 포함할 수 있다. 반도체 패턴들(320)은 단결정, 비정질(amorphous), 및 다결정(polycrystalline) 중에서 적어도 하나를 포함하는 결정 구조를 가질 수 있다. 반도체 패턴들(320)은 도핑된 불순물을 더 포함할 수 있다. 다른 예로, 반도체 패턴들(320)은 도핑되지 않은 상태의 진성 반도체(intrinsic semiconductor)일 수 있다. 반도체 패턴들(320)은 열적 화학기상증착(Thermal CVD), 플라즈마 인핸스드 화학기상증착(Plasma enhanced CVD), 또는 원자층 증착(Atomic Layer Deposition; ALD) 기술을 이용하여 형성될 수 있다.
- [127] 본원의 일 구현예에서 있어서, 반도체 패턴들(320)은 개구부들(210)의 측벽들 상에 형성되어, 제1 유전 패턴들(310)을 덮을 수 있다. 반도체 패턴들(320)은 기판(100) 상으로 연장되어, 개구부들(210)에 의해 노출된 기판(100)의 상부면(100a)의 일부와 접촉할 수 있다. 반도체 패턴들(320) 각각은 대응되는 각 개구부들(210) 내에 파이프 형태(pipe-shaped), 중공의 실린더 형태(hollow cylindrical shape), 또는 컵(cup) 모양으로 형성될 수 있다. 반도체 패턴들(320)은 개구부들(210)의 중심 부분들에 빈영역들(321)을 정의할 수 있다.
- [128] 본원의 일 구현예에서 있어서, 매립 절연 패턴들(330)이 상기 빈 영역들(321) 내에 각각 채워질 수 있다. 매립 절연 패턴들(330)은 깎필 특성이 우수한 절연재료로 형성될 수 있다. 매립 절연 패턴들(330)은 예를 들어, 고밀도 플라즈마 산화막, SOG막(Spin On Glass layer), ALD 산화막 및/또는 CVD 산화막 등으로 형성될 수 있다.
- [129] 본원의 일 구현예에서 있어서, 패드들(340)이 수직 구조체들(300) 상에 형성될 수 있다. 패드들(340)은 불순물이 도핑된 반도체 물질 또는 금속과 같은 도전재료로 이루어질 수 있다. 패드들(340)의 하면은 최상층의 희생막(SC)의 상면보다 높은 레벨에 배치될 수 있다. 하부 캐핑막(510)이 수직 구조체들(300) 및 적층 구조체(200)의 상면 상에 형성될 수 있다. 하부 캐핑막(510)은 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산질화물과 같은 절연재료를 포함할 수 있다.
- [130] 본원의 도 4를 참조하면, 트렌치들(600)이 형성되어, 적층 구조체(200) 및 하부 캐핑막(510)을 관통할 수 있다. 트렌치들(600)을 형성하는 것은, 하부 캐핑막(510) 상에 트렌치들(600)의 평면적 위치를 정의하는 마스크 패턴(미도시)을 형성하는 것 및 마스크 패턴을 식각 마스크로 사용하여 적층 구조체(200)를 식각하는 것을 포함할 수 있다. 적층 구조체(200)를 식각하는 것은 이방성 식각 공정에 의해 수행될 수 있다.
- [131] 본원의 일 구현예에서 있어서, 트렌치들(600)은 인접하는 수직 구조체들(300) 사이에 형성될 수 있다. 트렌치들(600)은 수직 구조체들(300)로부터 이격되어, 희생막들(SC)의 측벽들 및 절연막들(IL)의 측벽들을 노출시킬 수 있다. 트렌치들

(600)의 상부들은 그들의 하부들보다 더 큰 폭들을 가질 수 있다. 트렌치들(600)은 기판(100)의 상부면(100a)을 노출시킬 수 있다. 트렌치들(600)을 형성하는 동안 오버 식각에 의해 트렌치들(600)에 노출된 기판(100)의 상부면(100a)이 소정 깊이로 리세스될 수 있다. 도 1과 같이, 트렌치들(600)은 평면적 관점에서 제2 방향(D2)과 나란한 장축들을 가질 수 있다. 트렌치들(600)은 서로 제1 방향(D1)으로 이격될 수 있다.

- [132] 본원의 도 5를 참조하면, 희생막들(SC)이 식각되어, 게이트 영역들(250)을 형성할 수 있다. 게이트 영역들(250)은 공극들일 수 있으며, 도 7에서 게이트 전극 패턴들(450)이 형성되는 영역들일 수 있다. 게이트 영역들(250)은 절연막들(IL) 사이에 형성되며, 트렌치들(600)과 연결될 수 있다. 게이트 영역들(250)은 수직 구조체들(300)의 측벽들(300c)의 일부분들을 노출시킬 수 있다. 게이트 영역들(250)의 두께들은 제거된 희생막들(SC)의 두께들과 실질적으로 동일할 수 있다. 희생막들(SC)의 식각은 식각 조성물을 이용한 식각 공정에 의해 수행될 수 있다. 상기 식각 공정은 습식 식각 공정일 수 있다.
- [133] 본원의 일 구현예에서 있어서, 식각 조성물은 앞서 설명한 본 발명의 식각 조성물일 수 있다. 희생막들(SC)은 실리콘 질화물을 포함하므로, 반응식 1과 같이 인산에 의해 식각될 수 있다.
- [134] 본원의 일 구현예에서 있어서, 예컨대, 150°C 내지 200°C, 상세하게는 155°C 내지 170°C의 식각 조성물이 기판(100) 상에 공급될 수 있다. 상기 온도 조건에서, 무기산은 희생막들(SC) 뿐만 아니라, 실리콘 산화물을 더 식각할 수 있다. 절연막들(IL)은 실리콘 산화물을 포함할 수 있다. 실시예들에 따르면, 식각 조성물은 실란올계 화합물을 포함하여, 무기산에 의한 절연막들(IL)의 식각이 방지/감소될 수 있다. 예를 들어, 상기 식각 공정에서, 상기 실란올계 화합물의 산소는 절연막들(IL)의 표면에 결합되어 절연막들(IL)을 보호할 수 있다. 이에 따라, 상기 식각 공정 동안, 절연막들(IL)은 낮은 식각률을 나타낼 수 있다. 실란올계 화합물의 산소 원자는 희생막들(SC)의 표면과 상호작용(예를 들어, 수소 결합)하지 않을 수 있다. 이에 따라, 절연막들(IL)에 대한 희생막들(SC)의 식각 선택성이 증가될 수 있다. 실란올계 화합물이 불안정하면, 부산물들이 형성되고, 상기 부산물들은 파티클을 형성할 수 있다. 부산물들 및/또는 파티클은 반도체 소자의 제조 과정에서 불량을 야기시킬 수 있다. 예를 들어, 부산물들 및/또는 파티클은 절연막들(IL)에 흡착될 수 있다. 실란올계 화합물의 실리콘 원자 및 산소 원자의 결합은 안정하므로, 식각 공정에서 부산물들의 형성이 방지될 수 있다. 희생막들(SC)은 식각되어, 실리콘 이온(예를 들어, $\text{SiO}_2\text{H}_2\text{O}$)을 형성할 수 있다. 암모늄계 화합물은 희생막들(SC)을 식각하는 동안, 발생하는 실리콘 이온을 제거할 수 있다. 이에 따라, 상기 실리콘 이온에 의한 절연막들(IL)의 이상 성장이 방지/감소될 수 있다.
- [135] 본원의 일 구현예에서 있어서, 상기 식각 공정에서, 식각 조성물은 도포, 침적(dipping), 분무, 또는 분사의 방법으로 기판(100) 상에 가해질 수 있다. 식각 조성물이 침적법에 의해 가해지는 경우, 상기 식각 공정에서, 배치식 장치가 사용될

수 있다. 식각 조성물이 기판(100) 상에 분무되는 경우, 상기 식각 공정에서, 패업식(single wafer type) 장치가 사용될 수 있다. 상기 식각 공정 후, 초순수 등을 사용한 세정 공정 및 건조 공정이 기판(100) 상에 수행될 수 있다. 초순수란 불순물이 100ppb이하인 물을 의미할 수 있다.

- [136] 본원의 도 6을 참조하면, 제2 유전 패턴(410) 및 게이트 도전막(451)이 적층 구조체(200) 상에 및 트렌치들(600) 내에 형성될 수 있다. 제2 유전 패턴(410)은 적층 구조체(200) 상에 및 트렌치들(600) 내에 실질적으로 콘포말(conformal)하게 형성될 수 있다. 제2 유전 패턴(410)은 트렌치들(600) 및 게이트 영역들(250) 내로 연장될 수 있다. 제2 유전 패턴(410)은 절연막들(IL) 중 최상층의 절연막(IL)의 상면, 트렌치들(600)에 의해 노출된 절연막들(IL)의 측벽들, 게이트 영역들(250)에 의해 노출된 절연막들(IL)의 상면들 및 하면들, 게이트 영역들(250)에 의해 노출된 수직 구조체들(300)의 측벽들(300c), 및 기판(100)의 상부면(100a)을 실질적으로 콘포말(conformal)하게 덮을 수 있다. 제2 유전 패턴(410)은 증착 공정에 의해 형성될 수 있다. 상기 증착 방법 및 증착 조건이 조절되어, 상기 제2 유전 패턴(410)이 양호한 스텝 커버리지(step coverage)를 갖도록 형성될 수 있다. 예를 들어, 제2 유전 패턴(410)의 증착 공정은 화학 기상 증착 또는 원자층 증착법에 의해 수행될 수 있다. 제2 유전 패턴(410)은 단수의 층 또는 복수의 층들을 포함할 수 있다. 제2 유전 패턴(410)은 전하 트랩형 플래시 메모리 트랜지스터의 데이터 저장막(DS)의 일부일 수 있다. 제2 유전 패턴(410)의 예시적인 실시예들은 도 9에 관한 설명에서 후술한다. 게이트 도전막(451)이 제2 유전 패턴(410) 상에 형성될 수 있다. 게이트 도전막(451)은 트렌치들(600) 각각의 적어도 일부 및 게이트 영역들(250)을 채울 수 있다. 도식된 바와 달리, 게이트 도전막(451)은 트렌치들(600) 각각을 완전히 채울 수 있다. 도식되지는 않았으나, 배리어 금속막 및 금속막이 차례로 증착되어, 게이트 도전막(451)을 형성할 수 있다. 배리어 금속막은 예를 들어, 티타늄 질화물(TiN), 탄탈륨 질화물(TaN), 또는 텅스텐 질화물(WN)와 같은 금속 질화물을 포함할 수 있다. 금속막은 예를 들어, 텅스텐(W), 알루미늄(Al), 티타늄(Ti), 탄탈륨(Ta), 코발트(Co), 또는 구리(Cu)를 포함할 수 있다.

- [137] 본원의 도 1 및 도 7을 참조하면, 게이트 도전막(451)이 패터닝되어, 게이트 전극 패턴들(450)이 게이트 영역들(250) 내에 각각 형성될 수 있다. 게이트 도전막(451)의 패터닝은 식각 공정에 의해 진행될 수 있다. 이 때, 제2 유전 패턴(410)이 더 식각될 수 있다. 게이트 도전막(451)의 식각 공정에서, 기판(100) 상의 게이트 도전막(451)이 제거될 수 있다. 게이트 도전막(451)의 식각은 절연막들(IL)의 측벽들 상의 절연막들(IL)이 제거되고, 절연막들(IL)의 측벽들이 노출될 때까지 진행될 수 있다. 이에 따라, 게이트 전극 패턴들(450) 및 제2 유전 패턴(410)이 게이트 영역들(250)에 국소화되고, 게이트 구조체들(400)이 형성될 수 있다. 게이트 구조체들(400) 각각은 서로 인접한 2개의 트렌치들(600) 사이에 형성될 수 있다. 게이트 구조체들(400)의 측벽들은 트렌치들(600)에 노출될 수 있다. 게이트 구조체들(400)은 트렌치들(600) 내의 기판(100)의 상부면(100a)을 노출시킬 수 있다.

상기 노출된 기판(100)의 상부면(100a)이 더 식각될 수 있다. 도 1과 같이 게이트 구조체들(400)은 평면적 관점에서 제2 방향(D2)과 나란한 장축들을 가질 수 있다. 게이트 구조체들(400)은 서로 제1 방향(D1)으로 이격될 수 있다.

- [138] 본원의 일 구현예에서 있어서, 게이트 구조체들(400) 각각은 적층된 게이트 전극 패턴들(450), 제2 유전 패턴(410), 및 절연막들(IL)을 포함할 수 있다. 게이트 구조체들(400) 각각에서, 게이트 전극 패턴들(450)은 절연막들(IL) 사이에 개재될 수 있다. 게이트 전극 패턴들(450)은 스트링 선택 라인, 접지 선택 라인 및 워드 라인들로 사용될 수 있다. 예를 들면, 적층된 게이트 전극 패턴들(450)의 최상부의 것 및 최하부의 것은 각각 스트링 선택 라인 및 접지 선택 라인으로 사용될 수 있다. 상기 최상부 및 최하부의 게이트 전극 패턴들(450) 사이의 게이트 전극 패턴들(450)은 워드 라인들로 사용될 수 있다.
- [139] 본원의 일 구현예에서 있어서, 게이트 구조체들(400)에서, 제2 유전 패턴(410)은 게이트 전극 패턴들(450)과 절연막들(IL) 사이 및 수직 구조체(300)와 절연막들(IL) 사이에 개재될 수 있다.
- [140] 본원의 일 구현예에서 있어서, 공통 소스 영역들(CSR)이 트렌치들(600)에 노출된 기판(100) 내에 형성될 수 있다. 공통 소스 영역들(CSR)은 서로 제2 방향(D2)으로 이격될 수 있다. 공통 소스 영역들(CSR)은 게이트 구조체들(400)을 이온 마스크로 사용한 이온 주입 공정을 통해 형성될 수 있다. 공통 소스 영역들(CSR)은 불순물의 확산에 의해 게이트 구조체들(400)의 하부의 일부분과 평면적 관점에서 중첩될 수 있다. 공통 소스 영역들(CSR)은 기판(100)의 도전형과 다른 도전형을 가질 수 있다. 다른 예로, 공통 소스 영역들(CSR)은 도 4의 트렌치들(600)의 형성 이후에 수행될 수 있다.
- [141] 본원의 도 1 및 도 8를 참조하면, 스페이서들(550) 및 공통 소스 플러그들(CSP)이 트렌치들(600) 내에 각각 형성될 수 있다. 스페이서들(550)은 게이트 구조체들(400)의 측벽들을 덮을 수 있다. 스페이서들(550)은 절연재료를 포함할 수 있다. 스페이서들(550)을 예를 들어 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 low-k 물질로 형성될 수 있다. 스페이서들(550)을 형성하는 것은 기판(100) 상에 스페이서막(미도시)을 균일한 두께로 증착하여, 게이트 구조체들(400)을 덮는 것 및 스페이서막에 대한 에치백 공정을 수행하여 공통 소스 영역들(CSR)을 노출시키는 것을 포함할 수 있다.
- [142] 본원의 일 구현예에서 있어서, 공통 소스 플러그들(CSP)이 스페이서들(550) 상에 형성되어, 트렌치들(600)을 채울 수 있다. 공통 소스 플러그들(CSP)은 공통 소스 영역들(CSR)과 각각 접촉할 수 있다. 공통 소스 플러그(CSP)를 형성하는 것은 스페이서들(550)의 측벽들을 덮는 배리어 금속막(미도시)을 증착하는 것 및 배리어 금속막 상에 금속막(미도시)을 증착하는 것을 포함할 수 있다. 배리어 금속막은 예를 들어, 탄탈륨(Ta), 탄탈륨 질화물(TaN), 티타늄(Ti), 티타늄 질화물(TiN), 텅스텐(W), 텅스텐 질화물(WN), 및 이들의 조합 중에서 적어도 하나를 포함할 수 있다. 금속막은 텅스텐(W), 알루미늄(Al), 티타늄(Ti), 탄탈륨(Ta), 코발트(Co), 또

는 구리(Cu)를 포함할 수 있다. 도 1과 같이 평면적 관점에서, 공통 소스 플러그들(CSP)의 장축들은 제2 방향(D2)과 나란히 연장될 수 있다.

- [143] 본원의 일 구현예에서 있어서, 상부 캐핑막(520)이 하부 캐핑막(510) 상에 형성되어, 공통 소스 플러그(CSP)의 상면들을 덮을 수 있다. 상부 캐핑막(520)은 절연성 물질을 포함할 수 있다.
- [144] 본원의 일 구현예에서 있어서, 비트 라인 콘택 플러그들(530)이 상부 캐핑막(520) 내에 형성될 수 있다. 비트 라인 콘택 플러그들(530)은 상부 캐핑막(520) 및 하부 캐핑막(510)을 관통하며 패드들(340)과 각각 접속할 수 있다. 비트 라인 콘택 플러그들(530)은 패드들(340)을 통해 수직 구조체들(300)(예를 들어, 반도체 패턴들(320))과 각각 전기적으로 연결될 수 있다. 비트 라인들(BL)이 상부 캐핑막(520) 상에 형성되어, 비트 라인 콘택 플러그들(530)과 접속할 수 있다. 도 1과 같이 비트 라인들(BL)은 평면적 관점에서 제1 방향(D1)으로 연장될 수 있다. 비트 라인 콘택 플러그들(530) 및 비트 라인들(BL)은 금속과 같은 도전재료를 포함할 수 있다. 이에 따라, 반도체 소자(1)의 제조가 완성될 수 있다. 반도체 소자(1)는 3차원 메모리 소자일 수 있다.
- [145] 본원의 도 9는 실시예들에 따른 반도체 소자의 절연 패턴들을 설명하기 위한 도면으로, 도 8의 A영역을 확대 도시하였다. 이하, 도 9의 설명에서, 설명의 간소화를 위해 단수의 절연막, 단수의 게이트 전극 패턴, 및 단수의 수직 구조체에 대하여 기술한다.
- [146] 본원의 도 8 및 도 9를 참조하면, 제1 유전 패턴(310)은 터널 절연막(311), 전하 저장막(312), 및 제1 블록킹 절연막(313)을 포함할 수 있다. 터널 절연막(311)은 수직 구조체를 따라 연장될 수 있다. 전하 저장막(312) 및 제1 블록킹 절연막(313)은 터널 절연막(311) 상에 적층될 수 있다. 터널 절연막(311)은 제1 블록킹 절연막(313)보다 낮은 유전 상수를 갖는 물질로 형성될 수 있다. 터널 절연막(311)은 예를 들어, 산화물, 질화물 또는 산화질화물 등에서 선택된 적어도 하나를 포함할 수 있다. 이와 달리, 터널 절연막(311)은 고유전 물질을 포함할 수 있다. 고유전 물질은 실리콘 산화물보다 높은 유전 상수를 갖는 절연성 물질을 의미하며, 지르코늄 산화물, 알루미늄 산화물, 및/또는 하프늄 산화물 등을 포함할 수 있다. 전하 저장막(312)은 터널 절연막(311) 및 제1 블록킹 절연막(313) 사이에 개재될 수 있다. 전하 저장막(312)은 전하트랩 절연막, 플로팅 게이트 전극 또는 도전성 나노도트들(conductive nano dots) 중 적어도 하나를 포함할 수 있다. 제1 블록킹 절연막(313)은 고유전 물질을 포함할 수 있다.
- [147] 본원의 일 구현예에서 있어서, 제2 유전 패턴(410)은 제2 블록킹 절연막을 포함할 수 있다. 제2 블록킹 절연막은 게이트 전극 패턴(450)과 제1 유전 패턴(310) 사이 및 게이트 전극 패턴(450)과 절연막(IL) 사이에 개재될 수 있다. 제2 블록킹 절연막은 고유전 물질을 포함할 수 있다. 일 예로, 제1 블록킹 절연막(313)은 고유전 물질을 포함하고, 제2 블록킹 절연막은 제1 블록킹 절연막(313)보다 작은 유전 상수를 갖는 물질일 수 있다. 다른 예로, 제2 블록킹 절연막은 고유전 물질들 중의

하나이고, 제1 블록킹 절연막(313)은 제2 블록킹 절연막보다 작은 유전 상수를 갖는 물질일 수 있다.

[148] 본원의 일 구현예에서 있어서, 제1 유전 패턴(310) 및 제2 유전 패턴(410)은 데이터 저장막으로 기능할 수 있다. 데이터 저장막에 저장되는 데이터는 파울러-노던하임 터널링을 이용하여 변경될 수 있고, 상기 파울러-노던하임 터널링은 수직 구조체(300) 및 게이트 전극 패턴(450) 사이의 전압 차이에 의해 유발될 수 있다.

[149] 본원의 일 구현예에서 있어서, 도식된 바와 달리, 제2 유전 패턴(410)은 형성되지 않을 수 있다. 다른 예로, 제1 블록킹 절연막(313)은 형성되지 않을 수 있다.

[150]

[151] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[152]

[153] 실시예 1 내지 7. 식각 조성물의 제조

[154] 아래 표 1에 기재된 조성으로 식각 조성물을 제조하였다. 구체적으로, 인산으로 85 중량% 수용액을 사용하여 각 식각 조성물에서의 인산 함량을 조절하였다. 상기 인산 수용액 외 추가의 물이 포함되는 식각 조성물의 경우에는 추가로 물을 첨가하였으며, 실란올계 화합물로서 CAS 번호가 68400-07-7인 화합물을 표 1에 기재된 함량으로 함유시켜 아래 표 1과 같이 식각 조성물을 각각 제조하였다.

[155]

[156] 비교예 1 내지 12. 식각 조성물의 제조

[157] 비교예 1에서는 실란올계 화합물 사용 없이 상기 실시예의 제조에 사용된 인산 수용액(85 중량%의 인산 수용액)만을 식각 조성물로 사용하였고, 비교예 2 내지 8에서는 실란올계 화합물로 CAS 번호가 58160-99-9인 화합물을 표 1에 기재된 함량으로 함유시켜 식각 조성물을 제조하였고, 비교예 9 내지 12에서는 실란올계 화합물이 아닌 다른 종류의 실리콘 첨가제를 하기 표 1에 기재된 함량으로 함유시켜 식각 조성물을 제조하였다.

[158]

[159] 상기 실시예들과 비교예들의 조성을 아래 표 1과 같이 나타내었다. 한편, 하기 표 1에서의 APHA 값은 ASTM-D1209에 의거하여 측정하였다.

[160] [표1]

	인산 함량[중량%]	첨가제 종류	첨가제 함량[중량%]	용매 (물) 함량[중량%]	APHA 값
실시예 1	84.575	CAS 68400-07-7	0.5	14.925	0
실시예 2	84.15	CAS 68400-07-7	1	14.85	0

실시예 3	82.025	CAS 68400-07-7	3.5	14.475	0
실시예 4	80.75	CAS 68400-07-7	5	14.25	0
실시예 5	79.475	CAS 68400-07-7	6.5	14.025	0
실시예 6	78.2	CAS 68400-07-7	8	13.8	0
실시예 7	76.925	CAS 68400-07-7	9.5	13.575	0
비교예 1	85	-	-	15	0
비교예 2	84.575	CAS 58160-99-9	0.5	14.925	1.5
비교예 3	84.15	CAS 58160-99-9	1	14.85	2.9
비교예 4	82.025	CAS 58160-99-9	3.5	14.475	14.2
비교예 5	80.75	CAS 58160-99-9	5	14.25	17.8
비교예 6	79.475	CAS 58160-99-9	6.5	14.025	24.5
비교예 7	78.2	CAS 58160-99-9	8	13.8	27.5
비교예 8	76.925	CAS 58160-99-9	9.5	13.575	33.4
비교예 9	80.75	MTES	5	14.25	측정불가
비교예 10	79.05	TEOS	7	13.95	측정불가
비교예 11	79.9	APTMS	6	14.1	2.6
비교예 12	77.35	APTMS	9	13.65	1.6

[161] * MTES: 메틸트리에톡시실란

[162] * TEOS: 테트라에톡시실란

[163] * APTMS: 3-아미노프로필 트리메톡시실란

[164]

[165] 상기 표 1에서 확인되듯이, 실란올계 화합물을 첨가제로 사용하더라도, 사용되는 실란올계 화합물의 종류에 따라 식각 조성물의 APHA 값이 크게 차이날 수 있다. 특히, 첨가제의 함량이 높아질수록 식각 조성물의 APHA 값 차이가 점점 더 크게 확인되었으며, 이는 즉 식각 조성물의 APHA 값은 식각 조성물 내 포함되는 첨가제에 의해 달라질 수 있다는 점을 의미한다. 한편, 상기 비교예 9 및 10의 식각 조성물의 경우 APHA 값을 측정할 수 없었는데, APHA 값은 탁도가 없는 투명한 상태의 액상에서만 측정이 가능하나, 비교예 9 및 10의 식각 조성물은 불투명한 특성을 나타내어 APHA 값을 측정할 수 없었다.

[166]

[167] 실험예 1. 식각속도 및 선택비 측정

[168] 실시예 및 비교예에서 각각 제조된 식각 조성물을 이용하여 165°C의 공정 온도에서 질화막 및 산화막에 대한 식각을 실시하였다. 박막 두께 측정 장비인 엘립소미터(NANO VIEW, SEMG-1000)를 이용하여 질화막 및 산화막에 대한 식각 속도를 측정하여 하기 표 2에 나타내었다. 구체적으로, 하기 표 2의 식각 속도는 각 막을 300초 동안 식각한 후, 각 막의 식각 처리 전의 막 두께와 식각 처리 후의 막 두께의 차이를 식각 시간(분)으로 나누어 산출한 수치이다.

[169]

[170] [표2]

	인산 함량[중량%]	첨가제 종류	첨가제 함량[중량%]	용매 (물) 함량[중량%]	SIN (Å/min)	TEOS (Å/min)	선택비
실시 예 1	84.575	CAS 68 400-07-7	0.5	14.925	75.04	2.01	37.33
실시 예 2	84.15	CAS 68 400-07-7	1	14.85	73.15	1.57	46.59
실시 예 3	82.025	CAS 68 400-07-7	3.5	14.475	70.01	0.95	73.69
실시 예 4	80.75	CAS 68 400-07-7	5	14.25	68.71	0.74	92.85
실시 예 5	79.475	CAS 68 400-07-7	6.5	14.025	63.4	0.63	100.63
실시 예 6	78.2	CAS 68 400-07-7	8	13.8	60.31	0.41	147.10
실시 예 7	76.925	CAS 68 400-07-7	9.5	13.575	58.32	0.38	153.47
비교 예 1	85	-	-	15	80.6	3.02	26.69
비교 예 9	80.75	MTES	5	14.25	72.65	0.21	345.95
비교 예 10	79.05	TEOS	7	13.95	62.65	0	-
비교 예 11	79.9	APTMS	6	14.1	70.15	0.15	467.67

비교 예 12	77.35	APTMS	9	13.65	67.01	0.07	957.29
------------	-------	-------	---	-------	-------	------	--------

[171] 상기 표 2에 따르면, 본 발명의 식각 조성물에 해당하는 실시예들의 질화막:산화막 식각 속도 선택비가 30 이상의 높은 수준을 가지며, 질화막 식각 속도 역시 높은 수준임을 확인할 수 있다.

[172]

[173] 실험예 2: 식각 조성물의 이상성장 억제 수준 분석

[174] 실시예들의 식각 조성물을 사용하여 식각 공정을 실험예 1과 같이 수행하였다. 이후, 실리콘 산화막으로부터 나온 용액을 모으고, 상기 용액 내의 실리콘 이온의 농도가 100 ppm, 300 ppm, 500 ppm, 1000 ppm, 1500 ppm 이 되었을 때의 식각 속도 및 식각액 필터링 후의 식각 속도를 측정하여(이하, 더미(dummy) 식각 속도라 한다), 표 3 내지 표 6에 결과를 나타내었다. 이를 통해 장기간 식각 공정에도 이상성장이 억제되고 식각 안정성을 갖는지 여부를 판단해볼 수 있다.

[175] [표3]

	기 타첨 가제	Dum my	인산 함량[중량%]	첨가제 함량[중량%]	용매 (물) 함량[중량%]	(필터 전) SIN (Å/min)	(필터 전) TEOS (Å/min)	(필터 후) SIN (Å/min)	(필터 후) TEOS (Å/ min)
비 교 예 1	N- 인산	100	85	-	15	75.26	0.15	78.26	1.26
실 시 예 1	-	100	84.575	0.5	14.925	71.35	1.38	71.27	1.3
실 시 예 2			84.15	1	14.85	70.55	1.04	70.23	1.01
실 시 예 3			82.025	3.5	14.475	69.36	0.96	69.08	0.98
실 시 예 4			80.75	5	14.25	68.45	0.7	68.23	0.69

WO 2025/079948

PCT/KR2024/015240

실시예 5		79.475	6.5	14.025	63.26	0.64	66.11	0.66
실시예 6		78.2	8	13.8	59.89	0.45	59.41	0.44
실시예 7		76.925	9.5	13.575	58.36	0.38	58.13	0.35
실시예 1	300	84.575	0.5	14.925	64.59	-0.05	67.97	0.83
실시예 2		84.15	1	14.85	62.01	0.01	61.85	0.02
실시예 3		82.025	3.5	14.475	68.06	0.02	68.03	0.02
실시예 4		80.75	5	14.25	65.82	0.01	65.14	0.01
실시예 5		79.475	6.5	14.025	60.75	0.04	65.23	0.03
실시예 6		78.2	8	13.8	58.33	0.04	58.16	0.04
실시예 7		76.925	9.5	13.575	56.1	0.07	56.58	0.06
실시예 1	500	84.575	0.5	14.925	58.44	-0.07	64.52	0.02

실시예 2			84.15	1	14.85	61.33	-0.03	63.56	0.03
실시예 3			82.025	3.5	14.475	65.4	0.01	65.08	0.01
실시예 4			80.75	5	14.25	59.02	0.02	59.11	0.02
실시예 5			79.475	6.5	14.025	57.52	0.02	57.83	0.02
실시예 6			78.2	8	13.8	56.02	0.02	56.41	0.02
실시예 7			76.925	9.5	13.575	55	0.02	55.05	0.02

[176] [표4]

	기타 첨가 제	Dum my	인산 함량[중량%]	첨가제 함량[중량%]	용매 (물) 함량[중량%]	(필터 전) SIN (Å/min)	(필터 전) TEOS (Å/min)	(필터 후) SIN (Å/min)	(필터 후) TEOS (Å/ min)
비교 예 1	N- 인산	100	85	-	15	75.26	0.15	78.26	1.26
실시 예 1	-	1000	84.575	0.5	14.925	측정 불가	측정 불가	측정 불가	측정 불가
실시 예 2			84.15	1	14.85	측정 불가	측정 불가	측정 불가	측정 불가
실시 예 3			82.025	3.5	14.475	60.6	0	60.14	0
실시 예 4			80.75	5	14.25	51.22	0	51.05	0

실시 예 5			79.475	6.5	14.025	48.2	0	48.16	0
실시 예 6			78.2	8	13.8	45.22	0	45.23	0
실시 예 7			76.925	9.5	13.575	44.96	0	45.06	0
실시 예 1		1500	84.575	0.5	14.925	측정 불가	측정 불가	측정 불가	측정 불가
실시 예 2			84.15	1	14.85	측정 불가	측정 불가	측정 불가	측정 불가
실시 예 3			82.025	3.5	14.475	52.03	-0.04	52.09	-0.06
실시 예 4			80.75	5	14.25	46.51	-0.02	46.38	-0.01
실시 예 5			79.475	6.5	14.025	44.03	-0.02	44.07	-0.01
실시 예 6			78.2	8	13.8	40.03	-0.01	40.13	0
실시 예 7			76.925	9.5	13.575	38.96	-0.01	38.59	0

[177] [표5]

	기타 첨가 제	Dum my	인산 함량[중량%]	첨가제 함량[중량%]	용매 (물) 함량[중량%]	(필터 전) SIN (Å/min)	(필터 전) TEOS (Å/min)	(필터 후) SIN (Å/min)	(필터 후) TEOS (Å/ min)
비교 예 1	N- 인산	100	85	-	15	75.26	0.15	78.26	1.26
비교 예 9	-	100	80.75	MTES 5	14.25	52.10	0.03	52.07	0.02
비 교예 10			79.05	TEOS 7	13.95	측정 불가	측정 불가	측정 불가	측정 불가

비교예 11			79.9	APT MS 6	14.1	56.26	0.05	55.59	0.05
비교예 12			77.35	APT MS 9	13.65	55.10	0.04	55.66	0.04
비교예 9		300	80.75	MTES 5	14.25	측정 불가	측정 불가	측정 불가	측정 불가
비교예 10			79.05	TEOS 7	13.95	측정 불가	측정 불가	측정 불가	측정 불가
비교예 11			79.9	APT MS 6	14.1	54.79	-0.02	55.01	0.02
비교예 12			77.35	APT MS 9	13.65	53.28	-0.04	55.52	0.02
비교예 9		500	76.5	MTES 5	18.5	측정 불가	측정 불가	측정 불가	측정 불가
비교예 10			72.25	TEOS 7	20.75	측정 불가	측정 불가	측정 불가	측정 불가
비교예 11			79.9	APT MS 6	14.1	측정 불가	측정 불가	측정 불가	측정 불가
비교예 12			77.35	APT MS 9	13.65	측정 불가	측정 불가	측정 불가	측정 불가

[178] [표6]

	기타 첨가제	Dummy	인산 함량[중량%]	APST 함량[중량%]	용매 (물) 함량[중량%]	(필터 전) SIN (Å/min)	(필터 전) TEOS (Å/min)	(필터 후) SIN (Å/min)	(필터 후) TEOS (Å/min)
--	--------	-------	------------	--------------	----------------	--------------------	---------------------	--------------------	---------------------

비교 예 1	N- 인산	100	85	-	15	75.26	0.15	78.26	1.26
비교 예 9	-	1000	76.5	MTES 5	18.5	측정 불가	측정 불가	측정 불가	측정 불가
비 교예 10			72.25	TEOS 7	20.75	측정 불가	측정 불가	측정 불가	측정 불가
비 교예 11			79.9	APT MS 6	14.1	측정 불가	측정 불가	측정 불가	측정 불가
비 교예 12			77.35	APT MS 9	13.65	측정 불가	측정 불가	측정 불가	측정 불가
비교 예 9		1500	76.5	MTES 5	18.5	측정 불가	측정 불가	측정 불가	측정 불가
비 교예 10			72.25	TEOS 7	20.75	측정 불가	측정 불가	측정 불가	측정 불가
비 교예 11			79.9	APT MS 6	14.1	측정 불가	측정 불가	측정 불가	측정 불가
비 교예 12			77.35	APT MS 9	13.65	측정 불가	측정 불가	측정 불가	측정 불가

[179] 위 표 3 내지 6에 따라, 실시예들에서 필터 전과 필터 후의 실리콘 산화막의 식각 속도 및 식각 선택비를 살펴보면, 우선 실리콘 이온 농도가 상승할수록 질화막 및 산화막 식각 속도가 모두 감소하는 반면 필터 전후의 식각 속도 변화는 적어지는 추세를 나타내고 있다. 구체적으로, 실시예들의 식각 조성물의 경우 1500ppm을 나타내는 경우까지 공정을 수행한 이후에도 선택비가 동일한 수준으로 유지되는 것을 확인할 수 있었다.

[180] 한편, 본 발명에서 사용되는 것과 다른 구조의 첨가제를 본 발명에서와 유사한 양으로 사용한 비교예 9 내지 12의 경우에는 첨가제의 종류에 따라 일부 차이가 있으나 실리콘 이온 농도가 100ppm 내지 500ppm인 조건 하에서도 측정이 불가능한 결과를 나타내었으며, 이상성장 억제라는 효과를 달성하기 위해서는 식각 조

성분이 실란올계 화합물을 본 발명에서 요구하는 함량으로 포함하여야 함을 확인할 수 있었다.

- [181] 또한, 본원 실시예 중 실란올계 화합물의 함량이 일정 수준 이상인 실시예 3 내지 7의 식각 조성물의 경우, 1000ppm 이상의 고농도에서도 필터 전후의 선택비 변화율, 질화막 식각속도 변화율 모두 0.1% 이하의 값을 나타내는 것을 확인할 수 있었고, 또한 실리콘 이온 100ppm에서 1500ppm까지 상승할 때까지 질화막 식각 속도의 변화율의 절대값이 20% 이하를 나타내는 것을 볼 수 있었다.

[182]

[183] 실험예 3: 식각 조성물의 색변화 및 파티클 억제 효과

[184] 실시예 및 비교예의 식각 조성물을 사용하여 식각 공정을 수행한 후, 식각 조성물의 색변화 및 파티클 억제 효과를 분석하였다. 결과는 아래 표 7과 같다.

[185]

[186] [표7]

	인산 함량[중량%]	첨가제 종류	첨가제 함량[중량%]	용매 (물) 함량[중량%]	색변화	파티클 발생
실시 예 1	84.575	CAS 68 400-07-7	0.5	14.925	X	X
실시 예 2	84.15	CAS 68 400-07-7	1	14.85	X	X
실시 예 3	82.025	CAS 68 400-07-7	3.5	14.475	X	X
실시 예 4	80.75	CAS 68 400-07-7	5	14.25	X	X
실시 예 5	79.475	CAS 68 400-07-7	6.5	14.025	X	X
실시 예 6	78.2	CAS 68 400-07-7	8	13.8	X	X
실시 예 7	76.925	CAS 68 400-07-7	9.5	13.575	X	X
비교 예 1	85	-	-	15	X	O
비교 예 9	80.75	MTES	5	14.25	X	O

비교 예 10	79.05	TEOS	7	13.95	O	O
비교 예 11	79.9	APTMS	6	14.1	O	X
비교 예 12	77.35	APTMS	9	13.65	O	O

[187] 표 7을 참조하면, 실시예의 경우 전부 색변화 또는 파티클 발생이 억제되는 것을 볼 수 있었다.

[188] 한편, 첨가제를 사용하지 않은 비교예 1이나, 실란올계 화합물 대신 다른 종류의 첨가제를 사용한 비교예 9 내지 12의 경우에는 색변화 및/또는 파티클 발생 중 하나 이상의 효과에서 실시예 대비 열위한 결과를 나타내었다.

[189]

[190] **실험예 4: 식각 조성물의 버블(Bubble) 발생 수준 분석**

[191] Bubble pour Method를 이용하여 Bubble을 발생 정도를 확인하였다. Flow는 N₂ [0.5L/min]으로 진행하였으며, 식각 조성물 형성 직후 용기에 담아, 버블의 높이를 측정(cm)한 후, 60초가 지난 후 파포가 진행된 이후의 버블의 높이를 측정하여, 파포특성을 측정하였다. 결과는 아래 표 8과 같다.

[192]

[193] [표8]

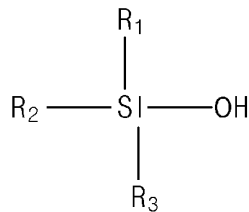
	인산 함량[중량%]	첨가제 종류	첨가제 함량[중량%]	용매 (물) 함량[중량%]	기포높 이(cm) 형성 직후	기포높 이(cm) 60초 이후
실시 예 1	84.575	CAS 68 400-07-7	0.5	14.925	0.1	0
실시 예 2	84.15	CAS 68 400-07-7	1	14.85	0.1	0
실시 예 3	82.025	CAS 68 400-07-7	3.5	14.475	0.2	0
실시 예 4	80.75	CAS 68 400-07-7	5	14.25	0.2	0
실시 예 5	79.475	CAS 68 400-07-7	6.5	14.025	0.2	0
실시 예 6	78.2	CAS 68 400-07-7	8	13.8	0.2	0

실시 예 7	76.925	CAS 68 400-07-7	9.5	13.575	0.2	0
비교 예 1	85	-	-	15	0	0
비교 예 9	80.75	MTES	5	14.25	7	0
비교 예 10	79.05	TEOS	7	13.95	5	0
비교 예 11	79.9	APTMS	6	14.1	10	0.5
비교 예 12	77.35	APTMS	9	13.65	12	0.7

- [194] 상기 표 8을 참조하면, 본원의 실란올계 화합물을 함유하는 실시예 1 내지 7의 식각 조성물은 인산 수용액만으로 이루어진 비교예 1과 같이 식각 조성물 형성 직후에도 기포(버블) 발생이 거의 없는 것을 볼 수 있었다.
- [195] 반면, 본 발명의 식각 조성물에 사용된 실란올계 화합물 대신 다른 종류의 첨가제를 사용한 9 내지 12는 실시예의 식각 조성물 대비 현저하게 많은 양의 기포를 발생시켰다.
- [196] 이는 통상 실리콘 첨가물질을 함유하는 식각 조성물에서 나타나는 형성 초기 또는 공정 투입 전 운송 과정 등에서 발생할 수 있는 기포 발생 문제를 본원발명이 해결했음을 의미한다. 이러한 기포 또는 버블의 경우 식각 공정의 효율을 저하시키거나 또는 식각 장비에 손상을 유발할 수 있는 것이므로, 식각 조성물 형성 단계에서부터 기포 발생이 없도록 제조하는 것은 필수적이라 볼 수 있다.
- [197]
- [198] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [199] 본 발명의 범위는 후술하는 청구범위에 의하여 나타내어지며, 청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

청구범위

- [청구항 1] 무기산;
실란올계 화합물; 및
잔량의 용매;를 포함하고,
상기 실란올계 화합물은 전체 식각 조성물 100 중량부에 대해, 0.1 중량부 이상 및 10 중량부 미만으로 포함되며,
APHA 값이 1.5 미만인 것인, 식각 조성물.
- [청구항 2] 제1항에 있어서,
상기 실란올계 화합물은 하기 화학식 1로 표시되는 실란올계 화합물 또는
이의 축합체인 것인 식각 조성물:
[화학식 1]



- 상기 화학식 1에서,
 R_1 은 탄소수 1 내지 20의 아미노 알킬기, 탄소수 1 내지 20의 알콕시기, 아세틸옥시기 및 탄소수 1 내지 20의 할로알킬아세틸옥시기로 이루어진 군에서 선택되며, R_2 및 R_3 는 히드록시기이다.
- [청구항 3] 제1항에 있어서,
상기 실란올계 화합물은 3-아미노프로필실란트리올 또는 이의 축합체인 식각 조성물.
- [청구항 4] 제1항에 있어서,
상기 실란올계 화합물의 CAS 번호는 68400-07-7인 식각 조성물.
- [청구항 5] 제1항에 있어서,
상기 무기산은 전체 식각 조성물 100 중량부에 대해, 50 중량부 이상 및 85 중량부 이하로 포함되는 것인, 식각 조성물.
- [청구항 6] 제1항에 있어서,
상기 무기산은 황산, 질산, 인산, 규산, 불산, 붕산, 염산 및 과염소산으로 이루어진 군에서 선택된 1종 이상을 포함하는 것인 식각 조성물.
- [청구항 7] 제1항에 있어서,
상기 식각 조성물은 암모늄계 화합물을 더 포함하는 것인 식각 조성물.
- [청구항 8] 제7항에 있어서,

상기 암모늄계 화합물은 암모늄 클로라이드, 암모늄 포스페이트, 암모늄 아세테이트, 암모늄 설페이트, 암모늄 포메이트 및 금속 아민 착염으로 이루어진 군에서 선택된 1종 이상을 포함하는 것인 식각 조성물.

- [청구항 9] 제1항에 있어서,
상기 식각 조성물은 실리콘 질화막 식각에 이용되는 것을 특징으로 하는 식각 조성물.
- [청구항 10] 제1항에 있어서,
상기 식각 조성물의 실리콘 질화막/산화막 식각 선택비는 30 이상인 것을 특징으로 하는 식각 조성물.
- [청구항 11] 제1항에 있어서,
실리콘 이온 100ppm에서 1500ppm까지 식각 공정을 수행하는 동안 질화막 식각 속도의 변화율의 절대값이 20% 이하를 나타내는, 식각 조성물.
- [청구항 12] 제1항에 있어서,
상기 식각 조성물의 형성 직후 표면의 버블 높이가 0.5 cm 이하인 것을 특징으로 하는 식각 조성물.
- [청구항 13] 제1항에 있어서,
식각 공정온도 165°C에서 실리콘 질화막에 대한 식각속도가 40 내지 80 Å/min인 식각 조성물.
- [청구항 14] 제1항에 있어서,
식각 공정온도 165°C에서 실리콘 산화막에 대한 식각속도가 1Å/min 이하인 식각 조성물.
- [청구항 15] 기판 상에 절연막 및 희생막을 적층하여 구조체를 형성하는 단계; 및 제1항에 따른 식각 조성물을 사용한 식각 공정을 수행하여, 희생막을 제거하여 공간 영역을 형성하는 단계;를 포함하는 반도체 소자의 제조방법.
- [청구항 16] 제15항에 있어서,
상기 희생막은 실리콘 질화물을 포함하고, 상기 절연막은 실리콘 산화물을 포함하는 것인 반도체 소자의 제조방법.
- [청구항 17] 제15항에 있어서,
상기 식각 공정에서, 상기 희생막은 상기 절연막보다 높은 식각률을 갖는 것을 특징으로 하는 반도체 소자의 제조방법.
- [청구항 18] 제15항에 있어서,
상기 공간 영역은 상기 절연막 사이에 형성되는 게이트 영역 및 상기 게이트 영역과 연결되는 트렌치를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.
- [청구항 19] 제18항에 있어서,
상기 적층 구조체를 관통하는 오프닝들을 형성하는 단계; 및 상기 오프닝들 내에 상기 트렌치와 이격된 반도체 패턴을 형성하는 단계;를 더 포함하고,

상기 반도체 패턴을 형성하는 단계는 상기 트렌치를 형성하기 이전에 수행되는 것인 반도체 소자의 제조방법.