

一种半导体结构

相关的交叉引用

本公开基于申请号为 202210599310.4、申请日为 2022 年 05 月 30 日、
发明名称为“一种半导体结构”的中国专利申请提出,并要求该中国专利申请
5 的优先权,该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域,尤其涉及一种半导体结构。

背景技术

半导体结构,例如三维动态随机存储器(3D DRAM),通常包括在衬
10 底上堆叠设置的多个晶体管。

然而,由于晶体管悬置在衬底上,电荷容易在晶体管的沟道区聚集产生浮体效应(Floating body effect),进而产生翘曲效应、寄生双极晶体管效应、阈值电压漂移等,影响半导体结构的性能。

发明内容

15 本公开实施例提供了一种半导体结构,包括:

衬底以及位于所述衬底上方的有源柱,所述有源柱沿第一方向延伸,
所述第一方向与衬底平面平行;所述有源柱包括沿第一方向延伸的体区以
及环绕所述体区的外围区;所述外围区包括沟道区;其中,所述沟道区的
掺杂离子类型和所述体区的掺杂离子类型相同,且所述沟道区的掺杂浓度
20 大于所述体区的掺杂浓度。

在一些实施例中,所述体区包括沿第一方向延伸的内层和包围所述内

层的外层，所述内层的掺杂浓度大于所述外层的掺杂浓度。

在一些实施例中，所述体区的掺杂浓度从中心沿着所述有源柱的径向朝向外围逐渐减小。

在一些实施例中，所述外围区还包括第一掺杂区和第二掺杂区，所述
5 第一掺杂区、所述沟道区和所述第二掺杂区沿第一方向依次排布，其中，
所述体区还包括未被所述外围区环绕的延伸区，所述延伸区与所述第一掺杂区相邻。

在一些实施例中，所述半导体结构还包括：导电结构，所述导电结构
沿第二方向延伸，且与所述延伸区电连接，其中，所述第二方向与所述第
10 一方向相交且与所述衬底平面平行。

在一些实施例中，所述半导体结构还包括：导电结构，所述导电结构
沿第三方向延伸，且与所述延伸区电连接，其中，所述第三方向为垂直于
所述衬底平面的方向。

在一些实施例中，所述有源柱的数量为多个，多个所述有源柱排列为
15 多个有源柱行和多个有源柱列，所述有源柱行沿第二方向延伸，所述第二
方向与所述第一方向相交且平行于所述衬底平面，所述有源柱列沿第三方
向延伸，所述第三方向为垂直于所述衬底平面的方向。

在一些实施例中，所述半导体结构还包括：位于所述衬底上的导电结
构，所述导电结构呈板状，所述导电结构与多个所述有源柱行的延伸区电
20 连接。

在一些实施例中，所述导电结构接地设置。

在一些实施例中，所述半导体结构还包括：多条字线，每条所述字线
沿第三方向延伸，且多条所述字线沿第二方向排布，每条所述字线对应一
个所述有源柱列，每条所述字线覆盖与其对应的所述有源柱列中的多个所
25 述沟道区；多条位线，每条所述位线沿所述第二方向延伸，且多条所述位

线沿第三方向排布，每条所述位线对应一个所述有源柱行，每条所述位线电连接与其对应的所述有源柱行中的多个第一掺杂区。

在一些实施例中，所述半导体结构还包括：多条字线，每条所述字线沿第二方向延伸，且多条所述字线沿第三方向排布，每条所述字线对应一个所述有源柱行，每条所述字线覆盖与其对应的所述有源柱行中的多个沟道区；多条位线，每条所述位线沿所述第三方向延伸，且所述多条位线沿第二方向排布，每一所述位线电连接与其对应的所述有源柱列中的多个第一掺杂区。

在一些实施例中，所述字线围绕对应的所述沟道区。

10 在一些实施例中，所述字线覆盖对应的所述沟道区的一个侧壁。

在一些实施例中，所述字线包括相对设置的第一子层和第二子层，所述第一子层和所述第二子层分别覆盖对应的所述沟道区相对的两个侧壁。

在一些实施例中，所述位线围绕对应的所述第一掺杂区。

15 在一些实施例中，所述位线包括多个子部，多个所述子部与一个所述有源柱列中的所述第一掺杂区沿第三方向交替堆叠。

本公开实施例提供的半导体结构，包括：衬底以及位于所述衬底上方的有源柱，所述有源柱沿第一方向延伸，所述第一方向与衬底平面平行；所述有源柱包括沿第一方向延伸的体区以及环绕所述体区的外围区；所述外围区包括沟道区；其中，所述沟道区的掺杂离子类型和所述体区的掺杂离子类型相同，且所述沟道区的掺杂浓度大于所述体区的掺杂浓度。本公开实施例提供的有源柱包括体区以及环绕所述体区的外围区，且所述体区的掺杂浓度小于所述沟道区的掺杂浓度，如此，能够降低体区中的电荷堆积，缓解浮体效应；此外，当所述沟道区中存在多余的电荷时，所述电荷能够经由所述体区被排出，即所述体区为多余电荷的释放提供了路径，从而缓解或消除浮体效应，提高半导体结构的性能。

20

25

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公开的其它特征和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开实施例提供的半导体结构的透视图；

图 2a 为本公开实施例提供的有源柱的透视图，图 2b 为沿图 2a 的线 A-A' 10 截取的剖面结构示意图，图 2c 为沿图 2a 的线 B-B' 截取的剖面结构示意图；

图 3 至图 8 为本公开实施例提供的半导体结构的透视图的其他示例。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实 15 现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需 20 一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和

/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

半导体结构，例如三维动态随机存储器（3D DRAM），尤其是包括多层水平存储单元（Multilayer Horizontal Cell, MHC）的 3D DRAM，通常包括在衬底上堆叠设置的多个晶体管，所述晶体管通常包括位于中间区域的沟道区以及位于两端的源/漏掺杂区，所述沟道区的掺杂离子类型和所述源/漏掺杂区的掺杂离子类型不同。

然而，由于所述晶体管悬置在所述衬底上，电荷容易在晶体管的沟道区聚集，且由于所述沟道区的掺杂离子类型和所述源/漏掺杂区的掺杂离子类型不同，聚集在沟道区的电荷无法排出，从而产生浮体效应（Floating body effect），进而产生翘曲效应、寄生双极晶体管效应、阈值电压漂移等，影响半导体结构的性能。

基于此，提出了本公开实施例的以下技术方案。下面结合附图对本公开的具体实施方式做详细的说明。在详述本公开实施例时，为便于说明，示意图会不依一般比例做局部放大，而且所述示意图只是示例，其在此不应限制本公开的保护范围。

图 1 为本公开实施例提供的半导体结构的透视图；图 2a 为本公开实施例提供的有源柱的透视图，图 2b 为沿图 2a 的线 A-A'截取的剖面结构示意图，图 2c 为沿图 2a 的线 B-B'截取的剖面结构示意图；图 3 至图 8 为本公开实施例提供的半导体结构的透视图的其他示例。以下结合图 1 至图 8 对本公开实施例提供的半导体结构再作进一步说明。

如图 1 所示，所述半导体结构包括：衬底 10 以及位于所述衬底 10 上的有源柱 11，所述有源柱 11 沿第一方向延伸，所述第一方向与衬底 10 平面平行；如图 2a-2b 所示，所述有源柱 11 包括沿第一方向延伸的体区 12 以

及环绕所述体区 12 的外围区 13；所述外围区 13 包括沟道区 132；其中，所述沟道区 132 的掺杂离子类型和所述体区 12 的掺杂离子类型相同，且所述沟道区 132 的掺杂浓度大于所述体区 12 的掺杂浓度。

在实际操作中，本公开实施例提供的半导体结构可以是三维动态随机存储器（3D DRAM），但不限于此，所述半导体器件还可以是任何具有悬
5 浮晶体管的半导体器件。所述衬底可以为半导体衬底，并且可以包括至少一个单质半导体材料（例如为硅（Si）衬底、锗（Ge）衬底）、至少一个 III-V 化合物半导体材料、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料。在一具体实施例中，所述衬
10 底为硅衬底，所述硅衬底可经掺杂或未经掺杂。

本公开实施例提供的有源柱包括体区以及环绕所述体区的外围区，且所述体区的掺杂浓度小于所述沟道区的掺杂浓度，如此，能够降低体区中的电荷堆积，缓解浮体效应；此外，当所述沟道区中存在多余的电荷时，所述电荷能够经由所述体区被排出，即所述体区为多余电荷的释放提供了
15 路径，从而缓解或消除浮体效应，提高半导体结构的性能。

这里，当沟道区 132 与体区 12 的掺杂浓度的比值过低时，体区 12 中的电荷堆积仍比较多，对浮体效应的缓解作用不明显，当沟道区 132 与体区 12 的掺杂浓度的比值过高时，会导致从体区 12 排出多余电荷的效果不佳。因此，在一些实施例中，所述沟道区 132 的掺杂浓度与所述体区 12 的
20 掺杂浓度的比值大于或等于 10：1，具体的，例如 13：1、15：1、19：1、22：1 等。进一步的，在一些其他实施例中，所述沟道区 132 与所述体区 12 的掺杂浓度的比值小于或等于 25：1。

如图 2c 所示，在一实施例中，所述体区 12 包括沿第一方向延伸的内层 12a 和包围所述内层 12a 的外层 12b，所述内层 12a 的掺杂浓度大于所述
25 外层 12b 的掺杂浓度。如此，一方面，所述外层 12b 具有较低的掺杂浓度，

能够缓解所述沟道区 132 内聚集的电荷数量，从而缓解浮体效应，另一方面，所述内层 12a 具有较大的掺杂浓度，能够有效提高所述沟道区 132 内聚集电荷的排出效果。在一具体的实施例中，所述内层 12a 的掺杂浓度与
5 所述外层 12b 的掺杂浓度的比值的范围在 5 至 10 之间，具体的，例如 6、8、9 等。在一些实施例中，所述内层 12a 沿径向的延伸长度与所述体区 12 沿径向的延伸长度的比值小于 0.5，如此，具有低掺杂浓度的所述外层 12b 具有足够的厚度，保证了所述沟道区 132 内的聚集电荷的能够被及时排出。

在一其他实施例中，所述体区 12 的掺杂浓度从中心沿着所述有源柱 11 的径向朝向外围逐渐减小。在实际操作中逐渐减小的方式优选为指数方式
10 逐渐减小。如此，一方面，体区中浓度较低的部分，能够缓解决体区 12 内聚集的电荷数量，从而缓解浮体效应，另一方面，体区 12 中具有较大掺杂浓度的区域，能够有效提高所述沟道区 132 内聚集电荷的排出效果。

在一些其他实施方式中，所述体区 12 包括沿所述有源柱 11 径向的方向依次交替堆叠的第一层和第二层，所述第一层与所述第二层的掺杂浓度
15 不同（图中未示出）。应当理解的是，这里至少包括 2 个第一层和 2 个第二层，且第一层和第二层的掺杂浓度均小于沟道区 132 的掺杂浓度。在一些具体实施方式中第一层的掺杂浓度与第二层的掺杂浓度的比值范围在 2-5 之间，如 2.5、3、4.5 等。如此，通过交替设置高低掺杂浓度层，能够进一步缓解决体区 12 内聚集的电荷数量，从而更好的缓解浮体效应。

20 在一实施例中，如图 1 和图 2a-2c 所示，所述外围区 13 还包括第一掺杂区 131 和第二掺杂区 133，所述第一掺杂区 131、所述沟道区 132 和所述第二掺杂区 133 沿第一方向依次排布，其中，所述体区 12 还包括未被所述外围区 13 环绕的延伸区 121，所述延伸区 121 与所述第一掺杂区 131 相邻。

25 在一些实施方式中，体区 12 和外围区 13 的材料相同，所述体区 12 和外围区 13 的材料可以选自硅、氧化铟、氧化锡、铟锌氧化物、锡锌氧化物、

铝锌氧化物、铟镓氧化物、铟镓锌氧化物、铟铝锌氧化物、铟锡锌氧化物、锡镓锌氧化物、铝镓锌氧化物、锡铝锌氧化物中的一种或多种，例如，硅。在一些其他实施方式中，体区 12 和外围区 13 的材料不同。例如，体区 12 的材料可以选自硅或锗等的一种或多种，外围区 13 的材料可以选自氧化铟、氧化锡、铟锌氧化物、锡锌氧化物、铝锌氧化物、铟镓氧化物、铟镓锌氧化物、铟铝锌氧化物、铟锡锌氧化物、锡镓锌氧化物、铝镓锌氧化物、锡铝锌氧化物中的一种或多种。此外，所述延伸区 121 的材料与所述体区 12 被所述外围区 13 环绕部分的材料可以相同或不同。在一些具体实施方式中，延伸区 121 的掺杂浓度与体区 12 的掺杂浓度不同，例如，延伸区 121 的平均掺杂浓度大于体区 12 的平均掺杂浓度，由此，有利于体区 12 中累积电荷的排出效率。

在一实施例中，如图 2a、图 2b 所示，延伸区 121 沿径向的尺寸小于有源柱 11 沿径向的尺寸，或者说，延伸区 121 沿第一方向的投影落入有源柱 11 沿第一方向的投影，延伸区 121 与第一掺杂区 131 不接触。

在实际的制备工艺中，上述有源柱 11 可以通过以下方式形成：首先，将初始有源柱 11 暴露在气相掺杂环境中，以在所述有源柱 11 内整体掺杂第一类型掺杂离子；然后，形成包裹有源柱 11 的第一掩膜层，刻蚀第一掩膜层暴露有源柱的一个端部，刻蚀该端部，使得该端部形成径向尺寸小于有源柱 11 的径向尺寸的延伸区；接着，去除第一掩膜层，形成包裹有源柱 11 的第二掩膜层，刻蚀第二掩膜层暴露有源柱 11 上待形成沟道区的区域，使得待形成沟道区的区域暴露在气相掺杂环境中，通过控制掺杂参数，在有源柱 11 上形成具有更高掺杂浓度的沟道区 132；接着，去除第二掩膜层，形成包裹有源柱 11 的第三掩膜层，刻蚀第三掩膜层暴露出待形成第一掺杂区 131 和第二掺杂区 133 的区域，使其暴露在气相掺杂环境中，通过控制掺杂参数，形成具有第二掺杂类型的第一掺杂区 131 和第二掺杂区 133。所

述第一类型掺杂离子可以是 P 型掺杂离子，所述第二类型掺杂离子可以是 N 型掺杂离子，或者，所述第一类型掺杂离子可以是 N 型掺杂离子，所述第二类型掺杂离子可以是 P 型掺杂离子。前述内容中提及的具有不同掺杂浓度区域的体区，可以通过多次掺杂工艺来形成，这里不再详细赘述。

5 但不限于此，在一其他实施例中，延伸区 121 与有源柱 11 具有相同的径向尺寸，或者说，延伸区 121 沿第一方向的投影与有源柱沿第一方向的投影重合。此外，延伸区 121 靠近所述第一掺杂区 131 的一端还可以与第一掺杂区 131 接触。将延伸区 121 与有源柱 11 设置为具有相同的径向尺寸，相比于延伸区 121 径向尺寸更小的方案允许在制备有源柱 11 时不做延伸区
10 121 的刻蚀，这简化了工艺，降低了成本。

 在一些实施方式中，有源柱 11 的数量可以为 1 个。在一些其他实施例中，如图 1 所示，有源柱 11 的数量为多个且呈阵列排布。具体的，如图 1 所示，所述有源柱 11 的数量为多个，多个所述有源柱 11 排列为多个有源柱行 M 和多个有源柱列 N，所述有源柱行 M 沿第二方向延伸，所述第二方向
15 与所述第一方向相交且平行于所述衬底 10 平面，所述有源柱列 N 沿第三方向延伸，所述第三方向为垂直于所述衬底 10 平面的方向。在一些实施例中，所述第一方向和所述第二方向垂直。但不限于此，所述第一方向也可以和所述第二方向斜交。

 如图 1 所示，在一些实施例中，所述半导体结构还包括：导电结构 17，
20 所述导电结构 17 沿第三方向延伸，且与所述延伸区 121 电连接，其中，所述第三方向为垂直于所述衬底 10 平面的方向。这里，导电结构 17 例如可以为线状结构。在一些实施方式中，导电结构 17 可以有相互平行的多个，多个导电结构 17 沿第二方向排布，每一导电结构 17 沿与衬底 10 平面垂直的第三方向延伸至所述衬底 10，且每一所述导电结构 17 对应一个有源柱列
25 N，每一导电结构 17 与其对应的一个所述有源柱列 N 中的多个有源柱 11

的延伸区 121 电连接。

如图 3 所示，在一其他的实施例中，所述导电结构 17 沿所述第二方向延伸，且与所述延伸区 121 电连接，其中，所述第二方向与所述第一方向相交且与所述衬底 10 平面平行。这里，导电结构 17 例如可以为线状结构。

5 在一些实施方式中，所述导电结构 17 可以为多个，多个导电结构 17 沿第三方向排布，每一所述导电结构 17 对应一个有源柱行 M，每一导电结构 17 与其对应的一个所述有源柱行 M 中的多个有源柱 11 的延伸区 121 电连接。

但不限于此，如图 4 所示，在另一些实施例中，所述导电结构 17 呈板状，所述导电结构 17 与多个所述有源柱行 M 的延伸区 121 电连接。具体的，
10 所述导电结构 17 沿所述第三方向延伸至所述衬底 10，并与每一个所述有源柱行 M 中的每一所述有源柱 11 的延伸区 121 电连接。

这里，所述导电结构 17 可以接地设置，如此，当所述沟道区 132 中存在多余的电荷时，电荷可排出至所述体区 12，并经由接地设置的所述导电
15 结构 17 释放，从而进一步缓解或消除浮体效应。

板状的导电结构 17 能够对所有的有源柱 11 进行整体放电，结构简单，放电效率高。线状的导电结构 17 相比于板状导电结构 17 能够针对一行有源柱 11 或一列有源柱 11 进行浮体电荷的放电，这允许根据各有源柱 11 的实际工作状况，针对性的对需要进行浮体电荷放电的一些行或者列进行选
20 择放电，能够在缓解浮体效应的同时尽量缩小放电对器件工作额外带来的影响。

在实际操作中，所述导电结构 17 的材料包括多晶硅等导电材料中的至少一种，例如，所述导电结构 17 的材料包括多晶硅、钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合
25 金中的一种或多种。所述导电结构 17 可以使用化学气相沉积 (CVD)、等

离子增强 CVD (PECVD)、物理气相沉积 (PVD)、原子层沉积 (ALD)、电镀、化学镀、溅射等工艺形成。

如图 5 所示, 在一实施例中, 所述半导体结构还包括: 多条字线 14, 每条所述字线 14 沿第三方向延伸, 且多条所述字线 14 沿第二方向排布, 5 每条所述字线 14 对应一个所述有源柱列 N, 每条所述字线 14 覆盖与其对应的所述有源柱列 N 中的多个所述沟道区 132; 多条位线 16, 每条所述位线 16 沿所述第二方向延伸, 且多条所述位线 16 沿第三方向排布, 每一所述位线 16 连接与其对应的所述有源柱行 M 中的多个第一掺杂区 131。

但不限于此, 所述字线 14 还可以沿第二方向延伸, 所述位线 16 还可以沿第三方向延伸。具体的, 所述半导体结构还包括: 多条字线 14, 每条所述字线 14 沿第二方向延伸, 且多条所述字线 14 沿第三方向排布, 每条所述字线 14 对应一个所述有源柱行 M, 每条所述字线 14 覆盖与其对应的所述有源柱行 M 中的多个沟道区 132; 多条位线 16, 每条所述位线 16 沿所述第三方向延伸, 且多条所述多条位线 16 沿第二方向排布, 每一所述位线 15 16 电连接与其对应的所述有源柱列 N 中的多个第一掺杂区 131。

如图 1 或图 5 所示, 在一实施例中, 所述字线 14 围绕对应的所述沟道区 132, 所述字线 14 沿第二方向或第三方向延伸; 或者, 如图 6 所示, 在一些其他的实施例中, 所述字线 14 覆盖对应的所述沟道区 132 的一个侧壁, 所述字线 14 沿所述第二方向或所述第三方向延伸; 又或者, 如图 7 所示, 20 在另一些实施例中, 所述字线 14 包括相对设置的第一子层 141 和第二子层 142, 所述第一子层 141 和所述第二子层 142 分别覆盖对应的所述沟道区 132 相对的两个侧壁, 所述第一子层 141 和所述第二子层 142 沿所述第二方向或所述第三方向延伸。可以理解的, 所述第一子层 141 与所述第二子层 142 电连接设置。

25 如图 5 或图 6 所示, 在一些实施例中, 所述位线 16 围绕对应的第一掺

杂区 131, 所述位线 16 沿所述第二方向或所述第三方向延伸。在一些其他实施例中, 所述位线 16 还可以覆盖对应的第一掺杂区 131 的一个侧壁。但
不限于此, 如图 8 所示, 在另一些实施例中, 所述位线 16 包括多个子部 161,
多个所述子部 161 与一个所述有源柱列 N 中的所述第一掺杂区 131 沿第三
5 方向交替堆叠; 或者, 所述多个子部 161 还可以与一个所述有源柱行 M 中
的所述第一掺杂区 131 沿第二方向交替排布。

所述字线 14 的材料、所述位线 16 的材料可以包括钨 (W)、铜 (Cu)、
钛 (Ti)、钽 (Ta)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合
金中的一种或多种。所述字线 14 和所述位线 16 可以使用化学气相沉积
10 (CVD)、等离子增强 CVD (PECVD)、物理气相沉积 (PVD)、原子层沉
积 (ALD)、电镀、化学镀、溅射等工艺形成。

在一实施例中, 所述半导体结构还包括栅介质层 15, 所述栅介质层 15
夹设于所述字线 14 与所述沟道区 132 之间。所述栅介质层 15 的材料可以
为高介电常数材料, 例如可以为氧化钽、氧化铪、氧化锆、氧化铌、氧化
15 钛、氧化钡、氧化锶、氧化钇、氧化镧、氧化镨或者钛酸锶钡等。所述栅
介质层 15 可以使用化学气相沉积 (CVD)、等离子增强 CVD (PECVD)、
物理气相沉积 (PVD)、原子层沉积 (ALD) 等工艺形成。但不限于此, 所
述有源柱 11 的材料可以是硅, 所述栅介质层 15 的材料可以是氧化硅, 所
述栅介质层 15 可以通过热氧化工艺形成。

20 在一些实施例中, 所述半导体材料还包括: 多个用作信息存储的电容
结构 18, 所述电容结构 18 与所述有源柱 11 的第二掺杂区 133 电连接。具
体的, 所述电容结构 18 沿所述第一方向延伸, 且所述电容结构 18 分别沿
所述第二方向和所述第三方向呈阵列排布。

在一实施例中, 所述电容结构包括与所述第二掺杂区电连接的下电极,
25 覆盖所述下电极的介质层以及覆盖所述介质层且位于多个所述电容结构之

间的共用上电极。在一些实施例中，所述下电极呈柱状并沿所述第一方向延伸。但不限于此，在其他实施例中，所述下电极具有筒状结构，所述筒状结构的开口朝向所述第一方向。

可以看出，本公开实施例提供的所述有源柱 11 包括体区 12 以及环绕
5 所述体区 12 的外围区 13，且所述体区 12 的掺杂浓度小于所述沟道区 132 的掺杂浓度，如此，通过设置体区 12 的掺杂浓度小于沟道区 132 的掺杂浓度，能够降低体区 12 中的电荷堆积，缓解浮体效应。进一步的，当所述沟道区 132 中存在多余的电荷时，所述电荷能够经由所述体区 12 被排出，即所述体区 12 为多余电荷的释放提供了路径。此外，本公开实施例提供的导
10 电结构 17 接地设置，当所述沟道区 132 中存在多余的电荷时，电荷可排出至所述体区 12，并经由接地设置的所述导电结构 17 释放，从而缓解或消除浮体效应。

以上所述，仅为本公开的可选实施例而已，并非用于限定本公开的保护范围，凡在本公开的精神和原则之内所作的任何修改、等同替换和改进
15 等，均应包含在本公开的保护范围之内。

工业实用性

本公开实施例提供的有源柱包括体区以及环绕所述体区的外围区，且所述体区的掺杂浓度小于所述沟道区的掺杂浓度，如此，能够降低体区中的电荷堆积，缓解浮体效应；此外，当所述沟道区中存在多余的电荷时，
20 所述电荷能够经由所述体区被排出，即所述体区为多余电荷的释放提供了路径，从而缓解或消除浮体效应，提高半导体结构的性能。

权利要求书

1、一种半导体结构，包括：

衬底以及位于所述衬底上方的有源柱，所述有源柱沿第一方向延伸，
所述第一方向与衬底平面平行；

5 所述有源柱包括沿第一方向延伸的体区以及环绕所述体区的外围区；
所述外围区包括沟道区；其中，

所述沟道区的掺杂离子类型和所述体区的掺杂离子类型相同，且所述
沟道区的掺杂浓度大于所述体区的掺杂浓度。

2、根据权利要求1所述的半导体结构，其中，所述体区包括沿第一方
10 向延伸的内层和包围所述内层的外层，所述内层的掺杂浓度大于所述外层
的掺杂浓度。

3、根据权利要求2所述的半导体结构，其中，所述体区的掺杂浓度从
中心沿着所述有源柱的径向朝向外围逐渐减小。

4、根据权利要求1所述的半导体结构，其中，所述外围区还包括第一
15 掺杂区和第二掺杂区，所述第一掺杂区、所述沟道区和所述第二掺杂区沿
第一方向依次排布，其中，所述体区还包括未被所述外围区环绕的延伸区，
所述延伸区与所述第一掺杂区相邻。

5、根据权利要求4所述的半导体结构，其中，所述半导体结构还包括：
导电结构，所述导电结构沿第二方向延伸，且与所述延伸区电连接，其中，
20 所述第二方向与所述第一方向相交且与所述衬底平面平行。

6、根据权利要求4所述的半导体结构，其中，所述半导体结构还包括：
导电结构，所述导电结构沿第三方向延伸，且与所述延伸区电连接，其中，
所述第三方向为垂直于所述衬底平面的方向。

7、根据权利要求1所述的半导体结构，其中，所述有源柱的数量为多
25 个，多个所述有源柱排列为多个有源柱行和多个有源柱列，所述有源柱行

沿第二方向延伸，所述第二方向与所述第一方向相交且平行于所述衬底平面，所述有源柱列沿第三方向延伸，所述第三方向为垂直于所述衬底平面的方向。

8、根据权利要求 7 所述的半导体结构，其中，所述半导体结构还包括：
5 位于所述衬底上的导电结构，所述导电结构呈板状，所述导电结构与多个所述有源柱行的延伸区电连接。

9、根据权利要求 5-6 或 8 中任一项所述的半导体结构，其中，所述导电结构接地设置。

10、根据权利要求 7 所述的半导体结构，其中，所述半导体结构还包括：
10 多条字线，每条所述字线沿第三方向延伸，且多条所述字线沿第二方向排布，每条所述字线对应一个所述有源柱列，每条所述字线覆盖与其对应的所述有源柱列中的多个所述沟道区；

多条位线，每条所述位线沿所述第二方向延伸，且多条所述位线沿第三方向排布，每条所述位线对应一个所述有源柱行，每条所述位线电连接
15 与其对应的所述有源柱行中的多个第一掺杂区。

11、根据权利要求 7 所述的半导体结构，其中，所述半导体结构还包括：
多条字线，每条所述字线沿第二方向延伸，且多条所述字线沿第三方向排布，每条所述字线对应一个所述有源柱行，每条所述字线覆盖与其对应的所述有源柱行中的多个沟道区；

20 多条位线，每条所述位线沿所述第三方向延伸，且所述多条位线沿第二方向排布，每一所述位线电连接与其对应的所述有源柱列中的多个第一掺杂区。

12、根据权利要求 10 或 11 所述的半导体结构，其中，所述字线围绕对应的所述沟道区。

25 13、根据权利要求 10 或 11 所述的半导体结构，其中，所述字线包括

相对设置的第一子层和第二子层，所述第一子层和所述第二子层分别覆盖对应的所述沟道区相对的两个侧壁。

14、根据权利要求 10 或 11 所述的半导体结构，其中，所述位线围绕对应的所述第一掺杂区。

- 5 15、根据权利要求 11 所述的半导体结构，其中，所述位线包括多个子部，多个所述子部与一个所述有源柱列中的所述第一掺杂区沿第三方向交替堆叠。