

图形片、半导体中间产物及孔刻蚀方法

技术领域

本发明涉及半导体制造技术领域，尤其涉及一种图形片、半导体中间产物及孔刻蚀方法。

背景技术

受用户需求的影响，IC 制造业已经从二维（2D）平面集成制造技术转向三维（3D）立体集成制造技术。在 3D 立体集成制造技术中，可以采用刻蚀技术在衬底与衬底之间形成使二者垂直导通的通孔，该衬底可为硅衬底（晶圆）。具体地，衬底的表面一般设置有互补金属氧化物半导体（Complementary Metal-Oxide-Semiconductor，以下简称 CMOS）介质层，在形成上述通孔的过程中，首先需要刻蚀 CMOS 介质层，形成贯穿该 CMOS 介质层的通孔，然后刻蚀衬底，形成贯穿衬底的通孔。

目前，刻蚀工艺采用的掩膜一般为光刻胶掩膜，由于该光刻胶掩膜通常形成在 CMOS 介质层背离衬底的一侧，这使得光刻胶掩膜要承担 CMOS 介质层和衬底两层刻蚀的掩膜作用，但是由于受光刻技术的曝光能量和精度等因素的限制，光刻胶掩膜的厚度需小于掩膜开口尺寸，导致光刻胶掩膜的厚度存在上限，可能无法满足直径较小（例如 2~5 μm ），且深度较大的孔对光刻胶掩膜的厚度要求。

发明内容

本发明公开一种图形片及孔刻蚀方法，可以在衬底上形成深度更大的孔，从而满足使用需求。

为了解决上述问题，本发明采用下述技术方案：

本发明实施例提供一种图形片,包括衬底和沿远离所述衬底的方向依次设置在所述衬底上的介质层和掩膜结构,所述掩膜结构包括自所述介质层的远离所述衬底的一侧,且沿远离所述衬底的方向依次层叠设置的多层掩膜层,其中,最上层的所述掩膜层为光刻胶层;并且,每层所述掩膜层的厚度和与位于该掩膜层以下的各层膜层之间的刻蚀选择比满足:在进行利用所述掩膜结构在所述衬底和所述介质层中对应形成孔的刻蚀工艺过程中,每相邻的两层所述掩膜层中,在下层掩膜层中被刻蚀形成有贯穿其厚度的通孔的同时,上层掩膜层的剩余厚度大于或等于零;在所述介质层中被刻蚀形成有贯穿其厚度的通孔的同时,位于所述介质层以上的所有掩膜层的剩余厚度大于零;在所述衬底中形成具有设定深度的孔的同时,位于所述介质层以上的所有掩膜层的剩余厚度大于或等于零。

可选的,所述掩膜层为两层,分别为沿远离所述衬底的方向依次层叠设置的第二掩膜层和第一掩膜层,其中,所述第一掩膜层为光刻胶层;并且,所述第一掩膜层和所述第二掩膜层各自的厚度和位于各自以下的各层膜层之间的刻蚀选择比满足以下条件:

$$d1 \times S5 > d2, \text{ 且 } d2 \geq (d1 - d4/S3) \times S2/S1 + d4/S4; \text{ 或者,}$$

$$d1 \times S5 = d2, \text{ 且 } d2 > (d1 - d4/S3) \times S2/S1 + d4/S4;$$

其中, $d1$ 为所述第一掩膜层的厚度; $d2$ 为所述第二掩膜层的厚度; $d4$ 为所述介质层的厚度; $S1$ 为所述衬底与所述第一掩膜层的刻蚀选择比; $S2$ 为所述衬底与所述第二掩膜层的刻蚀选择比; $S3$ 为所述介质层与所述第一掩膜层的刻蚀选择比; $S4$ 为所述介质层与所述第二掩膜层的刻蚀选择比; $S5$ 为所述第二掩膜层与所述第一掩膜层的刻蚀选择比。

可选的,所述第二掩膜层包含硅元素的材料。

可选的,所述第二掩膜层为二氧化硅层。

可选的,所述掩膜层为三层,分别为沿远离所述衬底的方向依次层叠设

置的第三掩膜层、第二掩膜层和第一掩膜层，其中，所述第一掩膜层为光刻胶层；并且，所述第一掩膜层、所述第二掩膜层和所述第三掩膜层各自的厚度和位于各自以下的各层膜层之间的刻蚀选择比满足以下条件：

$d1' \times S5' > d2'$ ，且 $d2' \times S6' \geq d3'$ ，且 $d3' \geq (d1' - d4' / S3') \times S2' / S1' + d4' / S4'$ ；或者，

$d1' \times S5' \geq d2'$ ，且 $d2' \times S6' > d3'$ ，且 $d3' \geq (d1' - d4' / S3') \times S2' / S1' + d4' / S4'$ ；或者，

$d1' \times S \geq d2'$ ，且 $d2' \times S6' \geq d3'$ ，且 $d3' > (d1' - d4' / S3') \times S2' / S1' + d4' / S4'$ ；

其中， $d1'$ 为所述第一掩膜层的厚度； $d2'$ 为所述第二掩膜层的厚度； $d3'$ 为所述第三掩膜层的厚度； $d4'$ 为所述介质层的厚度； $S1'$ 为所述衬底与所述第一掩膜层的刻蚀选择比， $S2'$ 为所述衬底与所述第三掩膜层的刻蚀选择比； $S3'$ 为所述介质层与所述第一掩膜层的刻蚀选择比； $S4'$ 为所述介质层与所述第三掩膜层的选择比； $S5'$ 为所述第二掩膜层与所述第一掩膜层的刻蚀选择比； $S6'$ 为所述第三掩膜层与所述第二掩膜层的刻蚀选择比。

可选的，所述第二掩膜层为二氧化硅层。

可选的，所述第三掩膜层为 $APF\alpha$ -C 层。

可选的，所述第一掩膜层的厚度为 $1\mu m$ - $2\mu m$ ；所述第二掩膜层的厚度为 $400nm$ - $700nm$ ；所述第三掩膜层的厚度为 $6\mu m$ - $7\mu m$ 。

作为另一个技术方案，本发明实施例提供一种半导体中间产物，由本发明实施例提供的上述图形片采用刻蚀工艺形成，所述半导体中间产物包括衬底和设置在所述衬底上的介质层；或者，包括衬底和沿远离所述衬底的方向依次设置在所述衬底上的介质层和刻蚀后剩余的至少一层掩膜层，其中，所述至少一层掩膜层和介质层中对应形成有贯穿其厚度的通孔；所述衬底中形成具有设定深度的孔。

作为另一个技术方案，本发明实施例提供一种孔刻蚀方法，利用本发明实施例提供的上述图形片，在衬底和设置在所述衬底上的介质层中刻蚀形成对应的孔；所述孔刻蚀方法包括：

利用任意相邻的两层所述掩膜层中的上层掩膜层作为掩膜，在下层掩膜层中刻蚀形成贯穿其厚度的通孔；

利用位于所述介质层以上剩余的至少一层掩膜层，在所述介质层中刻蚀形成有贯穿其厚度的通孔，并在所述衬底中形成设定深度的孔。

可选的，所述孔刻蚀方法应用于硅通孔刻蚀工艺。

本发明采用的技术方案能够达到以下有益效果：

本发明公开一种图形片、半导体中间产物及孔刻蚀方法的技术方案，通过利用复合膜层的掩膜结构，即，自介质层的远离衬底的一侧，且沿远离衬底的方向依次层叠设置的多层掩膜层，并使每层掩膜层的厚度和与位于该掩膜层以下的各层膜层之间的刻蚀选择比满足：在进行利用掩膜结构在衬底和介质层中对应形成孔的刻蚀工艺过程中，每相邻的两层掩膜层中，在下层掩膜层中被刻蚀形成有贯穿其厚度的通孔的同时，上层掩膜层的剩余厚度大于或等于零；在介质层中被刻蚀形成有贯穿其厚度的通孔的同时，位于介质层以上的所有掩膜层的剩余厚度大于零；在衬底中形成具有设定深度的孔的同时，位于介质层以上的所有掩膜层的剩余厚度大于或等于零。由此，采用具有复合膜层的上述掩膜结构的图形片，与现有技术中单独使用光刻胶掩膜相比，可以在衬底上形成深度更大的孔，从而满足使用需求。

附图说明

此处所说明的附图用来提供对本发明的进一步理解，构成本发明的一部分，本发明的示意性实施例及其说明用于解释本发明，并不构成对本发明的不当限定。在附图中：

图 1 为本发明第一实施例公开的图形片的剖面示意图；

图 2A 为本发明第一实施例公开的图形片在第二掩膜层被刻蚀形成通孔之后的剖面示意图；

图 2B 为本发明第一实施例公开的图形片在介质层被刻蚀形成通孔之后的剖面示意图；

图 2C 为本发明第一实施例公开的半导体中间产物的剖面示意图；

图 3 为本发明第二实施例公开的图形片的剖面示意图；

图 4A 为本发明第二实施例公开的图形片在第二掩膜层被刻蚀形成通孔之后的剖面示意图；

图 4B 为本发明第二实施例公开的图形片在第三掩膜层被刻蚀形成通孔之后的剖面示意图；

图 4C 为本发明第二实施例公开的图形片在介质层被刻蚀形成通孔之后的剖面示意图；

图 4D 为本发明第二实施例公开的半导体中间产物的剖面示意图。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚，下面将结合本发明具体实施例及相应的附图对本发明技术方案进行清楚、完整地描述。显然，所描述的实施例仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

以下结合附图，详细说明本发明各个实施例公开的技术方案。

本发明公开一种图形片，包括衬底和沿该衬底的方向依次设置在衬底上的介质层和掩膜结构，其中，利用该掩膜结构进行刻蚀工艺，可以在介质层和衬底上形成由孔组成的图形。该刻蚀工艺例如为硅通孔（Through Silicon

Via, TSV) 工艺, 其中, 衬底为硅衬底; 介质层例如为 CMOS 介质层, 该介质层上设置有 CMOS 电路。

上述掩膜结构包括自介质层的远离衬底的一侧, 且沿远离该衬底的方向依次层叠设置的多层掩膜层, 其中, 最上层的掩膜层为光刻胶层, 该光刻胶层具有由孔组成的掩膜图形, 该掩膜图形可以通过曝光等方式形成, 掩膜图形中的孔可以为圆形孔, 其半径可以根据实际需求确定, 当然, 掩膜图形中的孔还可以设置为其他任意形状的孔。此外, 通过改变曝光能量等方式, 可以在厚度满足要求的最上层的掩膜层中形成贯穿该掩膜层的厚度的通孔。在利用掩膜结构进行上述刻蚀工艺的过程中, 利用最上层的掩膜层作为掩膜, 对位于该掩膜层下方的至少一层掩膜层进行刻蚀。需要说明的是, 在进行上述刻蚀工艺之前, 除光刻胶层之外的其他膜层均未形成与上述掩膜图形对应的图形。

并且, 每层掩膜层的厚度和与位于该掩膜层以下的各层膜层之间的刻蚀选择比满足: 在进行利用上述掩膜结构在衬底和介质层中对应形成孔的刻蚀工艺过程中, 每相邻的两层掩膜层中, 在下层掩膜层中被刻蚀形成有贯穿其厚度的通孔的同时, 上层掩膜层的剩余厚度大于或等于零; 在介质层中被刻蚀形成有贯穿其厚度的通孔的同时, 位于介质层以上的所有掩膜层的剩余厚度大于零; 在衬底中形成具有设定深度的孔的同时, 位于介质层以上的所有掩膜层的剩余厚度大于或等于零。也就是说, 每层掩膜层可以用作与之相邻的下层膜层刻蚀形成通孔的掩膜, 并且在刻蚀衬底时, 位于介质层以上的所有掩膜层的剩余厚度之和足够大, 以能够使形成在衬底中的孔达到设定深度。

由上可知, 采用具有复合膜层的上述掩膜结构的图形片, 与现有技术中单独使用光刻胶掩膜相比, 可以在衬底上形成深度更大的孔, 从而满足使用需求。

下面对上述图形片的具体实施方式进行详细描述。

第一实施例

请参阅图 1，本实施例提供的图形片包括衬底 50 和沿远离衬底 50 的方向依次设置在该衬底 50 上的介质层 40 和掩膜结构。该掩膜结构中，掩膜层为两层，分别为沿远离衬底 50 的方向依次层叠设置的第二掩膜层 20 和第一掩膜层 10，其中，第一掩膜层 10 为光刻胶层，该光刻胶层具有由孔 11 组成的掩膜图形。并且，第一掩膜层 10 作为在第二掩膜层 20 中刻蚀通孔的掩膜，该第二掩膜层 20 中形成的通孔 21 如图 2A 所示，在本实施例中，在第二掩膜层 20 中被刻蚀形成有贯穿其厚度的通孔 21 的同时，第一掩膜层 10 的剩余厚度大于零，即，在通孔 21 形成时，仍然有一定厚度的第一掩膜层 10 未被消耗，而第二掩膜层 20 的厚度不变，在这种情况下，在刻蚀介质层 40 时，剩余的第一掩膜层 10 和第二掩膜层 20 均作为在介质层 40 中刻蚀通孔的掩膜。

当然，在本发明的其他实施例中，在第二掩膜层 20 中被刻蚀形成有贯穿其厚度的通孔 21 的同时，第一掩膜层 10 完全被消耗，而第二掩膜层 20 的厚度仍然不变，在这种情况下，在刻蚀介质层 40 时，只有第二掩膜层 20 作为在介质层 40 中刻蚀通孔的掩膜。

如图 2B 所示，在介质层 40 中被刻蚀形成有贯穿其厚度的通孔 41 之前，第一掩膜层 10 完全被消耗；在介质层 40 中被刻蚀形成有贯穿其厚度的通孔 41 的同时，第二掩膜层 20 的剩余厚度大于零，即，在通孔 41 形成时，仍然有一定厚度的第二掩膜层 20 未被消耗，在这种情况下，在刻蚀衬底 50 时，剩余的第二掩膜层 20 作为在衬底 50 中刻蚀孔的掩膜。

当然，在本发明的其他实施例中，在介质层 40 中被刻蚀形成有贯穿其厚度的通孔 41 的同时，第一掩膜层 10 的剩余厚度也可以大于零，在这种情况下，在刻蚀衬底 50 时，剩余的第一掩膜层 10 和第二掩膜层 20 均作为在衬底 50 中刻蚀孔的掩膜。

如图 2C 所示, 在衬底 50 中刻蚀形成设定深度的孔 51 的同时, 第二掩膜层 20 的剩余厚度大于零, 这样, 在衬底 50 中形成设定深度的孔的同时, 仍存留有一定厚度的第二掩膜层 20, 以防止出现介质层 40 被刻蚀的情况, 从而保证介质层不会受损, 具备完整性能。当然, 在本发明的其他实施例中, 在衬底 50 中刻蚀形成设定深度的孔 51 的同时, 第二掩膜层 20 的剩余厚度也可以等于零, 即, 第二掩膜层 20 完全被消耗。另外, 在衬底 50 中刻蚀形成设定深度的孔 51 可以是深度小于衬底 50 的厚度的盲孔, 或者也可以是贯穿衬底 50 厚度的通孔。

基于上述实施例, 可选地, 第二掩膜层 20 包括含硅元素的材料, 硅元素具有良好的半导体性能, 且取材简便, 成本较低, 从而可以降低加工难度和加工成本; 而且, 在利用第二掩膜层 20 作为掩膜对衬底进行刻蚀的过程中, 能够同时刻蚀二者的材料较多, 从而有助于在衬底中形成深度较大的孔。另外, 在第二掩膜层 20 包括含硅元素的材料的情况下, 可以通过含氟的等离子体依次对介质层 40 和衬底 50 进行刻蚀, 二者的刻蚀均利用第二掩膜层 20 作为掩膜, 有助于在衬底 50 和介质层 40 上均形成贯穿各自厚度的通孔。

进一步可选地, 第二掩膜层 20 为二氧化硅层, 这可以进一步降低第二掩膜层 20 的材料成本和加工难度, 提升产品竞争力。

并且, 第一掩膜层 10 和第二掩膜层 20 各自的厚度和位于各自以下的各层膜层之间的刻蚀选择比满足以下条件:

$$d1 \times S5 > d2, \text{ 且 } d2 \geq (d1 - d4/S3) \times S2/S1 + d4/S4; \text{ 或者,}$$

$$d1 \times S5 = d2, \text{ 且 } d2 > (d1 - d4/S3) \times S2/S1 + d4/S4;$$

其中, $d1$ 为第一掩膜层 10 的厚度; $d2$ 为第二掩膜层 20 的厚度; $d4$ 为介质层 40 的厚度; $S1$ 为衬底 50 与第一掩膜层 10 的刻蚀选择比; $S2$ 为衬底 50 与第二掩膜层 20 的刻蚀选择比; $S3$ 为介质层 40 与第一掩膜层 10 的刻蚀选择比; $S4$ 为介质层 40 与第二掩膜层 20 的刻蚀选择比; $S5$ 为第二掩膜层

20 与第一掩膜层 10 的刻蚀选择比。

需要说明的是，刻蚀选择比用于表示在同一刻蚀条件下，一种材料与另一种材料相对刻蚀速率的快慢。例如，衬底 50 与第一掩膜层 10 的刻蚀选择比 S1 指的是在同一刻蚀条件下，将第一掩膜层 10 作为掩膜，且将衬底 50 作为被刻蚀材料进行刻蚀时，衬底 50 的被刻蚀速率与第一掩膜层 10 的被刻蚀速率的比值。

通过使第一掩膜层 10 和第二掩膜层 20 各自的厚度和位于各自以下的各层膜层之间的刻蚀选择比满足上述条件，可以保证第一掩膜层 10 的一部分和第二掩膜层 20 能够作为刻蚀介质层 40（或者刻蚀介质层 40 和衬底 50）的掩膜，这种复合膜层的掩膜结构相比于单独使用光刻胶作为介质层和衬底的掩膜结构，可以在衬底上形成深度更大的孔，以满足使用需求。

详细地说， $d1 \times S5$ 所代表的含义为在厚度为 $d1$ 的第一掩膜层 10 被完全消耗的同时，第二掩膜层 20 被消耗的厚度为 dx ，在 $dx=d2$ 的情况下，可以认为在厚度为 $d1$ 的第一掩膜层 10 被完全消耗的同时，厚度为 $d2$ 的第二掩膜层也刚好被完全消耗，基于此，通过使 $d1 \times S5=d2$ ，可以在借助第一掩膜层 10 作为掩膜刻蚀第二掩膜层 20 的过程中，当厚度为 $d1$ 的第一掩膜层 10 被完全消耗时，使第二掩膜层 20 上正好形成贯穿其厚度的通孔 21，容易理解，最终在使第二掩膜层 20 上形成的包含通孔 21 的图形与第一掩膜层 10 上的包含孔 11 的掩膜图形一致，通孔 21 和孔 11 的位置相对应。显然，在 $d1 \times S5 > d2$ 的情况下，则可以认为，在借助第一掩膜层 10 作为掩膜刻蚀第二掩膜层 20 的过程中，第二掩膜层 20 上形成贯穿其厚度的通孔 21 的同时，厚度为 $d1$ 的第一掩膜层 10 仍有存留，从而在对介质层 40（或者介质层 40 和衬底 50）进行刻蚀的过程中，可以以第二掩膜层 20 和第一掩膜层 10 的剩余部分一并作为掩膜。

$$d2 = (d1 - d4/S3) \times S2/S1 + d4/S4, \text{即可以推导为 } d2 - d4/S4 = (d1 - d4/S3)$$

$\times S2/S1$, 也可以进一步推导为 $(d2-d4/S4) / S2 = (d1-d4/S3) / S1$ 。

在上述等式 $(d2-d4/S4) / S2 = (d1-d4/S3) / S1$ 中, $d4/S4$ 表示: 在借助第二掩膜层 20 作为掩膜对介质层 40 进行刻蚀的过程中, 在厚度为 $d4$ 的介质层 40 中刚好形成贯穿其厚度的通孔 41 时, 需要消耗的第二掩膜层 20 的厚度; 进一步的, $d2-d4/S4$ 表示: 在厚度为 $d4$ 的介质层 40 中刚好形成贯穿其厚度的通孔 41 时, 第二掩膜层 20 的剩余厚度; 再进一步的, $(d2-d4/S4) / S2$ 表示: 在借助第二掩膜层 20 作为掩膜对衬底 50 进行刻蚀的过程中, 在厚度为 $d2-d4/S4$ 的第二掩膜层 20 刚好完全被消耗时, 在衬底 50 中形成的孔的深度。

相似地, $d1-d4/S3$ 表示: 在借助第一掩膜层 10 作为掩膜对介质层 40 进行刻蚀的过程中, 在厚度为 $d4$ 的介质层 40 中刚好形成贯穿其厚度的通孔 41 时, 第一掩膜层 10 的剩余厚度。进一步的, $(d1-d4/S3) / S1$ 表示: 在借助第一掩膜层 10 作为掩膜对衬底 50 进行刻蚀的过程中, 在厚度为 $d1-d4/S3$ 的第一掩膜层 10 刚好完全被消耗时, 在衬底 50 中形成的孔的深度。

显然, 在 $(d2-d4/S4) / S2 = (d1-d4/S3) / S1$ 时, 则可以认为: 仅借助第二掩膜层 20 作为掩膜对介质层 40 和衬底 50 进行刻蚀, 与仅借助第一掩膜层 10 作为掩膜对介质层 40 和衬底 50 进行刻蚀相比, 二者在衬底 50 中形成的孔的深度相等。而在 $(d2-d4/S4) / S2 > (d1-d4/S3) / S1$, 即, $d2 > (d1-d4/S3) \times S2/S1 + d4/S4$ 的情况下, 仅借助第二掩膜层 20 作为掩膜最终在衬底 50 中形成的孔的深度会大于仅借助第一掩膜层 10 作为掩膜最终在衬底 50 中形成的孔的深度。

由此, 当第一掩膜层 10 和第二掩膜层 20 各自的厚度和位于各自以下的各层膜层之间的刻蚀选择比满足: $d1 \times S5 > d2$, 且 $d2 \geq (d1-d4/S3) \times S2/S1 + d4/S4$ 的条件时, 在对介质层 40 (或者介质层 40 和衬底 50) 进行刻蚀的过程中, 可以实现以第二掩膜层 20 和第一掩膜层 10 的剩余部分一并作为掩

膜刻蚀介质层 40, 这与仅借助第一掩膜层 10 作为掩膜对介质层 40 和衬底 50 进行刻蚀相比, 必然能够在衬底 50 中形成的深度更大的孔, 以满足使用需求。而当第一掩膜层 10 和第二掩膜层 20 各自的厚度和位于各自以下的各层膜层之间的刻蚀选择比满足: $d_1 \times S_5 = d_2$, 且 $d_2 > (d_1 - d_4/S_3) \times S_2/S_1 + d_4/S_4$ 时, 如前述, 仅借助第二掩膜层 20 作为掩膜最终在衬底 50 中形成的孔的深度会大于仅借助第一掩膜层 10 作为掩膜最终在衬底 50 中形成的孔的深度, 从而可以满足使用需求。

第二实施例

请参阅图 3, 本实施例提供的图形片包括衬底 500 和沿该衬底 500 的方向依次设置在衬底 500 上的介质层 400 和掩膜结构。该掩膜结构中, 掩膜层为三层, 分别为沿远离衬底 500 的方向依次层叠设置的第三掩膜层 300、第二掩膜层 200 和第一掩膜层 100。其中, 第一掩膜层 100 为光刻胶层, 该光刻胶层具有由孔 110 组成的掩膜图形。并且, 第一掩膜层 100 作为在第二掩膜层 200 中刻蚀通孔的掩膜, 该第二掩膜层 200 中形成的通孔 210 如图 4A 所示, 在本实施例中, 在第二掩膜层 200 中被刻蚀形成有贯穿其厚度的通孔 210 的同时, 第一掩膜层 100 的剩余厚度大于零, 即, 在通孔 210 形成时, 仍然有一定厚度的第一掩膜层 100 未被消耗, 而第二掩膜层 200 的厚度不变, 在这种情况下, 在刻蚀第三掩膜层 300 时, 剩余的第一掩膜层 100 和第二掩膜层 200 均作为在第三掩膜层 300 中刻蚀通孔的掩膜。

当然, 在本发明的其他实施例中, 在第二掩膜层 200 中被刻蚀形成有贯穿其厚度的通孔 210 的同时, 第一掩膜层 100 完全被消耗, 而第二掩膜层 200 的厚度仍然不变, 在这种情况下, 在刻蚀第三掩膜层 300 时, 只有第二掩膜层 200 作为在第三掩膜层 300 中刻蚀通孔的掩膜。

如图 4B 所示, 在第三掩膜层 300 中被刻蚀形成有贯穿其厚度的通孔 310 之前, 第一掩膜层 100 完全被消耗; 在第三掩膜层 300 中被刻蚀形成有贯穿

其厚度的通孔 310 的同时，第二掩膜层 200 的剩余厚度大于零，即，在通孔 310 形成时，仍然有一定厚度的第二掩膜层 200 未被消耗，在这种情况下，在刻蚀介质层 400 时，剩余的第二掩膜层 200 和第三掩膜层 300 一并作为在介质层 400 中刻蚀通孔的掩膜。

当然，在本发明的其他实施例中，在第三掩膜层 300 中被刻蚀形成有贯穿其厚度的通孔 310 的同时，第二掩膜层 200 的剩余厚度也可以等于零，在这种情况下，在刻蚀介质层 400 时，只有第三掩膜层 300 作为在介质层 400 中刻蚀通孔的掩膜。

如图 4C 所示，在介质层 400 中被刻蚀形成有贯穿其厚度的通孔 410 之前，第二掩膜层 200 完全被消耗；在介质层 400 中被刻蚀形成有贯穿其厚度的通孔 410 的同时，第三掩膜层 300 的剩余厚度大于零，即，在通孔 410 形成时，仍然有一定厚度的第三掩膜层 300 未被消耗，在这种情况下，在刻蚀衬底 500 时，剩余的第三掩膜层 300 作为在衬底 500 中刻蚀孔的掩膜。

当然，在本发明的其他实施例中，在介质层 400 中被刻蚀形成有贯穿其厚度的通孔 410 的同时，第二掩膜层 200 的剩余厚度也可以大于零，在这种情况下，在刻蚀衬底 500 时，剩余的第二掩膜层 200 和第三掩膜层 300 一并作为在衬底 500 中刻蚀孔的掩膜。

如图 4D 所示，在衬底 500 中刻蚀形成设定深度的孔 510 的同时，第三掩膜层 300 的剩余厚度大于零，这样，在衬底 500 中形成设定深度的孔的同时，仍存留有一定厚度的第三掩膜层 300，以防止出现介质层 400 被刻蚀的情况，从而保证介质层不会受损，具备完整性能。当然，在本发明的其他实施例中，在衬底 500 中刻蚀形成设定深度的孔 510 的同时，第三掩膜层 300 的剩余厚度也可以等于零，即，第三掩膜层 300 完全被消耗。另外，在衬底 500 中刻蚀形成设定深度的孔 510 可以是深度小于衬底 500 的厚度的盲孔，或者也可以是贯穿衬底 500 厚度的通孔。

第二掩膜层 200 包括含硅元素的材料，硅元素具有良好的半导体性能，且取材简便，成本较低，从而可以降低加工难度和加工成本；而且，在利用第二掩膜层 200 作为掩膜对衬底进行刻蚀的过程中，能够同时刻蚀二者的材料较多，从而有助于在衬底中形成深度较大的孔。另外，在第二掩膜层 200 包括含硅元素的材料的情况下，可以通过含氟的等离子体依次对介质层 400 和衬底 500 进行刻蚀，二者的刻蚀均利用第二掩膜层 200 作为掩膜，有助于在衬底 500 和介质层 400 上均形成贯穿各自厚度的通孔。

进一步可选地，第二掩膜层 200 为二氧化硅层，这可以进一步降低第二掩膜层 200 的材料成本和加工难度，提升产品竞争力。

可选地，第三掩膜层 300 为 $\text{APF}\alpha\text{-C}$ 层。在利用第三掩膜层 300 为 $\text{APF}\alpha\text{-C}$ 层的情况下，可以通过含氧的等离子体依次对介质层 400 和衬底 500 进行刻蚀，二者的刻蚀均利用第三掩膜层 300 作为掩膜，有助于在衬底 500 和介质层 400 上均形成贯穿各自厚度的通孔。

可选的，第一掩膜层 100 的厚度为 $1\mu\text{m}$ - $2\mu\text{m}$ ；第二掩膜层 200 的厚度为 400nm - 700nm ；第三掩膜层 300 的厚度为 $6\mu\text{m}$ - $7\mu\text{m}$ 。在该厚度范围内，可以在衬底上形成深度更大的孔，从而满足使用需求。

并且，第一掩膜层 100、第二掩膜层 200 和第三掩膜层 300 各自的厚度和位于各自以下的各层膜层之间的刻蚀选择比满足以下条件：

$d1' \times S5' > d2'$ ，且 $d2' \times S6' \geq d3'$ ，且 $d3' \geq (d1' - d4' / S3') \times S2' / S1' + d4' / S4'$ ；或者，

$d1' \times S5' \geq d2'$ ，且 $d2' \times S6' > d3'$ ，且 $d3' \geq (d1' - d4' / S3') \times S2' / S1' + d4' / S4'$ ；或者，

$d1' \times S \geq d2'$ ，且 $d2' \times S6' \geq d3'$ ，且 $d3' > (d1' - d4' / S3') \times S2' / S1' + d4' / S4'$ ；

其中， $d1'$ 为第一掩膜层 100 的厚度； $d2'$ 为第二掩膜层 200 的厚度；

$d3'$ 为第三掩膜层 300 的厚度； $d4'$ 为介质层 400 的厚度； $S1'$ 为衬底 500 与第一掩膜层 100 的刻蚀选择比， $S2'$ 为衬底 500 与第三掩膜层 300 的刻蚀选择比； $S3'$ 为介质层 400 与第一掩膜层 100 的刻蚀选择比； $S4'$ 为介质层 400 与第三掩膜层 300 的选择比； $S5'$ 为第二掩膜层 200 与第一掩膜层 100 的刻蚀选择比； $S6'$ 为第三掩膜层 300 与第二掩膜层 200 的刻蚀选择比。

通过使第一掩膜层 100、第二掩膜层 200 和第三掩膜层 300 各自的厚度和位于各自以下的各层膜层之间的刻蚀选择比满足上述条件，可以保证第三掩膜层 300（或者第一掩膜层 100 的一部分、第二掩膜层 200 和第三掩膜层 300，或者第二掩膜层 200 的一部分和第三掩膜层 300）能够作为刻蚀介质层 400 和衬底 500 的掩膜，这种复合膜层的图形片相比于单独使用光刻胶作为介质层和衬底的图形片，可以在衬底上形成深度更大的孔，以满足使用需求。

详细地说， $d1' \times S5'$ 所代表的含义为在厚度为 $d1'$ 的第一掩膜层 100 被完全消耗的同时，第二掩膜层 200 的厚度为 dx ，在 $dx=d2'$ 的情况下，可以认为在厚度为 $d1'$ 的第一掩膜层 100 被完全消耗的同时，厚度为 $d2'$ 的第二掩膜层 200 也刚好被完全消耗，基于此，通过使 $d1' \times S5' = d2'$ ，可以在借助第一掩膜层 100 作为掩膜刻蚀第二掩膜层 200 的过程中，当厚度为 $d1'$ 的第一掩膜层 100 被完全消耗时，使第二掩膜层 200 上正好形成贯穿其厚度的通孔 210，容易理解，最终在使第二掩膜层 200 上形成的包含通孔 210 的图形与第一掩膜层 100 上的包含孔 110 的掩膜图形一致，通孔 210 和孔 110 的位置相对应。显然，在 $d1' \times S5' > d2'$ 的情况下，则可以认为，在借助第一掩膜层 100 作为掩膜刻蚀第二掩膜层 200 的过程中，第二掩膜层 200 上形成贯穿其厚度的通孔 210 的同时，厚度为 $d1'$ 的第一掩膜层 100 仍有存留，从而在对介质层 400 和衬底 500 进行刻蚀的过程中，可以以第二掩膜层 200 和第一掩膜层 100 中存留的部分一并作为掩膜。

$d2' \times S6'$ 所代表的含义为在厚度为 $d2'$ 的第二掩膜层 200 被完全消耗

的同时,第三掩膜层 300 的厚度为 d_y , 在 $d_y = d_3'$ 的情况下,可以在厚度为 d_3' 的第三掩膜层 300 被完全消耗的同时,厚度为 d_2' 的第二掩膜层 200 也刚好被完全消耗,基于此,通过使 $d_2' \times S_6' = d_3'$,可以在借助第二掩膜层 200 作为掩膜刻蚀第三掩膜层 300 的过程中,当厚度为 d_2' 的第二掩膜层 200 被完全消耗时,使第三掩膜层 300 上正好形成贯穿其厚度的通孔 310,容易理解,最终在使第三掩膜层 300 上形成的包含通孔 310 的图形与第一掩膜层 100 上的包含孔 110 的掩膜图形一致,通孔 310、通孔 210 和孔 110 的位置相对应。显然,在 $d_2' \times S_6' > d_3'$ 的情况下,则可以认为,在借助第二掩膜层 200 作为掩膜刻蚀第三掩膜层 300 的过程中,第三掩膜层 300 上正好形成贯穿其厚度的通孔 310 时,厚度为 d_2' 的第二掩膜层 200 仍有存留,从而在对介质层 400 和衬底 500 进行刻蚀的过程中,可以以第三掩膜层 300 和第二掩膜层 200 中存留的部分一并作为掩膜。

$d_3' = (d_1' - d_4' / S_3') \times S_2' / S_1' + d_4' / S_4'$, 即可以推导为 $d_3' - d_4' / S_4' = (d_1' - d_4' / S_3') \times S_2' / S_1'$, 也可以进一步推导为 $(d_3' - d_4' / S_4') / S_2' = (d_1' - d_4' / S_3') / S_1'$ 。

在上述等式 $(d_3' - d_4' / S_4') / S_2' = (d_1' - d_4' / S_3') / S_1'$ 中, d_4' / S_4' 表示:在借助第三掩膜层 300 作为掩膜对介质层 400 进行刻蚀的过程中,在厚度为 d_4' 的介质层 400 中刚好形成贯穿其厚度的通孔 410 时,需要消耗的第三掩膜层 300 的厚度;进一步的, $d_3' - d_4' / S_4'$ 表示:在厚度为 d_4' 的介质层 400 中刚好形成贯穿其厚度的通孔 410 时,第三掩膜层 300 的剩余厚度;再进一步的, $(d_3' - d_4' / S_4') / S_2'$ 表示:在借助第三掩膜层 300 作为掩膜对衬底 500 进行刻蚀的过程中,在厚度为 $d_3' - d_4' / S_4'$ 的第三掩膜层 300 刚好完全被消耗时,在衬底 500 中形成的孔的深度。

相似地, $d_1' - d_4' / S_3'$ 表示:在借助第一掩膜层 100 作为掩膜对介质层 400 进行刻蚀的过程中,在厚度为 d_4' 的介质层 400 中刚好形成贯穿其厚

度的通孔 410 时, 第一掩膜层 100 的剩余厚度。进一步的, $(d1' - d4' / S3') / S1'$ 表示: 在借助第一掩膜层 100 作为掩膜对衬底 500 进行刻蚀的过程中, 在厚度为 $d1' - d4' / S3'$ 的第一掩膜层 100 刚好完全被消耗时, 在衬底 500 中形成的孔的深度。

显然, 在 $(d3' - d4' / S4') / S2' = (d1' - d4' / S3') / S1'$ 时, 则可以认为: 仅借助第三掩膜层 300 作为掩膜对介质层 400 和衬底 500 进行刻蚀, 与仅借助第一掩膜层 100 作为掩膜对介质层 400 和衬底 500 进行刻蚀相比, 二者在衬底 500 中形成的孔的深度相等。而在 $(d3' - d4' / S4') / S2' > (d1' - d4' / S3') / S1'$, 即, $d3' > (d1' - d4' / S3') \times S2' / S1' + d4' / S4'$ 的情况下, 仅借助第三掩膜层 300 作为掩膜最终在衬底 500 中形成的孔的深度会大于仅借助第一掩膜层 100 作为掩膜最终在衬底 500 中形成的孔的深度。

由上可知, 与上述第一实施例相类似的, 当第一掩膜层 100、第二掩膜层 200 和第三掩膜层 300 各自的厚度和位于各自以下的各层膜层之间的刻蚀选择比满足上述条件时, 与仅借助第一掩膜层 100 作为掩膜对介质层 400 和衬底 500 进行刻蚀相比, 必然能够在衬底 500 中形成的深度更大的孔, 以满足使用需求。

第三实施例

本实施例提供一种半导体中间产物, 由本发明上述各个实施例提供的图形片采用刻蚀工艺形成。具体地, 该半导体中间产物可以包括衬底和设置在衬底上的介质层, 其中, 介质层中形成有贯穿其厚度的通孔; 衬底中形成与该通孔对应的具有设定深度的孔。在利用本发明实施例提供的上述图形片进行刻蚀工艺的过程中, 在衬底中刻蚀形成设定深度的孔的同时, 位于介质层以上的掩膜层的剩余厚度等于零, 即, 完全被消耗。另外, 在衬底中刻蚀形成设定深度的孔可以是深度小于衬底的厚度的盲孔, 或者也可以是贯穿衬底厚度的通孔。

或者，半导体中间产物还可以包括衬底和沿远离衬底的方向依次设置在衬底上的介质层和刻蚀后剩余的至少一层掩膜层，其中，至少一层掩膜层和介质层中对应形成有贯穿其厚度的通孔；衬底中形成具有与该通孔对应的设定深度的孔。在利用本发明实施例提供的上述图形片进行刻蚀工艺的过程中，在衬底中刻蚀形成设定深度的孔的同时，位于介质层以上的掩膜层的剩余厚度大于零，这样，在衬底中形成设定深度的孔的同时，仍存留有一定厚度的掩膜层，这样可以防止出现介质层被刻蚀，从而保证介质层不会受损，具备完整性能。例如，图 2D 和图 4D 中分别示出的两种半导体中间产物，二者在衬底中形成设定深度的孔的同时，仍存留有一定厚度的掩膜层。

第四实施例

本实施例提供一种孔刻蚀方法，其利用本发明上述各个实施例提供的图形片，在衬底和设置在该衬底上的介质层中刻蚀形成对应的孔。该孔刻蚀方法包括：

利用任意相邻的两层掩膜层中的上层掩膜层作为掩膜，在下层掩膜层中刻蚀形成贯穿其厚度的通孔；

利用位于介质层以上剩余的至少一层掩膜层，在介质层中刻蚀形成有贯穿其厚度的通孔，并在衬底中形成设定深度的孔。

可选地，本实施例提供的孔刻蚀方法应用于 TSV（Through Silicon Vias，硅通孔）刻蚀工艺，以进一步降低加工难度，提升加工效率。

综上所述，本发明实施例提供的上述图形片、半导体中间产物及孔刻蚀方法的技术方案，通过利用复合膜层的掩膜结构，即，自介质层的远离衬底的一侧，且沿远离衬底的方向依次层叠设置的多层掩膜层，并使每层掩膜层的厚度和与位于该掩膜层以下的各层膜层之间的刻蚀选择比满足：在进行利用掩膜结构在衬底和介质层中对应形成孔的刻蚀工艺过程中，每相邻的两层掩膜层中，在下层掩膜层中被刻蚀形成有贯穿其厚度的通孔的同时，上层掩

膜层的剩余厚度大于或等于零，以及在介质层中被刻蚀形成有贯穿其厚度的通孔的同时，位于介质层以上的所有掩膜层的剩余厚度之和大于或等于在衬底中形成孔的设定深度。由此，采用具有复合膜层的上述掩膜结构的图形片与现有技术中单独使用光刻胶掩膜相比，可以在衬底上形成深度更大的孔，从而满足使用需求。

本发明上文实施例中重点描述的是各个实施例之间的不同，各个实施例之间不同的优化特征只要不矛盾，均可以组合形成更优的实施例，考虑到行文简洁，在此则不再赘述。

以上所述仅为本发明的实施例而已，并不用于限制本发明。对于本领域技术人员来说，本发明可以有各种更改和变化。凡在本发明的精神和原理之内所作的任何修改、等同替换、改进等，均应包含在本发明的权利要求范围之内。