

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局



(10) 国际公布号  
**WO 2022/166126 A1**

(43) 国际公布日  
2022 年 8 月 11 日 (11.08.2022)

(51) 国际专利分类号:

*H01L 27/02* (2006.01) *H01L 27/092* (2006.01)  
*H01L 27/088* (2006.01) *H01L 27/108* (2006.01)

(21) 国际申请号: PCT/CN2021/107779

(22) 国际申请日: 2021 年 7 月 22 日 (22.07.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

202110163720.X 2021 年 2 月 5 日 (05.02.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 汪配焕 (WANG, Peihuan); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 北京名华博信知识产权代理有限公司 (BOXIN CHINA INTELLECTUAL PROPERTY); 中国北京市海淀区黑泉路 8 号 1 幢 4 层 101-10 号, Beijing 100192 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

(54) Title: STANDARD CELL TEMPLATE AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 标准单元版图模板以及半导体结构

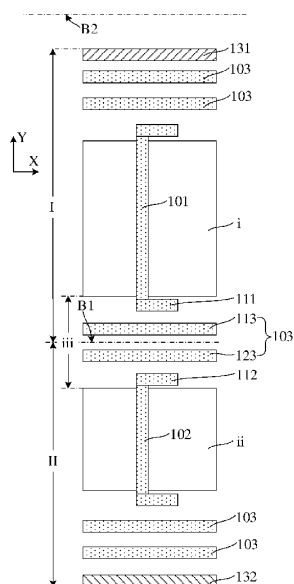


图 3

(57) Abstract: The present disclosure provides a standard cell template and a semiconductor structure. The standard cell template comprises: a first well region and a second well region, which are arranged in a first direction; a first gate pattern, which is located in the first well region and extends in the first direction, and is used for defining a first gate electrode; a second gate pattern, which is located in the second well region and extends in the first direction, and is used for defining a second gate electrode; and a gate electrical connection pattern, which is located between the first gate pattern and the second gate pattern and is used for defining a gate electrical connection structure, wherein the gate electrical connection structure is arranged in the same layer as the first gate electrode and the second gate electrode, so as to be electrically connected to the first gate electrode and/or the second gate electrode.

(57) 摘要: 本公开提供一种标准单元版图模板以及半导体结构, 其中, 标准单元版图模板包括: 沿第一方向排布的第一阱区和第二阱区; 第一栅极图形, 位于所述第一阱区且沿所述第一方向延伸, 用于定义第一栅极; 第二栅极图形, 位于所述第二阱区且沿所述第一方向延伸, 用于定义第二栅极; 栅电连接图形, 位于所述第一栅极图形与所述第二栅极图形之间, 用于定义栅电连接结构, 所述栅电连接结构与所述第一栅极以及所述第二栅极同层设置, 以电连接所述第一栅极和/或所述第二栅极。

[见续页]

IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,  
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,  
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。