

半导体结构及其形成方法

相关申请的交叉引用

本公开基于申请号为 202210729634.5、申请日为 2022 年 06 月 24 日、发明名称为“半导体结构及其形成方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，涉及但不限于一种半导体结构及其形成方法。

背景技术

感测放大器（Sense amplifier，SA）通常被连接至一对互补的数字线（例如，位线），用于感测两个位线（Bitline，BL）上的信号变化，并且放大该信号的变化。感测放大器所感测到的信号满足下述公式（1）：

$$\Delta V_{BL} = \frac{V_{cell} - V_{BLP}}{(1 + C_{BL}/C_s)}$$

其中， ΔV_{BL} 为感测放大器感测到的位线上的压差信号； V_{cell} 为待感测的存储单元的电压， V_{BLP} 为互补位线的电压， C_{BL} 为待感测的存储单元中位线上寄生电容的电容容量， C_s 为待感测的存储单元中电容结构的电容容量；通过公式（1）可以看出，感测放大器感测到的位线上的压差信号 ΔV_{BL} 与电容结构的电容容量呈正相关，因此，提高电容结构的电容容量对感测放大器的信号放大精准度来说至关重要。

发明内容

有鉴于此，本公开实施例提供一种半导体结构及其形成方法。

第一方面，本公开实施例提供一种半导体结构的形成方法，方法包括：

提供半导体衬底；所述半导体衬底上形成有沿第一方向交替排布的叠层结构和隔离结构；

在所述叠层结构和所述隔离结构中形成支撑结构；

刻蚀所述叠层结构和所述隔离结构，形成多个沿所述第一方向和所述第二方向阵列排布的锯齿形第一半导体柱，所述锯齿形第一半导体柱之间形成有空隙；其中，所述锯齿形第一半导体柱包括沿第三方向依次交替排列的第一凸起结构和第一凹陷结构，且所述锯齿形第一半导体柱通过所述支撑结构支撑；所述

第一方向、所述第二方向和所述第三方向两两相互垂直，且所述第二方向垂直于所述半导体衬底的上表面；

在所述空隙中形成电容结构。

第二方面，本公开实施例提供一种半导体结构，所述半导体结构通过上述半导体结构的形成方法形成，所述半导体结构包括：

半导体衬底；

位于所述半导体衬底表面的多个锯齿形第一半导体柱和支撑结构；其中，多个所述锯齿形第一半导体柱沿第一方向和第二方向阵列排布，且通过所述支撑结构支撑；所述锯齿形第一半导体柱包括沿第三方向依次交替排列的第一凸起结构和第一凹陷结构；所述第一方向、所述第二方向和所述第三方向两两相互垂直，且所述第二方向垂直于所述半导体衬底所在的平面；

电容结构，填充于所述锯齿形第一半导体柱之间。

本公开实施例提供的半导体结构及其形成方法，由于电容结构形成于锯齿形第一半导体柱之间的空隙中，且锯齿形第一半导体柱具有较大的表面积，因此，所形成的电容结构电极之间的有效面积较大，形成的电容结构的电容容量高，如此，可以提高感测放大器的感测效果，并且增大数据的保持时间。

附图说明

在附图（其不一定是按比例绘制的）中，相似的附图标记可在不同的视图中描述相似的部件。具有不同字母后缀的相似附图标记可表示相似部件的不同示例。附图以示例而非限制的方式大体示出了本文中所讨论的各个实施例。

图 1 为本公开实施例提供的半导体结构的形成方法的流程示意图；

图 2a~2s、3a~3e、4a~4e、5a~5e 为本公开实施例提供的半导体结构形成过程中的结构示意图；

图 6a~6d 为本公开实施例提供的一种半导体结构的结构示意图；

附图标记说明如下：

10—半导体衬底；11—叠层结构；11a—初始叠层结构；111—第一半导体层；112—第二半导体层；12—第一掩膜层；13—隔离沟槽；14—隔离结构；15—支撑结构；16—刻蚀凹槽；17—锯齿形第一半导体柱；18a—锯齿形第二半导体柱；18b—锯齿形第三半导体柱；18c—锯齿形第四半导体柱；19—掩膜层；20—第一凹陷结构；21—第一凸起结构；22—电容结构；23—导电层；201—第一圆柱；211—第二圆柱；221—第一电极层；222—电介质层；223—第二电极层；100—半导体结构；H—第一预设子图案；D—特

定图案；E—子图案。

具体实施方式

下面将参照附图更详细地描述本公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

在介绍本公开实施例之前，先定义一下以下实施例可能用到的描述立体结构的三个方向，三个方向可以包括X轴、Y轴和Z轴方向。在基底的顶表面和底表面（即基底所在的平面）方向上，定义两彼此相交（例如彼此垂直）的方向，例如可以定义电容结构的延伸方向为第三方向，定义叠层结构和隔离结构交替排布的方向为第一方向，基于第三方向和第一方向可以确定基底的平面方向。基底可以包括处于正面的顶表面以及处于与正面相对的背面的底表面；在忽略顶表面和底表面的平整度的情况下，定义垂直基底顶表面和底表面的方向为第二方向。由此可以看出，第一方向、第二方向和第三方向两两垂直。本公开实施例中，定义第一方向为X轴方向，定义第二方向为Y轴方向，定义第三方向为Z轴方向。

本公开实施例提供一种半导体结构的形成方法，图1为本公开实施例提供的半导体结构的形成方法的流程示意图，如图1所示，半导体结构的形成方法包括以下步骤：

步骤S101、提供半导体衬底；半导体衬底上形成有沿第一方向交替排布的叠层结构和隔离结构。

本公开实施例中，半导体衬底可以是硅衬底，半导体衬底也可以包括其它半导体元素，例如：锗（Ge），或包括半导体化合物，例如：碳化硅（SiC）、砷化镓（GaAs）、磷化镓（GaP）、磷化铟（InP）、砷化铟（InAs）或锑化铟（InSb），或包括其它半导体合金，例如：硅锗（SiGe）、磷化砷镓（GaAsP）、砷化铟铝（AlInAs）、砷化镓铝（AlGaAs）、砷化铟镓（GaInAs）、磷化铟镓（GaInP）、及/或磷砷化铟镓（GaInAsP）或其组合。

本公开实施例中，隔离结构的材料可以是氧化硅、氮化硅、氮氧化硅或者其它合适的材料。

本公开实施例中，叠层结构包括沿第二方向交替堆叠的第一半导体层和第二半导体层；第一半导体层的材料可以是锗、或锗化硅（SiGe）、碳化硅，也可以是绝缘体上硅（Silicon-On-Insulator，SOI）或者绝缘体上锗（Germanium-on-Insulator，GOI）。第二半导体层可以为硅层，也可以包括其它半导体元素，例如：锗，或包括半导体化合物，例如：碳化硅、砷化镓、磷化镓、磷化铟、砷化铟或锑化铟，或包括其它半导体合金，例如：硅锗、磷化砷镓、砷化铟铝、砷化镓铝、砷化铟镓、磷化铟镓、及/或磷砷化铟镓或其组合。

本公开实施例中，第一半导体层和第二半导体层的材料应该不同，因为后续需要去除叠层结构中的第一半导体层，保留第二半导体层。因此，第一半导体层相对于第二半导体层应该具有较大的选择刻蚀比，例如第一半导体层和第二半导体层的刻蚀选择比可以为5-15，从而在刻蚀过程中第一半导体层相对于第二半导体层更容易被刻蚀去除。

步骤S102、在叠层结构和隔离结构中形成支撑结构。

本公开实施例中，支撑结构的材料可以包括以下至少之一：氧化硅、氮化硅、氮碳化硅、氮氧化硅、氮硼化硅。支撑结构可以通过任意一种合适的沉积工艺形成，例如，化学气相沉积（Chemical Vapor Deposition，CVD）工艺、物理气相沉积（Physical Vapor Deposition，PVD）工艺、原子层沉积（Atomic Layer Deposition，ALD）工艺、旋涂工艺、涂敷工艺或薄膜工艺等。

步骤S103、刻蚀叠层结构和隔离结构，形成多个沿第一方向和第二方向阵列排布的锯齿形第一半导体柱，锯齿形第一半导体柱之间形成有空隙；其中，锯齿形第一半导体柱包括沿第三方向依次交替排列

的第一凸起结构和第一凹陷结构，且锯齿形第一半导体柱通过支撑结构支撑。

本公开实施例中，可以采用干法刻蚀工艺（例如等离子刻蚀工艺、反应离子刻蚀工艺或者离子铣工艺）刻蚀叠层结构和隔离结构，形成锯齿形的第一半导体柱。干法刻蚀采用的气体可以为三氟甲烷（ CHF_3 ）、四氟化碳（ CF_4 ）、二氟甲烷（ CH_2F_2 ）、氢溴酸（ HBr ）、氯气（ Cl_2 ）或六氟化硫（ SF_6 ）中的一种或任意组合。

本公开实施例中，由交替排列的第一凸起结构和第一凹陷结构构成的锯齿形第一半导体柱相较于相关技术中圆柱状的第一半导体柱，表面积增加了，如此，在锯齿形第一半导体柱之间的空隙中形成电容结构时，可以增加电容结构电极之间的有效面积，从而实现增加电容结构的电容量。

步骤 S104、在空隙中形成电容结构。

本公开实施例中，由于电容结构形成于锯齿形第一半导体柱之间的空隙中，且锯齿形的第一半导体柱具有较大的表面积，因此，本公开实施例中的电容结构电极之间的有效面积较大，形成的电容结构电容量高，如此，可以提高感测放大器的感测效果，并且增大数据的保持时间。

图 2a~2s、3a~3e、4a~4e、5a~5e 为本公开实施例提供的半导体结构形成过程中的结构示意图，其中，a-a'、b-b'、c-c'、d-d' 方向的剖面图仅为描述清楚半导体的内部结构，并非按比例绘制。下面结合图 2a~2s、3a~3e、4a~4e、5a~5e 对本公开实施例提供的半导体结构的形成过程进行详细的说明。

首先，可以参考图 2a~2f，执行步骤 S101、提供半导体衬底 10；半导体衬底 10 上形成有沿第一方向交替排布的叠层结构 11 和隔离结构 14，其中，图 2a、2c、2e 为三维视图，图 2b、2d、2f 分别为图 2a、2c、2e 的剖视图。

在一些实施例中，隔离结构 14 可以通过以下步骤形成：在半导体衬底 10 上形成初始叠层结构 11a，其中，初始叠层结构 11a 包括交替堆叠的第一半导体层 111 和第二半导体层 112；图形化初始叠层结构 11a，形成叠层结构 11 和隔离沟槽 13；在隔离沟槽 13 中填充隔离材料，形成隔离结构 14。

如图 2a 和 2b 所示，在半导体衬底 10 上形成初始叠层结构 11a，其中，初始叠层结构 11a 包括沿 Y 轴方向由下至上依次交替堆叠的第一半导体层 111 和第二半导体层 112。

本公开实施例中，可以通过外延工艺形成第一半导体层 111 和第二半导体层 112。第一半导体层 111 和第二半导体层 112 交替堆叠可以形成半导体超晶格，每一层半导体层的厚度从几个原子到几十个原子层不等，各半导体层的主要半导体性质如带隙和掺杂水平可以独立地控制。叠层结构 11 中第一半导体层 111 和第二半导体层 112 的层数可以根据需要的电容密度（或存储密度）来设置，第一半导体层 111 和第二半导体层 112 的层数越多，形成的三维半导体结构的集成度更高且电容密度越大。例如，第一半导体层 111 和第二半导体层 112 的层数可以为 2~2000 层。

如图 2c 和 2d 所示，叠层结构 11 和隔离沟槽 13 可以通过以下步骤形成：在初始叠层结构 11a 的表面形成具有第一预设图案的第一掩膜层 12，第一预设图案包括沿 X 轴方向依次排列的多个第一预设子图案 H，且第一预设子图案 H 暴露出部分初始叠层结构 11a；通过第一掩膜层 12 刻蚀初始叠层结构 11a，以去除第一掩膜层 12 暴露出的初始叠层结构 11a，形成叠层结构 11 和隔离沟槽 13。

本公开实施例中，可以通过高纵横比蚀刻（High Aspect Ratio, HAR）技术刻蚀初始叠层结构 11a，形成叠层结构 11 和隔离沟槽 13。

在一些实施例中，在形成叠层结构 11 和隔离沟槽 13 之后，可以采用干法刻蚀技术或者湿法刻蚀技术去除第一掩膜层 12，暴露出叠层结构 11 的上表面。

如图 2e 和 2f 所示，在隔离沟槽 13 中填充隔离材料，形成隔离结构 14。隔离材料可以是氧化硅、氮化硅或者氮氧化硅等。

需要说明的是，在隔离沟槽 13 中填充隔离材料，形成隔离结构 14 的过程中，往往会在叠层结构 11 的表面也沉积有部分隔离材料，然后会经过化学机械抛光（Chemical Mechanical Polishing, CMP）处理，使得叠层结构 11 的表面具有一层平整光滑的隔离材料，位于叠层结构 11 表面的这层隔离材料用于在后续对叠层结构 11 进行处理时，保护叠层结构 11 顶表面的第二半导体层 112 不受损伤。本公开实施例中，为了便于描述半导体结构的形成方法，图 2e~2j 中均未示出位于叠层结构 11 表面的隔离材料。

接下来，可以参考图 2g~2j，执行步骤 S102，在叠层结构和隔离结构中形成支撑结构，其中，图 2g 和 2i 为三维视图，图 2h 和 2j 分别为图 2g 和 2i 的剖视图。

在一些实施例中，支撑结构 15 可以通过以下步骤形成：在叠层结构 11 和隔离结构 14 的表面形成具有第二预设图案的第二掩膜层（未示出）；其中，第二预设图案暴露出部分叠层结构 11 和部分隔离结构 14；通过第二掩膜层，刻蚀去除暴露出的隔离结构 14 和暴露出的叠层结构 11 中的第一半导体层 111，形成如图 2g 和 2h 所示的刻蚀凹槽 16；在刻蚀凹槽 16 中填充支撑材料，形成如图 2i 和 2j 所示的支撑结构 15。本公开实施例中，支撑材料可以是氮化硅或者碳氮化硅。

在一些实施例中，在形成刻蚀凹槽 16 之后，半导体结构的形成方法还包括：去除具有第二预设图案的第二掩膜层。实施时，可以采用干法刻蚀技术或者湿法刻蚀技术去除第二掩膜层，暴露出隔离结构 14 的上表面。

本公开实施例中，由于电容结构会形成于第二半导体层 112 之间的空隙中，所以支撑结构 15 还可以用于支撑电容结构，从而提高电容结构堆叠的稳定性。

接下来，可以参考图 2k~2o，执行步骤 S103、刻蚀叠层结构 11 和隔离结构 14，形成多个沿第一方向和第二方向阵列排布的锯齿形第一半导体柱 17，锯齿形第一半导体柱 17 之间形成有空隙；锯齿形第一半导体柱 17 包括沿第三方向依次交替排列的第一凸起结构 21 和第一凹陷结构 20，且锯齿形第一半导体柱 17 通过支撑结构 15 支撑；其中，图 2k、2l 为三维视图，图 2m 为 2l 的剖视图，图 2n 和 2o 均为剖

视图。

在一些实施例中，锯齿形第一半导体柱 17 可以通过以下步骤形成：

如图 2k 所示，在叠层结构 11 和隔离结构 14 的表面形成具有特定图案 D 的掩膜层 19；其中，特定图案 D 包括沿 Z 轴方向依次排列的多个子图案 E，且子图案 E 暴露出部分叠层结构 11 和部分隔离结构 14。

如图 2l 和 2m 所示，采用干法刻蚀技术或者湿法刻蚀技术去除子图案 E 暴露出的隔离结构 14 和叠层结构 11 中的第一半导体层 111。本公开实施例中，由于第一半导体层 111 相对于第二半导体层 112 具有高刻蚀选择比，因此，在去除第一半导体层 111 时可以不损伤第二半导体层 112。

如图 2n 所示，对子图案 E 暴露出的叠层结构 11 中的第二半导体层 112 进行减薄处理，以形成第一凹陷结构 20；其中，第二半导体层 112 的未处理部分构成第一凸起结构 21；第一凸起结构 21 在 Z 轴方向上的投影面积大于第一凹陷结构 20 在 Z 轴方向上的投影面积。

如图 2o 所示，在形成第一凹陷结构 20 之后，半导体结构的形成方法还包括：去除掩膜层 19、剩余的第一半导体层 111 和剩余的隔离结构 14，暴露出第一凸起结构 21。

在一些实施例中，在形成锯齿形第一半导体柱 17 之后，半导体结构的形成方法还包括：对锯齿形第一半导体柱 17 进行离子注入。例如可以采用金属离子对锯齿形第一半导体柱 17 进行离子注入，例如为钠离子。由于锯齿形第一半导体柱 17 会作为电容结构的下电极的一部分，因此，对锯齿形第一半导体柱 17 进行离子注入，可以降低下电极与漏极之间的接触电阻，进而可以降低半导体结构的功耗。

在一些实施例中，在对锯齿形第一半导体柱 17 进行离子注入之后，半导体结构的形成方法还包括：在锯齿形第一半导体柱 17 的表面形成金属硅化物。实施时，可以在锯齿形第一半导体柱 17 上沉积一层金属材料，例如可以是钴 (Co)、钛 (Ti)、钽 (Ta)、镍 (Ni)、钨 (W)、铂 (Pt) 以及钯 (Pd) 中的任何一种；之后通过快速热退火处理使得金属材料与锯齿形第一半导体柱 17 相互反应，从而在锯齿形第一半导体柱 17 的表面形成金属硅化物。由于金属硅化物具有较低的阻值，因此可以降低下电极与漏极之间的接触电阻，进而可以降低半导体结构的功耗。

最后，可以参考图 2p~2s，执行步骤 S104，在空隙中形成电容结构 22。

其中，图 2p 为三维视图，图 2q、2r、2s 分别为沿图 2p 中 a-a'、b-b'和 d-d'的剖视图，需要说明的是图 2p 中仅示出一个锯齿形第一半导体柱 17 的三维视图，实际上，半导体结构中包括多个沿 X 轴和 Y 轴方向阵列排布的锯齿形第一半导体柱 17。

如图 2p~2s 所示，在一些实施例中，电容结构 22 可以通过以下步骤形成：在锯齿形第一半导体柱 17 之间的空隙中依次沉积第一电极层材料、电介质材料和第二电极材料，形成第一电极层 221、电介质层 222 和第二电极层 223，以形成电容结构 22。

本公开实施例中，第一电极材料、电介质材料和第二电极材料可以通过以下任意一种沉积工艺形成：选择性原子层沉积工艺、化学气相沉积工艺、物理气相沉积工艺和旋涂工艺。第一电极材料和第二电极材料可以包括金属或者金属氮化物，例如，钌 (Ru) 或者氮化钛。电介质材料可以包括高 K 介质材料，例如可以是氧化镧 (La_2O_3)、氧化铝 (Al_2O_3)、氧化铪 (HfO_2)、氮氧化铪 (HfON)、硅酸铪 (HfSiO_x) 或氧化锆 (ZrO_2) 中的一种或任意组合。在其它实施例中，第一电极材料和第二电极材料还可以是多晶硅。

在一些实施例中，请继续参考图 2p~2s，半导体结构的形成方法还包括，在第二电极层 223 之间的空隙中填充导电材料，形成导电层 23。本公开实施例中，导电材料可以是多晶硅，也可以是其它任意一种合适的导电材料，例如，锗硅或者掺杂多晶硅。

本公开实施例中，第一凸起结构 21 和第一凹陷结构 20 共同构成锯齿形第一半导体柱 17，且后续会在锯齿形第一半导体柱 17 之间的空隙中形成电容结构，由于第一凸起结构 21 在第三方向上的投影面积 S_1 大于第一凹陷结构 20 在第三方向上的投影面积 S_2 ，如此，使得本公开实施例中的锯齿形第一半导体柱 17 的表面积相较于相关技术中圆柱状的半导体柱的表面积大，进而使得所形成的电容结构电极之间的有效面积较大，形成的电容结构电容量高，可以提高感测放大器的感测效果，并且增大数据的保持时间。

在一些实施例中，第一凸起结构 21 和第一凹陷结构 20 分别为长方体，其中，第一凹陷结构 20 沿垂直 Z 轴的横截面为边长为 A 的正方形，第一凸起结构 21 的沿垂直 Z 轴的横截面为边长为 B 的正方形，且第一凸起结构 21 和第一凹陷结构 20 在 Z 轴方向的长度分别为 L，则 A、B、L 符合公式： $4L < B + A$ ，其中 $B > A$ 。

在一些实施例中，A 的范围可以是 10-30nm，B 的范围可以是 30-50nm，L 的范围可以是 5nm-20nm。

在一些实施例中，在形成电容结构之前，半导体结构的形成方法还包括：形成全环栅结构和位线结构。

在一些实施例中，如图 3a 所示，在形成第一凹陷结构 20 之后，半导体结构的形成方法还包括：对第一凹陷结构 20 进行圆柱化处理，形成第一圆柱 201。例如，可以通过四甲基氢氧化铵 (Tetramethylammonium hydroxide, TMAH) 溶液刻蚀第一凹陷结构 20，形成第一圆柱 201。

在一些实施例中，在形成第一圆柱之后，半导体结构的形成方法还包括：通过 TMAH 溶液刻蚀第一凸起结构 21，对第一凸起结构 21 进行圆柱化处理，形成第二圆柱 211；其中，第一圆柱 201 和第二圆柱 211 共同构成锯齿形第二半导体柱 18a。

在一些实施例中，在对第一凸起结构 21 进行圆柱化处理的过程之前，需要在第一圆柱 201 的表面形

成屏蔽层,屏蔽层与锯齿形第二半导体柱 18a 具有不同的刻蚀选择比,屏蔽层用于在对第一凸起结构 21 进行圆柱化处理时保护第一圆柱 201 不受损伤,例如,屏蔽层的材料可以是二氧化硅、氮化硅、碳氮化硅、氢氧化硅等。本公开实施例中,在对第一凹陷结构 20 进行圆柱化处理的过程中,由于第一凸起结构 21 的四周保留有隔离结构 14 和掩膜层 19,可以保护第一凸起结构 21 不受损伤,因此,不需要在第一凸起结构 21 的表面形成屏蔽层。

在一些实施例中,在形成锯齿形第二半导体柱 18a 之后,半导体结构的形成方法还包括:对锯齿形第二半导体柱 18a 进行离子注入,或者,在锯齿形第二半导体柱 18a 的表面形成金属硅化物;例如,可以采用金属离子(例如为钠离子)对锯齿形第二半导体柱 18a 进行离子注入。

本公开实施例中,由于锯齿形第二半导体柱 18a 会作为电容结构的下电极的一部分,因此,对锯齿形第二半导体柱 18a 进行金属离子注入,可以降低下电极与漏极之间的接触电阻,进而可以降低半导体结构的功耗。

在一些实施例中,在对锯齿形第二半导体柱 18a 进行离子注入之后,或者,在锯齿形第二半导体柱 18a 的表面形成金属硅化物之后,半导体结构的形成方法还包括:在锯齿形第二半导体柱 18a 的空隙中依次形成第一电极层 221、电介质层 222 和第二电极层 223,以形成如图 3b~3c 所示的电容结构 22;其中,图 3b 为三维视图,图 3c、3d、3e 分别为沿图 3b 中 a-a'、b-b'和 d-d'的剖视图,需要说明的是图 3b 中仅示出一个锯齿形第二半导体柱 18a 的三维视图,实际上,半导体结构中包括多个沿 X 轴和 Y 轴方向阵列排布的锯齿形第二半导体柱 18a。

在一些实施例中,继续参考图 3b~3e,半导体结构的形成方法还包括,在第二电极层 223 之间的空隙中填充导电材料,形成导电层 23。

本公开实施例中,第一圆柱 201 和第二圆柱 211 共同构成锯齿形第二半导体柱 18a,且后续会在锯齿形第二半导体柱 18a 之间的空隙中形成电容结构,由于第二圆柱 211 在第三方向上的投影面积 S4 大于第一圆柱 201 在第三方向的投影面积 S3,如此,使得本公开实施例中的锯齿形第二半导体柱 18a 的表面积相较于相关技术中圆柱状的半导体柱的表面积大,进而使得所形成的电容结构电极之间的有效面积较大,形成的电容结构电容量高,可以提高感测放大器的感测效果,并且增大数据的保持时间。

在一些实施例中,第一圆柱 201 和第二圆柱 211 分别为圆柱体,其中,第一圆柱 201 沿垂直 Z 轴的横截面为半径为 r 的圆形,第二圆柱 211 的沿垂直 Z 轴的横截面为半径为 R 的圆形,且第一圆柱 201 和第二圆柱 211 在 Z 轴方向的长度分别为 L,则 r、R、L 符合公式: $2L < r+R$, 其中, R 大于 r。

在一些实施例中,r 的范围可以是 5-15nm,R 的范围可以是 15-30nm,L 的范围可以是 5nm-20nm。

在一些实施例中,如图 4a 所示,在形成第一凹陷结构 20 之后,半导体结构的形成方法还包括:对第一凹陷结构 20 进行圆柱化处理,形成第一圆柱 201。例如,可以通过 TMAH 溶液刻蚀第一凹陷结构 20,形成第一圆柱 201。第一圆柱 201 和第一凸起结构 21 共同构成锯齿形第三半导体柱 18b。

在一些实施例中,在形成锯齿形第三半导体柱 18b 之后,半导体结构的形成方法还包括:对锯齿形第三半导体柱 18b 进行离子注入,或者,在锯齿形第三半导体柱 18b 的表面形成金属硅化物;例如,可以采用金属离子(例如为钠离子)对锯齿形第三半导体柱 18b 进行离子注入。

本公开实施例中,由于锯齿形第三半导体柱 18b 会作为电容结构的下电极的一部分,因此,对锯齿形第三半导体柱 18b 进行金属离子注入,可以降低下电极与漏极之间的接触电阻,进而可以降低半导体结构的功耗。

在一些实施例中,在对锯齿形第三半导体柱 18b 进行离子注入之后,或者,在锯齿形第三半导体柱 18b 的表面形成金属硅化物之后,半导体结构的形成方法还包括:在锯齿形第三半导体柱 18b 的空隙中依次形成第一电极层 221、电介质层 222 和第二电极层 223,以形成如图 4b~4c 所示的电容结构 22;其中,图 4b 为三维视图,图 4c、4d、4e 分别为沿图 4b 中 a-a'、b-b'和 d-d'的剖视图,需要说明的是图 4b 中仅示出一个锯齿形第三半导体柱 18b 的三维视图,实际上,半导体结构中包括多个沿 X 轴和 Y 轴方向阵列排布的锯齿形第三半导体柱 18b。

在一些实施例中,继续参考图 4b~4e,半导体结构的形成方法还包括,在第二电极层 223 之间的空隙中填充导电材料,形成导电层 23。

本公开实施例中,第一圆柱 201 和第一凸起结构 21 共同构成锯齿形第三半导体柱 18b,且后续会在锯齿形第三半导体柱 18b 之间的空隙中形成电容结构,由于第一凸起结构 21 在第三方向上的投影面积 S1 大于第一圆柱 201 在第三方向的投影面积 S3,如此,使得本公开实施例中的锯齿形第三半导体柱 18b 的表面积相较于相关技术中圆柱状的半导体柱的表面积大,进而使得所形成的电容结构电极之间的有效面积较大,形成的电容结构电容量高,可以提高感测放大器的感测效果,并且增大数据的保持时间。

在一些实施例中,如图 5a 所示,在形成第一凹陷结构 20 和第一凸起结构 21 之后,半导体结构的形成方法还包括:通过 TMAH 溶液刻蚀第一凸起结构 21,对第一凸起结构 21 进行圆柱化处理,形成第二圆柱 211;其中,第一凹陷结构 20 和第二圆柱 211 共同构成锯齿形第四半导体柱 18c。

在一些实施例中,在对第一凸起结构 21 进行圆柱化处理的过程之前,需要在第一圆柱 201 的表面形成屏蔽层,屏蔽层与锯齿形第四半导体柱 18c 具有不同的刻蚀选择比,屏蔽层用于在对第一凸起结构 21 进行圆柱化处理时保护第一圆柱 201 不受损伤,例如,屏蔽层的材料可以是二氧化硅、氮化硅、碳氮化硅、氢氧化硅等。

在一些实施例中,在形成锯齿形第四半导体柱 18c 之后,半导体结构的形成方法还包括:对锯齿形第四半导体柱 18c 进行离子注入,或者,在锯齿形第四半导体柱 18c 的表面形成金属硅化物;例如,可以采用金属离子(例如为钠离子)对锯齿形第四半导体柱 18c 进行离子注入。

5 本公开实施例中,由于锯齿形第四半导体柱 18c 会作为电容结构的下电极的一部分,因此,对锯齿形第四半导体柱 18c 进行金属离子注入,可以降低下电极与漏极之间的接触电阻,进而可以降低半导体结构的功耗。

10 在一些实施例中,在对锯齿形第四半导体柱 18c 进行离子注入之后,或者,在锯齿形第四半导体柱 18c 的表面形成金属硅化物之后,半导体结构的形成方法还包括:在锯齿形第四半导体柱 18c 的空隙中依次形成第一电极层 221、电介质层 222 和第二电极层 223,以形成如图 5b~5e 所示的电容结构 22;其中,图 5b 为三维视图,图 5c、5d、5e 分别为沿图 5b 中 a-a'、b-b'和 d-d'的剖视图,需要说明的是图 5b 中仅示出一个锯齿形第四半导体柱 18c 的三维视图,实际上,半导体结构中包括多个沿 X 轴和 Y 轴方向阵列排布的锯齿形第四半导体柱 18c。

15 在一些实施例中,继续参考图 5b~5e,半导体结构的形成方法还包括,在第二电极层 223 之间的空隙中填充导电材料,形成导电层 23。

20 本公开实施例中,第一凹陷结构 20 和第二圆柱 211 共同构成锯齿形第四半导体柱 18c,且后续会在锯齿形第四半导体柱 18c 之间的空隙中形成电容结构,由于第二圆柱 211 在第三方向上的投影面积 S4 大于第一凹陷结构 20 在第三方向的投影面积 S2,如此,使得本公开实施例中的锯齿形第四半导体柱 18c 的表面积相较于相关技术中圆柱状的半导体柱的表面积大,进而使得所形成的电容结构电极之间的有效面积较大,形成的电容结构电容量高,可以提高感测放大器的感测效果,并且增大数据的保持时间。

25 除此之外,本公开实施例还提供一种半导体结构,半导体结构通过上述实施例中半导体结构的形成方法形成,图 6a~6d 为本公开实施例提供的一种半导体结构的结构示意图,其中,图 6a 为部分半导体结构的三维视图,图 6b~6d 为沿图 6a 中 a-a'、b-b'和 d-d'的剖视图,半导体结构 100 包括:半导体衬底 10,以及位于半导体衬底 10 表面的支撑结构 15 和多个锯齿形第一半导体柱 17。

30 其中,多个锯齿形第一半导体柱 17 沿第一方向(即 X 轴方向)和第二方向(即 Y 轴方向)阵列排布,且多个锯齿形第一半导体柱 17 通过支撑结构 15 支撑;锯齿形第一半导体柱 17 包括沿第三方向(即 Z 轴方向)依次交替排列的第一凸起结构 21 和第一凹陷结构 20。

35 本公开实施例中,第一凸起结构 21 在 Z 轴方向上的投影面积 S1 大于第一凹陷结构 20 在 Z 轴方向上的投影面积 S2。

40 在一些实施例中,第一凸起结构 21 可以是方形柱、多边形柱或者圆形柱,第一凹陷结构 20 可以是方形柱、多边形柱或者圆形柱。

在一些实施例中,请继续参考图 6a~6d,半导体结构 100 还包括:电容结构 22,电容结构 22 填充于锯齿形第一半导体柱 17 之间。电容结构 22 包括第一电极层 221、电介质层 222 和第二电极层 223。

45 在一些实施例中,半导体结构 100 还包括:导电层 23;导电层 23 填充于第二电极层 223 之间。

本公开实施例提供的半导体结构与上述实施例中的半导体结构的形成方法类似,对于本公开实施例未详尽披露的技术特征,请参照上述实施例进行理解,这里,不再赘述。

50 本公开实施例中,由于半导体结构中的电容结构为锯齿形,因此,电容结构电极之间的有效面积较大,电容结构电容量高,如此,可以提高感测放大器的感测效果,并且增大数据的保持时间。

在本公开所提供的几个实施例中,应该理解到,所揭露的设备和方法,可以通过非目标的方式实现。以上所描述的设备实施例仅仅是示意性的,例如,单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,如:多个单元或组件可以结合,或可以集成到另一个系统,或一些特征可以忽略,或不执行。另外,所显示或讨论的各组成部分相互之间的耦合、或直接耦合。

60 本公开所提供的几个方法或设备实施例中所揭露的特征,在不冲突的情况下可以任意组合,得到新的方法实施例或设备实施例。

65 以上,仅为本公开的一些实施方式,但本公开的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本公开揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本公开的保护范围之内。因此,本公开的保护范围应以权利要求的保护范围为准。

工业实用性

70 本公开实施例提供的半导体结构及其形成方法,由于电容结构形成于锯齿形第一半导体柱之间的空隙中,且锯齿形的第一半导体柱具有较大的表面积,因此,所形成的电容结构电极之间的有效面积较大,形成的电容结构的电容量高,如此,可以提高感测放大器的感测效果,并且增大数据的保持时间。

权利要求书

- 1、一种半导体结构的形成方法，包括：
提供半导体衬底；所述半导体衬底上形成有沿第一方向交替排布的叠层结构和隔离结构；
在所述叠层结构和所述隔离结构中形成支撑结构；
- 5 刻蚀所述叠层结构和所述隔离结构，形成多个沿所述第一方向和第二方向阵列排布的锯齿形第一半导体柱，所述锯齿形第一半导体柱之间形成有空隙；其中，所述锯齿形第一半导体柱包括沿第三方向依次交替排列的第一凸起结构和第一凹陷结构，且所述锯齿形第一半导体柱通过所述支撑结构支撑；所述第一方向、所述第二方向和所述第三方向两两相互垂直，且所述第二方向垂直于所述半导体衬底的上表面；
- 10 在所述空隙中形成电容结构。
- 2、根据权利要求1所述的方法，其中，所述叠层结构包括沿所述第二方向交替堆叠的第一半导体层和第二半导体层；所述锯齿形第一半导体柱通过以下步骤形成：
在所述叠层结构和所述隔离结构的表面形成具有特定图案的掩膜层；其中，所述特定图案包括沿第三方向依次排列的多个子图案，且所述子图案暴露出部分叠层结构和部分隔离结构；
- 15 对所述子图案暴露出的叠层结构中的第二半导体层进行减薄处理，以形成所述第一凹陷结构；其中，第二半导体层的未处理部分构成所述第一凸起结构；所述第一凸起结构在所述第三方向上的投影面积大于所述第一凹陷结构在所述第三方向上的投影面积。
- 3、根据权利要求2所述的方法，其中，在形成所述第一凹陷结构之前，所述方法还包括：
通过所述掩膜层，去除所述子图案暴露出的隔离结构和所述子图案暴露出的叠层结构中的所述
- 20 第一半导体层。
- 4、根据权利要求3所述的方法，其中，在形成所述第一凹陷结构之后，所述方法还包括：
依次去除所述掩膜层、剩余的所述第一半导体层和所述隔离结构。
- 5、根据权利要求2所述的方法，其中，所述叠层结构和所述隔离结构通过以下步骤形成：
在所述半导体衬底上形成初始叠层结构，其中，所述初始叠层结构包括交替堆叠的所述第一半
- 25 导体层和所述第二半导体层；
图形化所述初始叠层结构，形成所述叠层结构和隔离沟槽；
在所述隔离沟槽中填充隔离材料，形成所述隔离结构。
- 6、根据权利要求5所述的方法，其中，所述图形化所述初始叠层结构，形成所述叠层结构和隔离沟槽，包括：
- 30 在所述初始叠层结构的表面形成具有第一预设图案的第一掩膜层，所述第一预设图案包括沿所述第一方向依次排列的多个第一预设子图案，且所述第一预设图案暴露出部分初始叠层结构；
通过所述第一掩膜层刻蚀所述初始叠层结构，以去除所述第一预设子图案暴露出的所述初始叠层结构，形成所述叠层结构和所述隔离沟槽。
- 7、根据权利要求2至6任一项所述的方法，其中，所述在所述叠层结构和所述隔离结构中形成支撑结构，包括：
在所述叠层结构和所述隔离结构的表面形成具有第二预设图案的第二掩膜层；其中，所述第二预设图案暴露出部分叠层结构和部分隔离结构；
通过所述第二掩膜层，刻蚀去除暴露出的隔离结构和暴露出的叠层结构中的第二半导体层，形成刻蚀凹槽；
- 40 在所述刻蚀凹槽中填充支撑材料，形成所述支撑结构。
- 8、根据权利要求1所述的方法，其中，在所述空隙中形成电容结构，包括：
在所述锯齿形第一半导体柱的表面依次形成第一电极层、电介质层和第二电极层，以形成所述电容结构。
- 9、根据权利要求8所述的方法，其中，所述方法还包括：
在所述第二电极层之间的空隙中填充导电材料，形成导电层。
- 45 10、根据权利要求7所述的方法，其中，在形成所述第一凹陷结构之后，且在依次去除所述掩膜层、剩余的所述第一半导体层和所述隔离结构之前，所述方法还包括：
对所述第一凹陷结构进行圆柱化处理，形成第一圆柱。
- 11、根据权利要求10所述的方法，其中，在依次去除所述掩膜层、所述第一半导体层和所述隔离结构之后，所述方法还包括：
对所述第一凸起结构进行圆柱化处理，形成第二圆柱；所述第一圆柱和所述第二圆柱共同构成锯齿形第二半导体柱。
- 50 12、根据权利要求11所述的方法，其中，所述方法还包括：
在所述锯齿形第二半导体柱之间的空隙中形成电容结构，以形成所述半导体结构。
- 55 13、根据权利要求12所述的方法，其中，所述方法还包括：
对所述锯齿形第一半导体柱或者所述锯齿形第二半导体柱进行离子注入。

- 14、根据权利要求 13 所述的方法，其中，所述方法还包括：
在所述锯齿形第一半导体柱或者所述锯齿形第二半导体柱的表面形成金属硅化物。
- 15、一种半导体结构，所述半导体结构包括：
半导体衬底；
- 5 位于所述半导体衬底表面的多个锯齿形第一半导体柱和支撑结构；其中，多个所述锯齿形第一
半导体柱沿第一方向和第二方向阵列排布，且通过所述支撑结构支撑；所述锯齿形第一半导体柱包
括沿第三方向依次交替排列的第一凸起结构和第一凹陷结构；所述第一方向、所述第二方向和所述
第三方向两两相互垂直，且所述第二方向垂直于所述半导体衬底所在的平面；
 电容结构，填充于所述锯齿形第一半导体柱之间。
- 10 16、根据权利要求 15 所述的结构，其中，所述第一凸起结构在所述第三方向上的投影面积大于
所述第一凹陷结构在所述第三方向上的投影面积。
- 17、根据权利要求 15 或 16 所述的结构，其中，所述电容结构包括第一电极层、电介质层和第
二电极层；所述半导体结构还包括：导电层；
 所述导电层填充于所述第二电极层之间。
- 15