说 明 书

半导体结构及其形成方法

本申请要求于 2025 年 3 月 5 日提交中国专利局、申请号为 202510259590.8、申请名称为“半导体结构及其形成方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开实施例涉及半导体技术领域，尤其涉及一种半导体结构及其形成方法。

背景技术

动态随机存取存储器（DRAM）被广泛的用于数据的存储，DRAM 包括由晶体管与电容器组成的多个存储单元，这些存储单元布置成阵列，其中字线沿阵列的行延伸，位线沿阵列的列延伸，字线可与存储单元中的晶体管耦合。每一存储单元可通过字线中的一者与位线中的一者的组合来唯一寻址。

随着半导体器件集成度的增加，制造工艺也不断的更新，各工艺步骤之间的相互影响对产品良率变得越来越重要。

发明内容

本公开实施例提供具有更高良率的半导体结构及其形成方法。

本公开内容的技术精神所要解决的问题不限于以上提及的问题，并且本领域技术人员从以下描述将清楚地理解未提及的其它问题。

本公开的一些实施例提供了一种半导体结构，包括：衬底，该衬底具有器件区、第一隔离区以及第二隔离区，第二隔离区设置在器件区与第一隔离区之间；第二隔离区还设置有第一半导体材料区，第一半导体材料区邻近第一隔离区设置。

本公开实施例提供的半导体结构的器件区包括多个间隔排布的第二半导体材料区、与各第二半导体材料区对应设置的第一导电结构以及隔离各第一导电结构的隔离结构，在垂直于衬底的方向上，隔离结构的延伸深度小于第一隔离区或第二隔离区的延伸深度，第二隔离区的延伸深度不大于第一隔离区的延伸深度。

本公开实施例提供的半导体结构的器件区还包括第二导电结构，第二导电结构与多个第二半导体材料区对应设置，隔离结构还设置在各第一导电结构和第二导电结构之间，第二导电结构与对应的各第二半导体材料区连接。

本公开实施例提供的半导体结构的器件区中的第二导电结构的表面不低于第一隔离区以及第二隔离区的表面。

说 明 书

本公开实施例提供的半导体结构的第一隔离区包括至少一种隔离材料，第二隔离区包括至少两种隔离材料，第二隔离区中至少一种隔离材料与第一隔离区中的隔离材料不同。

本公开实施例提供的半导体结构的第一半导体材料区的至少一个表面不被第二隔离区的表面暴露。

本公开实施例提供的半导体结构的隔离结构包括至少两种隔离材料，且隔离结构中的隔离材料与第二隔离区中的隔离材料相同，隔离结构中至少一种隔离材料与第一隔离区的隔离材料不同。

本公开实施例还提供了一种半导体结构的形成方法，包括：提供衬底，图形化衬底，在衬底中形成第一隔离区；图形化衬底，在衬底中形成器件区和第二隔离区，第二隔离区设置在器件区与第一隔离区之间；其中，在图形化衬底形成第二隔离区时，位于第二隔离区的部分衬底被保留，形成第一半导体材料区，第一半导体材料区邻近第一隔离区设置。

本公开实施例提供的半导体结构的形成方法中，衬底具有第一表面和第二表面，第一表面和第二表面相对设置，图形化衬底，在衬底中形成器件区和第二隔离区，包括：图形化衬底的第一表面，在衬底中形成多个第一沟槽和第二沟槽，衬底被多个第一沟槽分割形成多个间隔排布的第二半导体材料区；填充各第一沟槽和第二沟槽，在各第一沟槽中形成隔离结构，在第二沟槽中形成第二隔离区；在隔离结构和各第二半导体材料区之间形成第一导电结构，第一导电结构、各第二半导体材料区以及隔离结构形成器件区；其中，在垂直于衬底的方向上，隔离结构的延伸深度小于第二隔离区的延伸深度或第一隔离区的延伸深度，第二隔离区的延伸深度不大于第一隔离区的延伸深度。

本公开实施例提供的半导体结构的形成方法还包括在器件区形成第二导电结构，包括：

减薄衬底的第二表面，使得器件区的部分衬底被保留，第一隔离区和第二隔离区的衬底被去除；在器件区被保留的衬底的表面形成第二导电结构，第二导电结构连接相应的各第二半导体材料区。

本公开实施例提供的半导体结构的形成方法中，在减薄衬底的第二表面时，以第一隔离区作为减薄停止区域。

本公开实施例提供的半导体结构的形成方法中，在减薄衬底的第二表面时，第二隔离区不被减薄，且第一半导体区的表面被第二隔离区的表面暴露。

本公开实施例所提供的半导体结构通过在邻近器件区的隔离区之中保留部分半导体材料区，补偿器件区和隔离区之间因为图案密度差异导致的尺寸差异，获得具有更高良率的半导体结构。

附图说明

说 明 书

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开实施例的实施例，并与说明书一起用于解释本公开实施例的原理。

图 1 为本公开实施例提供的半导体结构的形成方法的流程示意图。

图 2 为形成半导体结构的过程中对应的半导体结构的俯视图。

图 3 为本公开实施例提供的半导体结构的示意性剖面图。

图 4 为形成半导体结构的过程中对应的半导体结构的俯视图。

图 5 为本公开实施例提供的半导体结构的示意性剖面图。

图 6 为形成半导体结构的过程中对应的半导体结构的俯视图。

图 7 为本公开实施例提供的半导体结构的示意性剖面图。

图 8 为本公开实施例提供的半导体结构的示意性剖面图。

图 9 为本公开实施例提供的半导体结构的示意性剖面图。

图 10 为本公开实施例提供的半导体结构的示意性剖面图。

图 11 为本公开实施例提供的半导体结构的示意性剖面图。

图 12 为本公开实施例提供的半导体结构的示意性剖面图。

图 13 为本公开实施例提供的半导体结构的示意性剖面图。

通过上述附图，已示出本公开实施例明确的实施例，后文中将有更详细的描述。这些附图和文字描述并不是为了通过任何方式限制本公开实施例构思的范围，而是通过参考特定实施例为本领域技术人员说明本公开实施例的概念。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于解释相关公开，而非对该公开的限定。另外还需要说明的是，为了便于描述，附图中仅示出了相关的部分。除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序。

图 1 示出了根据一些实施例提供的形成半导体结构的示意性流程图。相应的形成半导体结构的方法包括以下步骤：

S11：提供衬底，图形化该衬底，在该衬底中形成第一隔离区。

说 明 书

S12：图形化该衬底，在该衬底中形成器件区和第二隔离区，第二隔离区设置在器件区与第一隔离区之间；其中，在图形化该衬底形成第二隔离区时，位于第二隔离区的部分衬底被保留，形成第一半导体材料区，第一半导体材料区邻近第一隔离区设置。

下面结合相应的附图对本公开实施例提供的半导体结构的形成方法进行详细说明。

首先执行S11，参见图2和图3，图2是本公开一些实施例所提供的半导体结构的示意性俯视图，图3是本公开一些实施例所提供的半导体结构的示意性剖视图。步骤S11中所提供的半导体结构包括衬底100，衬底100中具有第一隔离区200。设置在衬底100中的第一隔离区200主要用于分离衬底100，以将衬底100分为电性区和隔离区。如图2和图3所示，衬底100可以被分为器件区I和隔离区II，其中，器件区I为包含多条在Y方向上延伸、在X方向上彼此隔离的衬底100组成的电性区域，器件区I中的衬底100为后续形成半导体器件提供活性区域，器件区I中的各间隔的衬底100之间通过第一介质层300彼此隔离。隔离区II为包含衬底100的隔离区，第一隔离区200设置在隔离区II的衬底100上。图3分别示意出了沿着图2中沿A1-A2线和沿B1-B2线得出的剖面结构示意图，A1-A2线和B1-B2线分别平行于Y方向，X方向和Y方向彼此垂直，A1-A2线为沿着Y方向延伸，且虚设在衬底100中的横截面位置示意线，B1-B2线为沿着Y方向延伸，且虚设在相邻的衬底100之间的横截面位置示意线。

在一些实施例中，图形化衬底100，在衬底100中形成第一隔离区200的步骤可以采用掩膜沉积、光刻定义掩膜图形、蚀刻掩膜图形，将掩膜图形转移至衬底100中的方式来形成第一隔离区200。

在一些实施例中，衬底100可由各种类型的半导体材料制成或者可包括各种类型的半导体材料，包括例如硅、锗、Ⅲ至Ⅴ族或其他类型合适的材料。在一些实施例中，衬底100由硅(掺杂或非掺杂的)制成，在可替换实施例中，衬底100为绝缘体上硅(SOI)晶圆或碳化硅晶圆。作为替换，可对衬底100使用任何其他合适的半导体材料，例如半导体复合材料，诸如砷化镓(GaAs)、磷化铟(InP)，以及任何合适的三元半导体复合材料或四元半导体复合材料，诸如铟镓砷化物(InGaAs)。在这些实施例中，衬底100可为薄的或超薄的衬底或晶圆，例如具有的厚度介于约几个微米到约几百微米的范围内，例如介于约5μm到约100μm范围内，例如具有的厚度小于约100μm或者小于约50μm。

在一些实施例中，第一介质层300的材料可以是氧化硅、氮化硅、碳氮化硅等介质材料。第一隔离区200中填充的材料可以是氧化硅、氮化硅、碳氮化硅等绝缘介质材料或其他类型的介质材料。在一些实施例中，第一介质层300和第一隔离区200中包含相同的介质材料。

继续参见图3，在一些实施例中，衬底100具有第一表面100A和与第一表面100A相对

说 明 书

设置的第二表面100B，第一隔离区200沿着第一表面100A向第二表面100B延伸，在此延伸方向上，第一隔离区200具有第一延伸深度H1，第一延伸深度H1不大于第一区域Ⅰ的衬底100的延伸深度。在一些实施例中，器件区Ⅰ的衬底100的第一表面100A与第一隔离区200的表面共平面，即两者的表面齐平或基本齐平。在这些实施例中，第一介质层300也沿着垂直于X方向或Y方向的方向延伸，在此延伸方向上，第一介质层300在器件区Ⅰ中具有第二延伸深度H2，第二延伸深度H2可以等于或大致等于第一延伸深度H1，例如，两者的差值控制在10-20nm以内；第二延伸深度H2也可以小于第一延伸深度H1，例如，两者的差值大于20nm。

执行S12，以形成器件区、第二隔离区。在一些实施例中，形成器件区和第二隔离区包括以下步骤：

S121：图形化衬底的第一表面，在衬底中形成多个第一沟槽和第二沟槽，衬底被多个第一沟槽分割形成多个间隔排布的第二半导体材料区。

下面结合图4和图5对上述步骤进行详细说明。图4是本公开一些实施例所提供的半导体结构的示意性俯视图，图5是本公开一些实施例所提供的半导体结构的示意性剖视图。图形化衬底的第一表面，包括：在衬底100的第一表面100A上形成掩膜层400，掩膜层400还覆盖第一隔离区200的表面。在掩膜层400上形成掩膜图形，掩膜图形包括设置在器件区Ⅰ上的掩膜图形402和设置在第一隔离区200上的掩膜图形401。其中，器件区Ⅰ上的掩膜图形402之间设置有多个沟槽403，各个沟槽403暴露出掩膜层400的表面。第一隔离区200上的掩膜图形401中不设置沟槽，即，掩膜图形401完全覆盖第一隔离区200上的掩膜层400。在一些实施例中，掩膜图形402和掩膜图形401之间还设置有沟槽404，被沟槽404暴露的掩膜层400对应衬底100中的隔离区Ⅲ。图5分别示意出了沿着图4中沿A1-A2线和沿B1-B2线得出的剖面结构示意图，可以看出，掩膜图形402和沟槽403也同时形成在第一介质层300上。为了更清晰的说明掩膜图形与衬底的对应关系，图4中省略了掩膜层400。

在一些实施例中，沟槽403的宽度小于沟槽404的宽度。

在一些实施例中，隔离区Ⅲ上可以具有多个沟槽404，隔离区Ⅲ上的沟槽404的数量小于器件区Ⅰ上的沟槽403的数量。在本公开的实施例中，沟槽404的数量示意为1个，但并不限于此。

继续参见图6和图7，图6是本公开一些实施例所提供的半导体结构的示意性俯视图，图7是本公开一些实施例所提供的半导体结构的示意性剖视图。在形成沟槽403和沟槽404后，采用刻蚀工艺沿着沟槽403和沟槽404向下刻蚀衬底100和第一介质层300，在衬底100中形成第一沟槽101和第二沟槽103，第一沟槽101和第二沟槽103还同时形成在第一介质层300中。在Y方向上，第一沟槽101将器件区Ⅰ上的衬底100分割为多个彼此间隔排布的

说 明 书

第二半导体材料区 102；同时，第一沟槽 101 将第一介质层 300 分割为多个彼此间隔的介质结构 105。在形成第一沟槽 101 以及第二沟槽 103 之后，掩膜层 400 以及其上的各掩膜图形被去除。

在一些实施例中，第二半导体材料区 102 为与衬底 100 相同或不同的结构。

继续参见图 6 和图 7，在一些实施例中，沿着沟槽 404 向下刻蚀隔离区 III 上的衬底 100 形成第二沟槽 103 时，位于隔离区 III 上的部分衬底 100 被保留，形成第一半导体材料区 104。

在一些实施例中，在器件区 I 中，在 Y 方向上相邻的各第二半导体材料区 102 之间的第一沟槽 101 在沿着衬底 100 的第一表面 100A 向第二表面 100B 的方向上具有第三延伸深度 H3；在隔离区 III 中，在 Y 方向上相邻的第二半导体材料区 102 和第一半导体材料区 104 之间的第二沟槽 103 具有第四延伸深度 H4。此外，在器件区 I 中，在 Y 方向上相邻的各介质结构 105 之间的第一沟槽 101 具有第五延伸深度 H5；在隔离区 III 中，在 Y 方向上相邻的介质结构 105 与第一隔离区 200 之间的第二沟槽 103 具有第六延伸深度 H6。

在一些实施例中，第三延伸深度 H3 至第六延伸深度 H6 的值均小于第一延伸深度 H1。在另一些实施例中，第三延伸深度 H3 至第六延伸深度 H6 的值还同时小于第二延伸深度 H2。在上述实施例中，第三延伸深度 H3 小于第四延伸深度 H4，第五延伸深度 H5 小于第六延伸深度 H6，且第三延伸深度 H3 与第四延伸深度 H4 的差值控制在第一预定数值范围内，例如两者的差值在 10nm-50nm 之间，第五延伸深度 H5 与第六延伸深度的差值控制在第二预定数值范围内，例如两者的差值在 10-50nm 之间。在一些实施例中，在第三延伸深度 H3 小于第四延伸深度 H4，第五延伸深度 H5 小于第六延伸深度 H6 的同时，第三延伸深度 H3 小于第五延伸深度 H5，第四延伸深度 H4 小于第六延伸深度 H6。在另一些实施例中，第四延伸深度 H4 可以等于或大致等于第六延伸深度 H6，两者的差值控制在 10nm-50nm。

在这些实施例中，需要克服被刻蚀的物质不是单一组分而带来的刻蚀速率不同的问题。例如，在刻蚀工艺过程中，被刻蚀的对象包括衬底以及隔离各衬底的第一介质层，衬底和第一介质层表现出不同的蚀刻速率，比如，当衬底的材质为硅、第一介质层为氧化硅时，氧化硅的蚀刻速率大于硅的蚀刻速率，这就导致第四延伸深度和第六延伸深度存在差值，同时，由于器件区 I 中的掩膜图形的密度大于隔离区 III 中的掩膜图形的密度，根据蚀刻负载效应，第四延伸深度和第六延伸深度之间的差值将被进一步放大，两者之间的差值过大将会给后续工艺带来不良影响。这种隔离区 III 中的材料被过分刻蚀的现象甚至会导致第四延伸深度 H4 和第六延伸深度 H6 大于第一延伸深度 H1。为了改善这一问题，在这些实施例中，在形成位于第二半导体材料区与第一隔离区之间的第二沟槽时，部分衬底被保留在第二沟槽的侧壁形成第一半导体材料区，被保留的第一半导体材料区可以缓解在刻蚀形成第一沟槽和第二沟槽

时的蚀刻负载效应，缩短第四延伸深度和第六延伸深度，避免第四延伸深度或第六延伸深度超过第一延伸深度，提高后续工艺的可靠性。

在一些实施例中，第一半导体材料区 104 邻近第一隔离区 200 设置，如图 7 所示。即在刻蚀过程中，邻近第一隔离区 200 的部分衬底被保留，且此时第一半导体材料区 104 的表面低于第一隔离区 200 的表面。在另一些实施例中，第一半导体材料区 104 可以邻近第二半导体材料区设置，即在刻蚀过程中，邻近器件区 I 的部分衬底被保留。

在步骤 S121 之后，执行步骤 S122，填充各第一沟槽和第二沟槽，在各第一沟槽中形成隔离结构，在第二沟槽中形成第二隔离区。

下面结合图 8 和图 9 详细说明，图 8 和图 9 为本公开实施例提供的半导体结构的示意性剖视图。

首先参见图 8，采用第二介质层 301 和第三介质层 302 分别填充第一沟槽 101 和第二沟槽 103。第二介质层 301 和第三介质层 302 组成填充第一沟槽 101 和第二沟槽 103 的叠层结构，其中第二介质层 301 先于第三介质层 302 形成在第一沟槽 101 和第二沟槽 103 中。在一些实施例中，第二介质层 301 和第三介质层 302 为不同的材料，例如，第二介质层 301 可以是氧化硅、氮化硅、碳氮化硅等介质中的至少一种，第三介质层 302 为氧化硅、氮化硅、碳氮化硅等介质中的另一种。如图 8 所示，第二介质层 301 和第三介质层 302 还同时形成在第一隔离区 200 的表面。

继续参见图 9，在完成第一沟槽 101 和第二沟槽 103 的填充后，去除多余的第二介质层 301 和第三介质层 302，只保留位于第一沟槽 101 和第二沟槽 103 中的部分第二介质层 301 和第三介质层 302 以及位于第一隔离区 200 上的第二介质层 301 和第三介质层 302。保留在第一沟槽中的第二介质层 301 和第三介质层 302 形成位于第一沟槽中的隔离结构 31，保留在第二沟槽中的第二介质层 301 和第三介质层 302 形成位于第二沟槽中的第二隔离区 32。隔离结构 31 同时形成在器件区 I 中的各第二半导体材料区 102 之间以及各介质结构 105 之间；第二隔离区 32 同时形成在隔离区 III 中的第二半导体材料区 102 与第一隔离区 200 之间以及介质结构 105 与第一隔离区 200 之间。

在步骤 S122 之后，执行步骤 S123，在隔离结构和各第二半导体材料区之间形成第一导电结构，第一导电结构、各第二半导体材料区以及隔离结构形成器件区。

下面结合图 10 详细说明步骤 S123。图 10 为本公开实施例提供的半导体结构的示意性剖视图。

在形成隔离结构和第二隔离区之后，在器件区 I 中的各第二半导体材料区 102 之间形成第一导电结构 106，第一导电结构 106 包括多条，多条第一导电结构 106 沿着 X 方向延伸且

说 明 书

环绕包覆各第二半导体材料区 102，多条第一导电结构 106 在 Y 方向上彼此间隔。在这些实施例中，第一导电结构 106 与各第二半导体材料区 102 之间还设置有导通控制层 107，导通控制层 107 包覆各第二半导体材料区 102 的表面。在上述实施例中，第一导电结构还同时形成在器件区 I 中的各介质结构 105 之间。

在一些实施例中，各第二半导体材料区 102 与其对应的导通控制层 107 以及对应的第一导电结构 106 组成晶体管结构，即，第二半导体材料区 102 可以是有源区，导通控制层 107 可以是栅极介质层，第一导电结构 106 可以是栅极，组成的晶体管结构可以是 GAA（Gate All Around）晶体管。

在一些实施例中，为了在器件区 I 中形成第一导电结构 106，需要先在图 9 的基础上，沿着器件区 I 的衬底 100 的第一表面刻蚀去除部分第二介质层 301，进而在各第二半导体材料区 102 与第三介质层 302 之间形成空隙，同时 B1-B2 线上的各介质结构 105 和第二介质层 301 也被部分去除，进而在 B1-B2 线上的各第三介质层 302 之间形成空隙。在形成上述空隙后，回填介质层在上述空隙中，进而形成图 10 所示的介质结构 303，此时，介质结构 303 和第二介质层 301 以及第三介质层 302 组成各第一导电结构 106 的隔离结构 31，同时，介质结构 303 也形成在第二隔离区 32 中。在一些实施例中，介质结构 303 与第三介质层 302 的材质相同，例如都采用氧化硅、氮化硅、碳氮化硅中的一种，此时，在第二隔离区 32 中以及隔离结构 31 中，介质结构 303 与第三介质层 302 之间可能不能被直接区分，两者之间没有明显的界限。

在一些实施例中，在这些间隙中回填介质结构 303 时，A1-A2 线上的各间隙被完全填充，B1-B2 线上的各第三介质层 302 之间的空隙被部分填充，也就是说 B1-B2 线上的空隙只是被介质结构 303 部分填充，未被填充的空隙在后续步骤中用于继续向下刻蚀第二介质层 301 以及介质结构 105 的窗口，为后续形成的第一导电结构 106 提供空间。

继续参见图 10，在第一导电结构 106 形成后，此时的器件区 I 中包括第一导电结构 106、各第二半导体材料区 102 以及隔离各第二半导体材料区 102 以及各第一导电结构 106 的隔离结构，器件区 I 的隔离结构包括第二介质层 301、第三介质层 302 以及介质结构 303，由于器件区 I 中的第三介质层 302 与介质结构 303 采用相同的材料，因此在图 10 中用介质结构 303 同时标识出第三介质层 302 和介质结构 303。

继续参见图 7 和图 10，由于隔离结构和第二隔离区分别是填充第一沟槽 101 和第二沟槽 103 形成的，因此，在一些实施例中，在沿着衬底 100 的第一表面 100A 到第二表面 100B 的方向上，即垂直于衬底 100 的方向上，形成的隔离结构的延伸深度小于第二隔离区 32 的延伸深度或小于第一隔离区 200 的延伸深度。在一些实施例中，隔离结构的延伸深度同时小于第

一隔离区 200 和第二隔离区 32 的延伸深度。

继续参见图 10，在一些实施例中，在形成隔离结构、第二隔离区以及第一导电结构后，对半导体结构的表面进行平坦化处理，去除各个区域表面多余的物质，保持器件区 I、隔离区 II 以及隔离区 III 的表面齐平或基本齐平。

在这些实施例中，第一半导体材料区 104 邻近衬底 100 的第一表面 100A 的表面被第二隔离区 32 覆盖，即第一半导体材料区 104 的顶表面不被第二隔离区 32 暴露。在另一些实施例中，第一半导体材料区 104 的顶表面也可以被第二隔离区 32 暴露，即，第一半导体材料区 104 的顶表面与第二隔离区 32、第一隔离区 200 以及器件区 I 中的隔离结构的顶表面共平面。

在一些实施例中，在形成隔离结构、第二隔离区以及第一导电结构之后，还包括在器件区 I 中形成电荷存储结构。

下面结合图 11 详细描述形成电荷存储结构的过程。图 11 为本公开实施例提供的半导体结构的示意性剖视图。在形成的隔离结构以及第二隔离区的表面上分别沉积下电极 503、电介质层 502 和上电极 501，下电极 503 与器件区 I 中的各第二半导体材料区域 102 电性接触，电介质层 502 覆盖下电极 503 的表面，上电极 501 覆盖电介质层 502 的表面，上电极 501、下电极 503 以及电介质层 502 构成电荷存储结构，器件区 I 中的各第一导电结构 106 控制各第二半导体材料区 102 与电荷存储结构的开断，各第一导电结构 106 可以是 DRAM 存储结构的字线。各第二半导体材料区 102 负责为电荷存储结构中的电荷提供传输通道和电荷供应，各第二半导体材料区 102 可以是 DRAM 晶体管的有源区。

在一些实施例中，参见图 11，第一隔离区 200 和第二隔离区 32 上形成有隔离介质层 500，隔离介质层 500 用于将电荷存储结构与周边环境隔离。隔离介质层 500 可以采用与第一隔离区 200 相同或不同的材料，例如，隔离介质层 500 可以是氧化硅或氮化硅、碳氮化硅中的一种或多种。

在一些实施例中，执行步骤 S122 后，还包括执行步骤 S123，步骤 S123 包括在器件区形成第二导电结构，包括：减薄衬底的第二表面，使得器件区的部分衬底被保留，第一隔离区和第二隔离区的衬底被去除；在器件区被保留的衬底的表面形成第二导电结构，第二导电结构连接第二半导体材料区。

下面结合图 12 和图 13 详细描述步骤 S123。图 12 和图 13 为本公开实施例提供的半导体结构的示意性剖视图。在形成电荷存储结构之后，在将半导体结构翻转 180°，将衬底 100 的第二表面 100B 作为待处理的表面，将衬底 100 减薄。在此过程中，在 A1-A2 线上的衬底 100，即第二半导体材料区 102 的底部将被部分去除，被保留的部分衬底标记为衬底 108，同时第二隔离区 32 中的第一半导体材料区 104 的底部表面也将被部分去除，第一隔离区 200 上

说 明 书

的衬底以及在 B1-B2 线上的衬底 100 也将会被同步去除，直至暴露出介质结构 105。在一些实施例中，在上述减薄过程中，第一隔离区 200 的表面作为减薄停止区域，即当减薄时，接触到第一隔离区 200 时，减薄工艺将停止。在上述实施例中，第二隔离区 32 可能不被减薄，例如让减薄工艺停止在第二介质层 301；第二隔离区 32 也可以被减薄，例如让减薄工艺停止在第三介质层 302。

在对半导体结构进行减薄处理时，由于在前述工艺步骤中，通过在第二隔离区中保留部分第一半导体材料区的方式降低了器件区 I 中的隔离结构和/或第二隔离区与第一隔离区的延伸深度的差值，防止第二隔离区和隔离结构在朝向衬底的第二表面的方向上有更深的延伸深度，如果第二隔离区和隔离结构的延伸深度过深，在对衬底进行减薄时，随着减薄的进行，第二隔离区 32 和隔离结构会先于第一隔离区 200 甚至衬底 100 暴露，当它们被继续减薄后才进行到对衬底 100 和介质结构 105 的减薄，这就是使得在减薄工艺中需要进一步减薄隔离结构和/或第二隔离区中的介质，对减薄工艺引入严重的风险，不仅增加减薄工艺的成本，也会影响工艺的良率。例如，当以第一隔离区 200 作为减薄工艺停止区域时，只需要减薄器件区 I、隔离区 II 以及隔离区 III 的减薄衬底 100 即可，这是因为，此时的隔离结构、第二隔离区 32 等部分的延伸深度均不超过第一隔离区 200 的延伸深度，隔离结构以及第二隔离区 32 等不会对减薄工艺造成不良影响，减薄工艺稳定性更好。反之，隔离结构以及第二隔离区 32 等的延伸深度超过第一隔离区 200 时，减薄工艺需要同时减薄衬底 100、第二介质层 301 甚至第三介质层 302，此时的减薄工艺过程中，需要平衡硅衬底、第二介质层以及第三介质层三者的减薄均匀性，工艺难度极大提升。

在上述实施例中，减薄工艺可以采用化学机械研磨工艺实现或其他表面平坦化工艺。

继续参见图 13，在器件区 I 中被减薄后的衬底 108 上形成第二导电结构 109，第二导电结构 109 与衬底 108 直接接触连接。形成第二导电结构 109 的工艺可以采用导电薄膜沉积工艺，在导电薄膜沉积完成后可以进行退火处理，实现第二导电结构 109 与衬底 108 的高效电性连接，例如通过退火实现第二导电结构 109 与衬底 108 之间的欧姆接触。

在一些实施例中，第二导电结构 109 形成在与第二半导体材料区 102 对应的衬底 108 的表面上，在 X 方向上相邻的各第二半导体材料区 102 之间的区域，即介质结构 105 所在的区域不设置第二导电结构 109。第二导电结构 109 与第一导电结构 106 垂直排布，且第一导电结构 106 连接沿 X 方向延伸的多个第二半导体材料区 102，第二导电结构 109 连接沿 Y 方向延伸的多个第二半导体材料区 102，第二导电结构 109 用于实现对电荷存储结构中的电容的读写操作，第二导电结构 109 可以是 DRAM 存储结构的位线。第二导电结构 109 的数量同第一导电结构 106 一样，可以为多条，各第一导电结构 106 在 X 方向上延伸，在 Y 方向上间隔排

布，各第二导电结构 109 在 Y 方向上延伸，在 X 方向上间隔排布。

在一些实施例中，第一导电结构 106 的材质可以是钛、钨、钴、镍、铂、金等金属或其硅化物中的一种或多种，第二导电结构 109 的材质可以是钛、钨、钴、镍、铂、金等金属或其硅化物中的一种或多种。

继续参见图 13，在一些实施例中，在形成第二导电结构 109 后，在半导体结构的表面沉积隔离介质层 600，并在隔离介质层 600 中形成与器件区 I 中的第二导电结构 109 互连的接触垫 700，第二导电结构 109 通过接触垫 700 与其他功能单元实现互连。

在一些实施例中，在衬底减薄过程中，第一半导体材料区 104 的一个表面也被暴露，因此，第二导电结构 109 也可能形成在第一半导体材料区 104 的表面。

本公开一些实施例还提供了一种半导体结构，该半导体结构包括：衬底，该衬底具有器件区，第一隔离区以及第二隔离区，其中第二隔离区设置在器件区与第一隔离区之间；第二隔离区还设置有第一半导体材料区，第一半导体材料区邻近所述第一隔离区设置。

该半导体结构的结构示意图可参见图 13。如图所示，半导体结构包括器件区 I、隔离区 II 和隔离区 III，隔离区 III 设置在器件区 I 和隔离区 II 之间。器件区 I 中具有衬底 108，衬底 108 为半导体衬底；隔离区 II 中设置有第一隔离区 200，隔离区 III 中设置有第二隔离区 32，第二隔离区 32 中还设置有第一半导体材料区 104，第一半导体材料区 104 可以邻近第一隔离区 200 设置，也可以邻近器件区 I 设置。图 13 中示意出了第一半导体材料区 104 邻近第一隔离区 200 设置的情形。

在一些实施例中，第一半导体材料区 104 可以是衬底 108 的一部分或采用与衬底 108 相同的材质。

在一些实施例中，第一半导体材料区 104 形成在 A1-A2 线上相邻第二隔离区 32 和第一隔离区 200 之间，位于 B1-B2 线上相邻的第二隔离区 32 和第一隔离区 200 之间不形成第一半导体材料区 104。第一半导体材料区 104 至少一个表面不被第二隔离区 32 暴露，即第一半导体材料区 104 至少一个表面不暴露于隔离区 III 的表面上。A1-A2 线以及 B1-B2 线在半导体结构中的位置可参考图 3 及相应附图的描述。

在本公开实施例提供的半导体结构中，通过在邻近器件区的隔离区之中保留部分半导体材料区，补偿器件区和隔离区之间因为图案密度差异导致的尺寸差异，获得具有更高良率的半导体结构。

继续参见图 13，半导体结构的器件区 I 中包括多个在 X 方向和 Y 方向上彼此间隔排布的第二半导体材料区 102、与各第二半导体材料区 102 对应设置的第一导电结构 106 以及隔离各第一导电结构的隔离结构（301+302+303）。其中，沿着 Y 方向排布的各第二半导体材料区

说 明 书

102 共用衬底 108，沿着 X 方向排布的各第二半导体材料区 102 之间设置有介质结构 105，用于隔离 X 方向上的各第二半导体材料区 102。各第一导电结构 106 在 X 方向上延伸，且沿着 Y 方向彼此隔离，在 X 方向上延伸的每一条第一导电结构 106 与沿着 X 方向排布的每一行第二半导体材料区 102 对应连接设置，隔离结构设置在 X 方向上和 Y 方向上相邻的各第二半导体材料区 102 之间以及设置在 Y 方向彼此相邻的第一导电结构 106 之间，实现各第二半导体材料区 102 的隔离以及各第一导电结构 106 的隔离。

在一些实施例中，第一半导体材料区 104 和第二半导体材料区 102 均是来自于衬底 108 或采用与衬底 108 相同的材料。

在一些实施例中，隔离结构包括第二介质层 301 和介质结构 303，其中，靠近衬底 108 的隔离结构包括由第二介质层 301 和第三介质层 302 组成的叠层结构，远离衬底 108 的隔离结构包括由第三介质层 302 和介质结构 303 组成的复合结构。其中，第二介质层 301 和第三介质层 302 可以是不同的介质材料，例如第二介质层 301 是氧化硅，而第三介质层 302 是氮化硅，反之亦可。第三介质层 302 和介质结构 303 可以是相同的介质材料，例如两者都是氮化硅或氧化硅等介质材料。

在一些实施例中，第一隔离区 200 可以包括至少一种隔离材料，例如氮化硅或氧化硅，在另一些实施例中，第一隔离区 200 也可以包括两种及以上种类的隔离材料，以实现更好的隔离效果。

在一些实施例中，第二隔离区 32 包括至少两种隔离材料，例如由第二介质层 301 和第三介质层 302 组成的叠层结构。

在一些实施例中，在垂直于衬底 108 的方向上，即，在垂直于 X 方向和 Y 方向的方向上，隔离结构的延伸深度小于第一隔离区 200 或第二隔离区 32 的延伸深度，第二隔离区 32 的延伸深度不大于第一隔离区 200 的延伸深度。本公开实施例获得的半导体结构中的隔离结构与第一隔离区或第二隔离区的延伸深度差值可以进一步减小，还可以避免第二隔离区的延伸深度值过大，进而影响半导体结构的性能。

在一些实施例中，半导体结构的器件区 I 中还进一步包括第二导电结构 109，第二导电结构 109 与多个第二半导体材料区 102 对应设置。第二导电结构 109 有多条，且各第二导电结构 109 沿着 Y 方向延伸、在 X 方向上间隔排布，第二导电结构 109 与第一导电结构 106 垂直排布。各第二导电结构 109 分别连接在 Y 方向上排布的各第二半导体材料区 102。X 方向是行的各第二导电结构 109 之间通过介质结构 105 实现电隔离。第一导电结构 106 和第二导电结构 109 之间通过隔离结构，例如通过第二介质层 301 实现隔离。

在上述实施例提供的半导体结构中，器件区 I 中的第一导电结构 106 可以是字线，第二

说 明 书

导电结构 109 可以是位线，第二半导体材料区 102 可以是组成晶体管的有源区。器件区 I 中还包括导通控制层 107，导通控制层 107 可以是晶体管的栅介质层。

在一些实施例中，器件区 I 中还包括电荷存储结构，电荷存储结构由上电极 501、电介质层 502 以及下电极 503 组成，各电荷存储结构与对应的各第二半导体材料区 102 连接。电荷存储结构可以是 DRAM 电容器。

在一些实施例中，半导体结构中还包括设置在第一隔离区 200 和/或第二隔离区 32 上的隔离介质层 500，隔离介质层 500 进一步设置在电荷存储结构的外周，用于电荷存储结构的隔离。

在上述实施例中，第一导电结构 106 设置在第二导电结构 109 与电容存储结构之间。

在一些实施例中，半导体结构还包括隔离介质层 600，隔离介质层 600 设置在器件区 I、隔离区 II 以及隔离区 III 上，覆盖第二导电结构 109 和介质结构 105 以及第一隔离区 200 和第二隔离区 32。隔离介质层 600 中设置有接触垫 700，用于实现第二导电结构 109 与其他功能单元的互连。

在一些实施例中，第二导电结构 109 的表面不低于第一隔离区 200 以及第二隔离区 32 的表面，这里的第二导电结构 109 的表面指的是第二导电结构 109 远离衬底 108 的表面，第一隔离区 200 和第二隔离区 32 的表面也是指相同方向上的表面。

本领域的普通技术人员可以理解，上述各实施方式是实现本公开的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本公开实施例的精神和范围。任何本领域技术人员，在不脱离本公开实施例的精神和范围内，均可作各种改动与修改，因此本公开实施例的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种半导体结构，包括：

衬底，所述衬底具有器件区；

第一隔离区；

第二隔离区，所述第二隔离区设置在所述器件区与所述第一隔离区之间；

所述第二隔离区还设置有第一半导体材料区，所述第一半导体材料区邻近所述第一隔离区设置。

2. 根据权利要求 1 所述的半导体结构，其特征在于，所述器件区包括多个间隔排布的第二半导体材料区、与各所述第二半导体材料区对应设置的第一导电结构以及隔离各所述第一导电结构的隔离结构，在垂直于所述衬底的方向上，所述隔离结构的延伸深度小于所述第一隔离区或所述第二隔离区的延伸深度，所述第二隔离区的延伸深度不大于所述第一隔离区的延伸深度。

3. 根据权利要求 2 所述的半导体结构，其特征在于，所述器件区还包括第二导电结构，所述第二导电结构与多个所述第二半导体材料区对应设置，所述隔离结构还设置在各所述第一导电结构和所述第二导电结构之间，所述第二导电结构与对应的各所述第二半导体材料区连接。

4. 根据权利要求 3 所述的半导体结构，其特征在于，所述第二导电结构的表面不低于所述第一隔离区以及所述第二隔离区的表面。

5. 根据权利要求 1 所述的半导体结构，其特征在于，所述第一隔离区包括至少一种隔离材料，所述第二隔离区包括至少两种隔离材料，所述第二隔离区中至少一种隔离材料与所述第一隔离区中的隔离材料不同。

6. 根据权利要求 1 所述的半导体结构，其特征在于，所述第一半导体材料区的至少一个表面不被所述第二隔离区的表面暴露。

7. 根据权利要求 1 所述的半导体结构，其特征在于，所述衬底具有第一表面和与所述第一表面相对设置的第二表面，在邻近所述第一表面的方向上，所述第一半导体材料区的表面低于所述第二隔离区的表面。

8. 根据权利要求 1 所述的半导体结构，其特征在于，所述衬底具有第一表面和与所述第一表面相对设置的第二表面，所述第一隔离区沿着所述第一表面向所述第二表面延伸，在邻近所述第一表面的方向上，所述第一半导体材料区的表面低于所述第一隔离区的表面。

9. 根据权利要求 2 所述的半导体结构，其特征在于，所述隔离结构包括至少两种隔离材料，且所述隔离结构中的隔离材料与所述第二隔离区中的隔离材料相同，所述隔离结构中至少一种隔离材料与所述第一隔离区的隔离材料不同。

权 利 要 求 书

10. 根据权利要求 1 所述的半导体结构，其特征在于，所述衬底与所述第一半导体材料区为相同的结构。

11. 一种半导体结构的形成方法，包括：

提供衬底，图形化所述衬底，在所述衬底中形成第一隔离区；

图形化所述衬底，在所述衬底中形成器件区和第二隔离区，所述第二隔离区设置在所述器件区与所述第一隔离区之间；

其中，在图形化所述衬底形成所述第二隔离区时，位于所述第二隔离区的部分所述衬底被保留，形成第一半导体材料区，所述第一半导体材料区邻近所述第一隔离区设置。

12. 根据权利要求 11 所述的形成方法，其特征在于，所述衬底具有第一表面和第二表面，所述第一表面和所述第二表面相对设置，图形化所述衬底，在所述衬底中形成器件区和第二隔离区，包括：

图形化所述衬底的第一表面，在所述衬底中形成多个第一沟槽和第二沟槽，所述衬底被多个所述第一沟槽分割形成多个间隔排布的第二半导体材料区；

填充各所述第一沟槽和所述第二沟槽，在各所述第一沟槽中形成隔离结构，在所述第二沟槽中形成第二隔离区；

在所述隔离结构和各所述第二半导体材料区之间形成第一导电结构，所述第一导电结构、各所述第二半导体材料区以及所述隔离结构形成所述器件区；其中，

在垂直于所述衬底的方向上，所述隔离结构的延伸深度小于所述第二隔离区的延伸深度或所述第一隔离区的延伸深度，所述第二隔离区的延伸深度不大于所述第一隔离区的延伸深度。

13. 根据权利要求 12 所述的形成方法，其特征在于，还包括在所述器件区形成第二导电结构，包括：

减薄所述衬底的所述第二表面，使得所述器件区的部分所述衬底被保留，所述第一隔离区和所述第二隔离区的所述衬底被去除；

在所述器件区被保留的所述衬底的表面形成所述第二导电结构，所述第二导电结构连接相应的各所述第二半导体材料区。

14. 根据权利要求 13 所述的形成方法，其特征在于，在减薄所述衬底的所述第二表面时，以所述第一隔离区作为减薄停止区域。

15. 根据权利要求 13 所述的形成方法，其特征在于，在减薄所述衬底的所述第二表面时，所述第二隔离区不被减薄，且所述第一半导体区的表面被所述第二隔离区的表面暴露。