

内存条热插拔方法及装置、内存条

相关申请的交叉引用

5 本申请要求于 2022 年 05 月 18 日提交的申请号为 202210550689.X、名称为“内存条热插拔方法及装置、内存条”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

10 本公开涉及集成电路技术领域，具体而言，涉及一种内存条热插拔方法、内存条热插拔装置、内存条。

背景技术

DIMM (Dual-Inline-Memory-Modules，双列直插式存储模块) 内存条提供了 64 位的数据通道，得到了广泛应用。

15 一般情况下，在内存条的实际应用中，是无法进行热插拔的。一旦内存条出现异常，对内存条的更换必须在系统下电的情况下进行。

然而，通常系统的下电过程耗时较长，导致内存条的更换极不便利。

发明内容

20 根据本公开的第一方面，提供一种内存条热插拔方法，包括：在系统处于上电状态下，响应于异常内存条的更换按键的触发操作，将所述异常内存条上的数据复制到空闲内存条中；在所述数据复制完后，对所述异常内存条下电，更换所述异常内存条为新内存条；响应于所述新内存条的上电按键的触发操作，对所述新内存条上电。

25 在本公开的一种示例性实施方式中，所述对所述异常内存条下电，包括：拉低所述异常内存条对应的电源管理芯片使能信号，以使所述异常内存条下电。

在本公开的一种示例性实施方式中，在所述异常内存条下电后，所述方法还包括：将所述异常内存条从系统的内存映射表中移除。

在本公开的一种示例性实施方式中，在所述新内存条上电后，所述方法还包括：将所述新内存条添加到系统的内存映射表中。

30 在本公开的一种示例性实施方式中，所述方法还包括：根据异常数据的逻辑地址，确定所述异常内存条的物理地址。

在本公开的一种示例性实施方式中，所述将所述异常内存条上的数据复制到空闲内存条中，包括：停止对所述异常内存条的写入操作，通过读操作将所述异常内存条中的数据存入缓存中；将所述缓存中的数据写入所述空闲内存条中。

35 在本公开的一种示例性实施方式中，对所述新内存条上电，包括：拉高所述新内存条对应的电源管理芯片使能信号，以使所述新内存条上电。

40 根据本公开的第二方面，提供一种内存条热插拔装置，包括：数据复制模块，用于在系统处于上电状态下，响应于异常内存条上的更换按键的触发操作，将所述异常内存条上的数据复制到空闲内存条中；下电模块，用于在所述数据复制完后，对所述异常内存条下电，更换所述异常内存条为新内存条；上电模块，用于响应于所述新内存条上的上电按键的触发操作，对所述新内存条上电。

45 根据本公开的第三方面，提供一种内存条，包括：内存条本体和设置在所述内存条本体上的更换按键和上电按键；其中，所述更换按键和所述上电按键分别通过输入输出接口与中转器连接，所述中转器用于在所述输入输出接口发生电平转换时，将系统管理总线信号发送给 CPU；所述 CPU 用于在接收到所述系统管理总线信号后，对所述内存条上电或下电。

在本公开的一种示例性实施方式中，还包括第一电源和第一电阻；其中，所述输入输出接口通过所述更换按键接地，所述第一电源设置在所述输入输出接口和所述更换按键的连线上，所述第一电阻设置在所述第一电源的连接线上。

在本公开的一种示例性实施方式中，还包括第二电源和第二电阻；其中，所述输入输出接口通过所述上电按键接地，所述第二电源设置在所述输入输出接口和所述上电按键的连线上，所述第二电阻设置在所述第二电源的连接线上。

在本公开的一种示例性实施方式中，还包括第三电源；其中，所述输入输出接口接地，所述更换按键设置在所述第三电源和所述输入输出接口之间。

在本公开的一种示例性实施方式中，还包括第四电源；其中，所述输入输出接口接地，所述上电按键设置在所述第四电源和所述输入输出接口之间。

在本公开的一种示例性实施方式中，所述上电按键和所述更换按键均为开关。

在本公开的一种示例性实施方式中，所述 CPU 与所述内存条的电源管理芯片相连，所述 CPU 通过将电源管理芯片使能信号拉低，以控制所述内存条下电；所述 CPU 通过将所述电源管理芯片使能信号拉高，以控制所述内存条上电。

附图说明

图 1 示意性示出了根据本公开的示例性实施方式的一种内存条热插拔方法的流程图；

图 2 示意性示出了根据本公开的示例性实施方式的一种由异常数据确定异常内存条的流程图；

图 3 示意性示出了根据本公开的示例性实施方式的一种异常内存条上的数据复制流程图；

图 4 示意性示出了根据本公开的示例性实施方式的一种内存条热插拔方法的步骤流程图；

图 5 示意性示出了根据本公开的示例性实施方式的一种内存条热插拔装置的框图；

图 6 示意性示出了根据本公开的示例性实施方式的一种内存条结构示意图一；

图 7 示意性示出了根据本公开的示例性实施方式的一种内存条结构示意图二；

图 8 示意性示出了根据本公开的示例性实施方式的一种内存条结构示意图三；

图 9 示意性示出了根据本公开的示例性实施方式的一种插设上述内存条的主板的结构示意图。

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施方式使得本公开将更加全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。在下面的描述中，提供许多具体细节从而给出对本公开的实施方式的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而省略所述特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它情况下，不详细示出或描述公知技术方案以避免喧宾夺主而使得本公开的各方面变得模糊。

此外，附图仅为本公开的示意性图解，并非一定是按比例绘制。图中相同的附图标记表示相同或类似的部分，因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体，不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体，或在一个或多个硬件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

附图中所示的流程图仅是示例性说明，不是必须包括所有的步骤。例如，有的步骤还

可以分解，而有的步骤可以合并或部分合并，因此实际执行的顺序有可能根据实际情况改变。另外，下面所有的术语“第一”、“第二”、“第三”仅是为了区分的目的，不应作为本公开内容的限制。

DDR4 是第四代 DDR SDRAM 的简称，DDR5 是第五代 DDR SDRAM 的简称，DDR SDRAM 是英文 Double Data Rate SDRAM 的缩写，中文译为双倍速率 SDRAM，而 SDRAM 又是 Synchronous Dynamic Random Access Memory 的缩写，译为同步动态随机存取存储器，同步对象是系统时钟频率。因此，组合起来而言，DDR4 就是第四代双倍速率同步动态随机存取存储器，DDR5 就是第五代双倍速率同步动态随机存取存储器。从 DDR4 到 DDR5，DIMM 内存条的供电单元已经由主板上移动到了 DIMM 内存条上，每根 DIMM 内存条上的供电都是独立的。因此，可以对每个 DIMM 内存条进行单独上下电。

基于此，本公开实施例提供了一种内存条热插拔方法，应用于如 DDR5 这种可以对内存条进行独立供电的存储器，可以实现在不关闭系统的情况下，对异常内存条进行更换，实现一种内存条的热插拔方式。参照图 1，该内存条热插拔方法可以包括以下步骤：

步骤 S110，在系统处于上电状态下，响应于异常内存条的更换按键的触发操作，将所述异常内存条上的数据复制到空闲内存条中；

步骤 S120，在所述数据复制完后，对所述异常内存条下电，更换所述异常内存条为新内存条；

步骤 S130，响应于所述新内存条的上电按键的触发操作，对所述新内存条上电。

本公开示例性实施方式提供的内存条热插拔方法，可以在系统处于工作状态下，响应于异常内存条的更换按键的触发操作，先将异常内存条上的数据复制到空闲内存条中，并在数据复制完后，仅仅对异常内存条下电，接着，可以将异常内存条更换为新内存条；再响应于新内存条的上电按键的触发操作，可以完成对新内存条的上电。上述整个过程可以实现一种在系统处于工作状态下的异常内存条更换过程，也就是内存条的一种热插拔方法。

下面，结合具体的操作过程对上述内存条热插拔方法进行具体说明：

在步骤 S110 中，在系统处于上电状态下，响应于异常内存条的更换按键的触发操作，将所述异常内存条上的数据复制到空闲内存条中。

本公开示例性实施方式中，系统可以包括计算机系统或者服务器系统，是一种按人的要求接收和存储信息，自动进行数据处理和计算，并输出结果信息的机器系统。

系统通常需要存储数据，因此，系统也包含有内存条，系统在工作过程中，可以从内存条中读取数据，也可以将数据存储在内存条中。

本公开示例性实施方式中，系统处于上电状态可以是系统处于开机状态，也可以是系统正处于工作状态，例如，系统正在进行数据存取运算等状态。此处的系统处于上电状态还可以理解为系统不处于关闭状态，并且在整个的内存条热插拔过程中，无需关闭系统。

在实际应用中，异常内存条可以是发生数据读取错误的内存条，即在异常内存条中发现异常数据。在发现异常数据后，可以根据异常数据的逻辑地址，确定出异常内存条的物理地址。

参照图 2，示出了由异常数据确定异常内存条的流程图。如图 2 所示，当内存控制器发现内存数据中有异常数据时，内存控制器可以从逻辑地址映射区获取到异常数据的逻辑地址，内存控制器再根据逻辑地址和物理地址的转换关系，将异常数据的逻辑地址转换为异常内存条的物理地址，从而可以根据物理地址找到对应的内存条 DIMM。图 2 中，内存控制器中物理地址映射区与内存映射表中的内存条物理地址相对应。可以从物理地址映射区中的物理地址确定出具体的异常内存条。

本公开示例性实施方式中，更换按键可以是设置在异常内存条上的一个实体按键，也可以是增加在 BMC (Baseboard Management Controller) 界面上的一个虚拟按键。该更换按键通过中转器与系统的 CPU (Central Processing Unit, 中央处理器) 相连，并通过 Smbus

(System management bus, 系统管理总线) 或者 I3C (Improved Inter Integrated Circuit) 信号通知 CPU 或者 MC (Memory Controller, 内存控制器) 需要对相应的内存条进行下电更换。

5 在用户想要换下异常内存条, 并在按下更换按键后, 本公开实施例提供的内存条热插拔方法可以响应于更换按键的触发操作, 先将异常内存条中的数据复制到空闲内存条中, 以对异常内存条中的数据进行保存。其中, 对更换按键的触发操作可以是单击操作、双击操作、长按操作或者其他的触发操作, 本公开示例性实施方式对于触发操作的具体形式不作特殊限定。

10 在本公开的示例性实施方式中, 参照图 3, 示出了一种异常内存条上的数据复制流程图, 在异常内存条上的数据复制过程中, 首先, 需要停止对异常内存条的写入操作, 不再将新的数据写入到异常内存条中, 以防止数据丢失; 其次, 通过读操作 (read) 可以将异常内存条中的数据读取出来, 并将读取出来的数据存入到可以对数据进行暂时性存储的缓存中; 最后, 可以将缓存中的数据通过写操作 (write) 写入到异常内存条之外的空闲内存条中。其中, 此处的空闲内存条可以是存储有部分数据的正常内存条, 也可以是没有存储数据的正常内存条。

需要说明的是, 上述异常内存条的数据复制过程可以由内存控制器来执行。

在步骤 S120 中, 在所述数据复制完后, 对所述异常内存条下电, 更换所述异常内存条为新内存条。

20 本公开示例性实施方式中, 在将异常内存条中的数据复制到空闲内存条中后, 就可以对异常内存条进行下电操作。具体的下电操作可以是在 CPU 或者 MC 接收到 Smbus 或者 I3C 信号后, 可以通过拉低异常内存条对应的电源管理芯片使能信号, 来使异常内存条下电。其中, 电源管理芯片使能信号是电源管理芯片 (Power Management IC, PMIC) 进行工作时的使能 Enable 信号。

25 在实际应用中, 还可以通过指示灯指示异常内存条是否已经下电。例如, 将更换按键设置为具有双色指示灯的按键。在更换按键按下后, 指示灯变颜色, 则说明异常内存条已经下电。

在异常内存条下电后, 就可以对异常内存条进行更换, 换上新内存条, 此过程可以人为手动操作。

30 本公开示例性实施方式中, 在异常内存条下电后, 还需要将异常内存条从系统的内存映射表 Memory Mapping 中移除, 使系统中不再记录有该异常内存条。其中, 内存映射表是存储有内存条物理地址的记录表, 异常内存条通常需要从内存映射表中移除, 以便于系统可以从内存映射表中获取正常内存条的物理地址。

在步骤 S130 中, 响应于所述新内存条的上电按键的触发操作, 对所述新内存条上电。

35 本公开示例性实施方式中, 在将异常内存条更换为新内存条之后, 需要对新插上的新内存条有一个触发操作, 该触发操作可以是单击操作、双击操作、长按操作或者其他的触发操作, 本公开示例性实施方式对于触发操作的具体形式不作特殊限定。

响应于对新内存条上电按键的触发操作, 该上电按键可以通知 CPU 或者内存控制器对新内存条进行上电初始化。

40 本公开示例性实施方式中, 上电按键可以是设置在新内存条上的一个实体按键, 也可以是增加在 BMC 界面上的一个虚拟按键。该上电按键通过中转器与系统的 CPU 或者内存控制器相连, 并通过 Smbus 或者 I3C 信号通知 CPU 或者内存控制器需要对相应的内存条进行上电操作。

45 具体的上电操作可以是在 CPU 或者内存控制器接收到 Smbus 或者 I3C 信号后, 可以通过拉高新内存条对应的电源管理芯片使能信号, 来使新内存条上电。其中, 电源管理芯片使能信号是电源管理芯片 (Power Management IC, PMIC) 进行工作时的使能 Enable 信

号。

在实际应用中，还可以通过指示灯指示内存条是否已经上电。例如，将上电按键设置为具有双色指示灯的按键。在上电按键按下后，指示灯变颜色，则说明新内存条已经上电。

- 5 在实际应用中，在新内存条上电之后，系统还需要对新内存条进行初始化和调整，以使新内存条处于最佳工作状态，之后，系统可以将新内存条添加到系统的内存映射表中以供系统正常使用。其中，对新内存条进行初始化和调整属于常规技术手段，此处不再赘述。

10 本公开示例性实施方式提供的内存条热插拔方法，可以在系统处于上电状态下，响应于异常内存条更换按键的触发操作，在将异常内存条的数据复制到空闲内存条后，可以对异常内存条进行下电，并更换为新内存条，相当于对异常内存条的更换过程无需关闭系统，也就不存在更换过程中关闭系统所耗费的时间，从而可以减少异常内存条更换的耗时，在系统处于上电或工作状态时，实现一种异常内存条热插拔方式，为用户提供了便利。

15 参照图 4，示出了本公开示例性实施方式提供的内存条热插拔方法的步骤流程图。如图 4 所示，首先，进入步骤 S401，在系统处于上电状态下，触发异常内存条的更换按键；步骤 S402，响应于异常内存条的更换按键的触发操作，将异常内存条上的数据复制到空闲内存条中，简称为复制数据；步骤 S403，在数据复制完后，拉低电源管理芯片使能信号使异常内存条下电；步骤 S404，在异常内存条下电后，更换异常内存条为新内存条；步骤 S405，触发新内存条的上电按键；步骤 S406，响应于新内存条的上电按键的触发操作，对新内存条进行上电和初始化；步骤 S407，初始化后，将新内存条添加到系统的内存映射表中，以使新内存条可以正常工作。

20 另外，本公开示例性实施方式还提供了一种内存条热插拔装置。参照图 5，该内存条热插拔装置 500 包括：数据复制模块 510、下电模块 520、上电模块 530、移除模块 540、添加模块 550 和地址确定模块 560；其中，

25 数据复制模块 510，可以用于在系统处于上电状态下，响应于异常内存条上的更换按键的触发操作，将所述异常内存条上的数据复制到空闲内存条中；

 下电模块 520，可以用于在所述数据复制完后，对所述异常内存条下电，更换所述异常内存条为新内存条；

 上电模块 530，可以用于响应于所述新内存条上的上电按键的触发操作，对所述新内存条上电。

30 在本公开的一种示例性实施方式中，下电模块 520 可以用于拉低所述异常内存条对应的电源管理芯片使能信号，以使所述异常内存条下电。

 在本公开的一种示例性实施方式中，移除模块 540 可以用于将所述异常内存条从系统的内存映射表中移除。

35 在本公开的一种示例性实施方式中，添加模块 550 可以用于将所述新内存条添加到系统的内存映射表中。

 在本公开的一种示例性实施方式中，地址确定模块 560 可以用于根据异常数据的逻辑地址，确定所述异常内存条的物理地址。

40 在本公开的一种示例性实施方式中，数据复制模块 510，可以用于停止对所述异常内存条的写入操作，通过读操作将所述异常内存条中的数据存入缓存中；将所述缓存中的数据写入所述空闲内存条中。

 在本公开的一种示例性实施方式中，上电模块 530，可以用于拉高所述新内存条对应的电源管理芯片使能信号，以使所述新内存条上电。

 上述内存条热插拔装置中各个模块的具体细节已经在对应的内存条热插拔方法中进行了详细的描述，因此此处不再赘述。

45 进一步，为了实现上述的内存条热插拔方法，本公开示例性实施方式还提供了一种能

够应用该内存条热插拔方法的内存条，参照图 6，该内存条包括：内存条本体 610 和设置在内存条本体 610 上的更换按键 620 和上电按键 630；其中，

更换按键 620 和上电按键 630 分别通过输入输出接口 IO 与中转器 HUB640 相连，中转器 640 可以用于在输入输出接口 IO 发生电平转换时，将系统管理总线信号发送给 CPU，
5 也就是说，该中转器 640 需要与 CPU 相连，而 CPU 可以为系统中独立于内存条存在的元件。

该内存条需要通过中转器 640 与 CPU 连接，以通过 CPU 对内存条进行上电或下电。也就是说，CPU 在接收到系统管理总线信号后，就可以对内存条进行上电或下电操作。

在实际应用中，与更换按键 620 和上电按键 630 连接的输入输出接口 IO 可以是同一个 IO 芯片的不同 PIN 脚，其中一个 PIN 脚与更换按键 620 相连，另一个 PIN 脚与上电按键 630 相连。
10

在本公开示例性实施方式中，上述系统管理总线信号可以包括前述实施例所述的 Smbus 或 I3C 信号。

在本公开示例性实施方式中，输入输出接口 IO 发生电平转换可以是在触发更换按键 620 时，输入输出接口 IO 处的电平由高电平转换为低电平；或者是在触发更换按键 620 时，
15 输入输出接口 IO 处的电平由低电平转换为高电平。

另外，输入输出接口 IO 发生电平转换还可以是在触发上电按键 630 时，输入输出接口 IO 处的电平由高电平转换为低电平；或者是在触发上电按键 630 时，输入输出接口 IO 处的电平由低电平转换为高电平。

为了实现输入输出接口 IO 处的电平转换，参照图 7，内存条还可以包括第一电源 710 和第一电阻 720，其中，输入输出接口 IO 通过更换按键 620 接地，第一电源 710 设置在输入输出接口 IO 和更换按键 620 的连线上，以为输入输出接口 IO 提供高电平。在第一电源 710 的连接线上还设置有第一电阻 720，第一电阻 710 可以起到稳压作用。其中，第一电阻 720 的阻值大小可以根据实际情况设置，本公开示例性实施方式对此不作特殊限定。
20

本公开示例性实施方式中，在按下更换按键 620 后，输入输出接口 IO 会与接地端连通，使得输入输出接口 IO 处的电平由高电平转换为低电平。如图 7 所示，此处的输入输出接口 IO 可以为一个 IO 芯片的第一 PIN 脚 1。
25

在实际应用中，更换按键 620 可以是一个开关，按下更换按键 620 时可以导通输入输出接口 IO 和接地端。

本公开示例性实施方式中，继续如图 7 所示，内存条还可以包括第二电源 730 和第二电阻 740，其中，输入输出接口 IO 通过上电按键 630 接地，第二电源 730 设置在输入输出接口 IO 和上电按键 630 的连线上，以为输入输出接口 IO 提供高电平。在第二电源 730 的连接线上还设置有第二电阻 740，第二电阻 740 可以起到稳压作用。其中，第二电阻 740 的阻值大小可以根据实际情况设置，本公开示例性实施方式对此不作特殊限定。
30

本公开示例性实施方式中，在按下上电按键 630 后，输入输出接口 IO 会与接地端连通，使得输入输出接口 IO 处的电平由高电平转换为低电平。如图 7 所示，此处的输入输出接口 IO 可以为一个 IO 芯片的第二 PIN 脚 2。
35

在实际应用中，上电按键 630 可以是一个开关，按下上电按键 630 时可以导通输入输出接口 IO 和接地端。

本公开示例性实施方式还提供了另一种实现输入输出接口 IO 处的电平转换的方法，参照图 8，该内存条还可以包括第三电源 810，在该内存条中，输入输出接口 IO 直接接地，可以为输入输出接口 IO 提供低电平。另外，更换按键 620 设置在第三电源 810 和输入输出接口 IO 之间，当按下或者触发更换按键 620 时，第三电源 810 会与输入输出接口 IO 导通，从而使得输入输出接口 IO 处的电平由低电平转换为高电平。如图 8 所示，此处的输入输出接口 IO 可以为一个 IO 芯片的第一 PIN 脚 1。
40
45

在实际应用中，第三电源 810 旁边可以设置电阻，也可以不设置电阻，本公开示例性实施方式对此不作特殊限定。其中，电阻的阻值大小也可以根据实际情况设置，此处不作限定。

5 本公开示例性实施方式中，更换按键 620 可以为一个开关，在按下更换按键 620 后，可以导通第三电源 810 和输入输出接口 IO。

本公开示例性实施方式中，继续如图 8 所示，内存条还可以包括第四电源 820，在此内存条中，由于输入输出接口 IO 直接接地，输入输出接口 IO 处的电平起初为低电平。另外，通过将上电按键 630 设置在第四电源 820 和输入输出接口 IO 之间，在按下或者触发上电按键 630 时，第四电源 820 会与输入输出接口 IO 导通，从而使得输入输出接口 IO 处的电平由低电平转换为高电平。如图 8 所示，此处的输入输出接口 IO 可以为一个 IO 芯片的第二 PIN 脚 2。

本公开示例性实施方式中，上述的上电按键 630 也可以是一个开关，在按下上电按键 630 后，可以导通第四电源 820 和输入输出接口 IO。

15 本公开示例性实施方式中，为了通过 CPU 对内存条进行上电或下电，如图 6 所示，CPU 还需要与内存条的电源管理芯片 PMIC650 相连，CPU 通过将电源管理芯片使能信号拉低，就可以控制内存条下电；CPU 通过将电源管理芯片使能信号拉高，就可以控制内存条上电。

20 本公开示例性实施方式中，如图 7 和图 8 所示，输入输出接口 IO 通过中转器 HUB 连接在内存条的金手指上。金手指通过主板上的走线，从而使得中转器 HUB 与 CPU 连接，进而实现信号的传输。

本公开实施例提供的内存条，通过将输入输出接口与电源或接地端连接，可以在电源和接地端切换，从而实现了输入输出接口处的电平转换；在输入输出接口处发生电平转换时，中转器可以将系统管理总线信号发送给 CPU，通过 CPU 就可以对内存条进行上电或下电，从而可以实现异常内存条的下电更换以及新换上的内存条的上电，即可以用于上述实施例所述的内存条热插拔过程中。

25 参照图 9，提供了一种插设上述内存条的主板。在图 9 所示的主板上，每个内存条的供电电源 PMIC 已经由主板移到内存条上，如 DDR5 DIMM 条所示，每个 DIMM 上都有独立的 PMIC，从而可以对每个 DIMM 独立进行上下电。

30 另外，CPU 的每个通道（channel）的子内存控制器（Sub Memory Controller, SMC）也是独立的，一个 SMC 控制一个 DIMM。例如，如图 9 所示，CPU 上的 SMC0 控制 DIMM0，SMC1 控制 DIMM1。更换 DIMM0 时，只要 SMC0 来控制即可，更换 DIMM1 时，只要 SMC1 来控制即可。

35 因此，在其中一个内存条发生异常需要更换时，只要对该内存条进行下电操作即可，不会影响到其他内存条的正常使用，并且 CPU 也能正常工作；同样的，对于新换上的内存条也可以直接进行上电，而不会对其他内存条及 CPU 带来影响，进而为内存条的热插拔提供了基础。

在上述实施例中，可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件程序实现时，可以全部或部分地以计算机程序产品的形式来实现。该计算机程序产品包括一个或多个计算机命令。在计算机上加载和执行计算机程序命令时，全部或部分地产生按照本公开实施例所述的流程或功能。所述计算机可以是通用计算机、专用计算机、计算机网络、或者其他可编程装置。所述计算机命令可以存储在计算机可读存储介质中，或者从一个计算机可读存储介质向另一个计算机可读存储介质传输。所述计算机可读存储介质可以是计算机能够存取的任何可用介质或者是包含一个或多个可用介质集成的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质（例如，软盘、硬盘、磁带），光介质（例如，DVD）、或者半导体介质（例如固态硬盘（solid state disk, SSD））等。本

公开实施例中，计算机可以包括前面所述的装置。

- 5 尽管在此结合各实施例对本公开进行了描述，然而，在实施所要求保护的本公开过程中，本领域技术人员通过查看所述附图、公开内容、以及所附权利要求书，可理解并实现所述公开实施例的其他变化。在权利要求中，“包括”(comprising)一词不排除其他组成部分或步骤，“一”或“一个”不排除多个的情况。单个处理器或其他单元可以实现权利要求中列举的若干项功能。相互不同的从属权利要求中记载了某些措施，但这并不表示这些措施不能组合起来产生良好的效果。

- 10 尽管结合具体特征及其实施例对本公开进行了描述，显而易见的，在不脱离本公开的精神和范围的情况下，可对其进行各种修改和组合。相应地，本说明书和附图仅仅是所附权利要求所界定的本公开的示例性说明，且视为已覆盖本公开范围内的任意和所有修改、变化、组合或等同物。显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权利要求

1. 一种内存条热插拔方法, 包括:
在系统处于上电状态下, 响应于异常内存条的更换按键的触发操作, 将所述异常内存条上的数据复制到空闲内存条中;
在所述数据复制完后, 对所述异常内存条下电, 更换所述异常内存条为新内存条;
响应于所述新内存条的上电按键的触发操作, 对所述新内存条上电。
2. 根据权利要求 1 所述的方法, 其中, 所述对所述异常内存条下电, 包括:
拉低所述异常内存条对应的电源管理芯片使能信号, 以使所述异常内存条下电。
3. 根据权利要求 1 或 2 所述的方法, 其中, 在所述异常内存条下电后, 所述方法还包括:
将所述异常内存条从系统的内存映射表中移除。
4. 根据权利要求 1 所述的方法, 其中, 在所述新内存条上电后, 所述方法还包括:
将所述新内存条添加到系统的内存映射表中。
5. 根据权利要求 1 所述的方法, 其中, 所述方法还包括:
根据异常数据的逻辑地址, 确定所述异常内存条的物理地址。
6. 根据权利要求 1 所述的方法, 其中, 所述将所述异常内存条上的数据复制到空闲内存条中, 包括:
停止对所述异常内存条的写入操作, 通过读操作将所述异常内存条中的数据存入缓存中;
将所述缓存中的数据写入所述空闲内存条中。
7. 根据权利要求 1 所述的方法, 其中, 对所述新内存条上电, 包括:
拉高所述新内存条对应的电源管理芯片使能信号, 以使所述新内存条上电。
8. 一种内存条热插拔装置, 包括:
数据复制模块, 用于在系统处于上电状态下, 响应于异常内存条上的更换按键的触发操作, 将所述异常内存条上的数据复制到空闲内存条中;
下电模块, 用于在所述数据复制完后, 对所述异常内存条下电, 更换所述异常内存条为新内存条;
上电模块, 用于响应于所述新内存条上的上电按键的触发操作, 对所述新内存条上电。
9. 一种内存条, 包括: 内存条本体和设置在所述内存条本体上的更换按键和上电按键; 其中,
所述更换按键和所述上电按键分别通过输入输出接口与中转器连接, 所述中转器用于在所述输入输出接口发生电平转换时, 将系统管理总线信号发送给 CPU;
所述 CPU 用于在接收到所述系统管理总线信号后, 对所述内存条上电或下电。
10. 根据权利要求 9 所述的内存条, 其中, 还包括第一电源和第一电阻; 其中,
所述输入输出接口通过所述更换按键接地, 所述第一电源设置在所述输入输出接口和所述更换按键的连线上, 所述第一电阻设置在所述第一电源的连接线上。
11. 根据权利要求 9 所述的内存条, 其中, 还包括第二电源和第二电阻; 其中,
所述输入输出接口通过所述上电按键接地, 所述第二电源设置在所述输入输出接口和所述上电按键的连线上, 所述第二电阻设置在所述第二电源的连接线上。
12. 根据权利要求 9 所述的内存条, 其中, 还包括第三电源; 其中,
所述输入输出接口接地, 所述更换按键设置在所述第三电源和所述输入输出接口之间。
13. 根据权利要求 9 所述的内存条, 其中, 还包括第四电源; 其中,
所述输入输出接口接地, 所述上电按键设置在所述第四电源和所述输入输出接口之间。
14. 根据权利要求 9-13 中任一项所述的内存条, 其中, 所述上电按键和所述更换按

键均为开关。

15. 根据权利要求 9 所述的内存条，其中，所述 CPU 与所述内存条的电源管理芯片相连，所述 CPU 通过将电源管理芯片使能信号拉低，以控制所述内存条下电；

所述 CPU 通过将所述电源管理芯片使能信号拉高，以控制所述内存条上电。