

WO 2024/007399

PCT/CN2022/109993

占空比模块，配置为接收外部产生的数据时钟信号；对所述数据时钟信号进行占空比调节，输出内部时钟信号；

第一时钟产生模块，配置为接收所述内部时钟信号，基于所述内部时钟信号，输出第一读时钟信号；其中，所述第一读时钟信号为脉冲信号；

5 第二时钟产生模块，配置为在所述第一读时钟信号的存在期间，产生并输出第二读时钟信号；其中，所述第二读时钟信号仅存在一个电平状态变化沿；

选择模块，配置为接收所述第一读时钟信号和所述第二读时钟信号，将所述第一读时钟信号和所述第二读时钟信号的两者之一输出为目标读时钟信号。
10

在一些实施例中，所述时钟处理电路还包括检测模块和模式寄存器；其中，所述检测模块，配置为接收所述内部时钟信号，对所述内部时钟信号进行占空比检测，输出占空比参数；所述模式寄存器，配置为接收并存储所述占空比参数。

15 在一些实施例中，所述选择模块，具体配置为接收选择指示信号，在所述选择指示信号处于第一状态的情况下，将所述第一读时钟信号输出为目标读时钟信号；或者，在所述选择指示信号处于第二状态的情况下，将所述第二读时钟信号输出为目标读时钟信号。

20 在一些实施例中，所述存储器，配置为接收数据读指令；基于所述数据读指令，输出读数据信号，并通过所述时钟处理电路输出所述目标读时钟信号；其中，所述目标读时钟信号用于锁存所述读数据信号，且所述第二读时钟信号的电平状态变化沿指示所述读数据信号中有效数据的结束时刻。

25 在一些实施例中，所述存储器，还配置为在所述数据读指令为第一读指令的情况下，将所述选择指示信号置为第一状态；或者，在所述数据读指令为第二读指令的情况下，将所述选择指示信号置为第二状态；其中，所述第二读指令指示获取所述时钟处理电路中模式寄存器的占空比参数，所述第一读指令是指除所述第二读指令之外的数据读取指令。

30 在一些实施例中，所述存储器，还配置为在所述数据读指令为第一读指令的情况下，将所述选择指示信号置为第一状态；或者，在所述数据读

指令为第二读指令且所述内部时钟信号的占空比处于预设范围的情况下，将所述选择指示信号置为第一状态；或者，在所述数据读指令为第二读指令且所述内部时钟信号的占空比并非处于预设范围的情况下，将所述选择指示信号置为第二状态。

- 5 在一些实施例中，所述第一读时钟信号包括 8 个时钟周期，所述第二读时钟信号的电平状态变化沿与所述第一读时钟信号中的第 5 个时钟周期的上升沿对齐；其中，所述第二读时钟信号的电平状态变化沿是指所述第二读时钟信号由低电平状态变化为高电平状态。

10 在一些实施例中，所述占空比模块包括：接收模块，配置为从外部接收并输出所述数据时钟信号；调节模块，配置为对所述数据时钟信号进行占空比调节，输出所述内部时钟信号。

在一些实施例中，所述数据时钟信号为写时钟信号。

第二方面，本公开实施例提供了一种控制装置，所述控制装置与存储器连接；其中，

- 15 所述控制装置，配置为向所述存储器发送数据读指令；以及，接收所述存储器返回的读数据信号和目标读时钟信号，利用所述目标读时钟信号对所述读数据信号进行锁存处理；

20 其中，所述目标读时钟信号为第一读时钟信号或者第二读时钟信号，所述第一读时钟信号为脉冲信号，所述第二读时钟信号仅存在一个电平状态变化沿。

25 在一些实施例中，所述控制装置，具体配置为在所述数据读指令为第一读指令的情况下，接收所述存储器返回的第一读时钟信号，利用所述第一读时钟信号对所述读数据信号进行锁存处理；或者，在所述数据读指令为第二读指令的情况下，接收所述存储器返回的第二读时钟信号，利用所述第二读时钟信号的电平状态变化沿对所述读数据信号进行锁存处理；其中，所述存储器包括时钟处理电路，所述第二读指令指示获取所述时钟处理电路中模式寄存器的占空比参数，所述第一读指令指示除所述第二读指令之外的数据读取指令。

30 在一些实施例中，所述控制装置，还配置为在所述数据读指令为第二读指令的情况下，接收所述存储器返回的第一读时钟信号，利用所述第一

读时钟信号的电平状态变化沿对所述读数据信号进行锁存处理。

第三方面，本公开实施例提供了一种时钟处理方法，应用于存储器，所述方法包括：

接收外部产生的数据时钟信号；对所述数据时钟信号进行占空比调节，
5 确定内部时钟信号；

基于所述内部时钟信号，确定第一读时钟信号；其中，所述第一读时钟信号为脉冲信号；

在所述第一读时钟信号的存在期间，产生第二读时钟信号；其中，所述
第二读时钟信号仅存在一个电平状态变化沿；

10 将所述第一读时钟信号和所述第二读时钟信号的两者之一输出为目标读时钟信号。

在一些实施例中，所述存储器包括模式寄存器，所述方法还包括：

对所述内部时钟信号进行占空比检测，得到占空比参数；将所述占空
比参数存储至所述模式寄存器。

15 在一些实施例中，所述存储器与控制装置连接，所述将所述第一读时钟信号和所述第二读时钟信号的两者之一输出为目标读时钟信号，包括：

在接收到控制装置发送的第一读指令的情况下，基于所述第一读指令
确定读数据信号，并将所述第一读时钟信号确定为目标读时钟信号；在接
收到控制装置发送的第二读指令的情况下，基于所述第二读指令确定所述
20 读数据信号，并将所述第二读时钟信号确定为目标读时钟信号；其中，所
述目标读时钟信号用于锁存所述读数据信号，所述第二读指令指示获取所
述模式寄存器的占空比参数，所述第一读指令指示除所述第二读指令之外
的数据读取指令。

25 在一些实施例中，所述存储器与控制装置连接，所述将所述第一读时钟信号和所述第二读时钟信号的两者之一输出为目标读时钟信号，包括：

在接收到所述控制装置发送的第一读指令的情况下，基于所述第一读
指令确定读数据信号，并将所述第一读时钟信号确定为目标读时钟信号；
在接收到所述控制装置发送的第二读指令且所述占空比参数处于预设范围
的情况下，基于所述第二读指令确定读数据信号，并将所述第一读时钟信
30 号确定为目标读时钟信号；在接收到控制装置发送的第二读指令且所述占

空比参数并非处于预设范围的情况下，基于所述第二读指令确定所述读数据信号，并将所述第二读时钟信号确定为目标读时钟信号；其中，所述目标读时钟信号用于锁存所述读数据信号，所述第二读指令指示获取所述模式寄存器的占空比参数，所述第一读指令指示除所述第二读指令之外的数据读取指令。

第四方面，本公开实施例提供了一种电子设备，所述电子设备至少包括如第一方面所述的存储器和如第二方面所述的控制装置。

本公开实施例提供了一种存储器、控制装置、时钟处理方法和电子设备，存储器包括时钟处理电路，时钟处理电路包括：占空比模块，配置为接收外部产生的数据时钟信号；对数据时钟信号进行占空比调节，输出内部时钟信号；第一时钟产生模块，配置为接收内部时钟信号，基于内部时钟信号，输出第一读时钟信号；其中，第一读时钟信号为脉冲信号；第二时钟产生模块，配置为在第一读时钟信号的存在期间，产生并输出第二读时钟信号；其中，第二读时钟信号仅存在一个电平状态变化沿；选择模块，配置为接收第一读时钟信号和第二读时钟信号，将第一读时钟信号和第二读时钟信号的两者之一输出为目标读时钟信号。这样，在存储器的内部时钟信号发生占空比畸变的情况下，可以选择具有单个电平变化沿的第二读时钟信号作为目标读时钟信号，避免数据锁存失败。

附图说明

- 图 1 为 MRR 指令的操作时序示意图；
- 图 2 为一种时钟处理电路的结构示意图；
- 图 3 为一种读时钟信号的波形示意图；
- 图 4 为本公开实施例提供的一种存储器的结构示意图；
- 图 5 为本公开实施例提供的一种时钟处理电路的局部结构示意图一；
- 图 6 为本公开实施例提供的一种时钟处理电路的局部结构示意图二；
- 图 7 为本公开实施例提供的一种数据锁存处理的信号波形示意图；
- 图 8 为本公开实施例提供的一种时钟处理电路的工作过程示意图；
- 图 9 为本公开实施例提供的一种控制装置的结构示意图；
- 图 10 为本公开实施例提供的一种时钟处理方法的流程示意图；

图 11 为本公开实施例提供的一种电子设备的结构示意图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于解释相关申请，而非对该申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关申请相关的部分。

除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。

在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。

需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

DRAM（Dynamic Random Access Memory）：动态随机存取存储器

SDRAM（Synchronous Dynamic Random Access Memory）：同步动态随机存储器

MRR（Mode Register Read）：模式寄存器读指令

Mbps（Million bits per second）：兆比特每秒

NMOS（N-Metal-Oxide-Semiconductor）：N型沟道场效应晶体管

PMOS（P-Metal-Oxide-Semiconductor）：P型沟道场效应晶体管

在存储器（例如 DRAM）中，MRR 指令和正常读指令采用完全一样的操作时序。参见图 1，其示出了 MRR 指令的操作时序示意图。在图 1 中，T0、T1...用于标识不同的时钟周期，CK_c 和 CK_t 是一对差分时钟信号，CS 为片选信号，CA 为命令地址信号，COMMAND 指示操作指令，DQ[7:0] 为 8 位存储器的数据信号，DQ[15:0] 为 16 位存储器的数据信号，数据时钟信号 WCK 是电子设备的主机端（Host）发送给存储器的外部写时钟信号，

在不同的电路位置可能表现为单个信号或者一对差分时钟信号 WCK_c 和 WCK_t; 读时钟信号 RDQS 是存储器向电子设备输出的时钟信号, 在不同的电路位置可能表现为单个信号或者一对差分时钟信号 RDQS_c 和 RDQS_t。具体来说, 在存储器接收到 CPU 发送的 MRR 指令后, 生成数据信号 DQ (也可以称为读数据信号), 以及利用从外部接收的数据时钟信号 WCK 产生读时钟信号 RDQS。在数据读指令的执行过程中, 存储器将读数据信号 DQ 和读时钟信号 RDQS 共同返回给 CPU, 然后 CPU 利用读时钟信号 RDQS 锁存读数据信号 DQ, 从而获得需要的数据。另外, 图 1 为电子装置工程设计联合协会 (JEDEC) 标准规定的标准时序, 其中各信号的含义、相关变化的原理以及未经提及的部分名词缩写均可参照行业标准文件 JEDEC 进行理解, 且与本公开实施例的技术方案无关, 不会影响技术人员对本公开实施例的理解, 因此不作解释。

存储器中设置有时钟处理电路, 用于对数据时钟信号 WCK0 (包括一对互补的信号 WCK_c/WCK_t) 的占空比进行调整, 以使得数据时钟信号 WCK0 的占空比符合要求。参见图 2, 其示出了一种时钟处理电路的结构示意图。如图 2 所示, 在时钟处理电路中, 接收模块配置为从外部接收数据时钟信号 WCK0, 调节模块对数据时钟信号 WCK 进行占空比调整以得到内部时钟信号 WCK1, 检测模块配置为检测内部时钟信号 WCK1 的占空比参数并将其存储在模式寄存器中。同时, 在存储器进行占空比调整的过程中, CPU 发送 MRR 指令读取模式寄存器中的占空比参数, 从而决定下一步的操作。在一种示例的情况中, 如图 2 所示, 假设外部输入的数据时钟信号 WCK0 的占空比为 JEDEC 规定的上限 57%, 在占空比调整的初始步骤中, 占空比调节模块将数据时钟信号 WCK0 的占空比增加 7 个单位 (JEDEC 规定的上限, 且每个单位为 5 皮秒), 即增加了 35 皮秒, 相当于在 8533Mbps 的速度下将占空比增加 15%, 此时存储器中的内部时钟信号 WCK1 的占空比将高达 72%, 利用其产生的读时钟信号 RDQS 的占空比也将高达 72%。此时, 参见图 3, 其示出了一种读时钟信号的波形示意图。如图 3 所示, 占空比高达 72% 的读时钟信号 RDQS 在传输过程中经过通道衰减, 在到达 CPU 接收端时会严重畸变, 导致很难被 CPU 正确识别, 即 MRR 指令可能得到错误的数据, 最终导致占空比调整失败。如果存储器的速度

更高，这一问题将更加严重。

基于此，本公开实施例提供了一种存储器，该存储器包括时钟处理电路，时钟处理电路包括：占空比模块，配置为接收外部产生的数据时钟信号；对数据时钟信号进行占空比调节，输出内部时钟信号；第一时钟产生模块，配置为接收内部时钟信号，基于内部时钟信号，输出第一读时钟信号；其中，第一读时钟信号为脉冲信号；第二时钟产生模块，配置为在第一读时钟信号的存在期间，产生并输出第二读时钟信号；其中，第二读时钟信号仅存在一个电平状态变化沿；选择模块，配置为接收第一读时钟信号和第二读时钟信号，将第一读时钟信号和第二读时钟信号的两者之一输出为目标读时钟信号。这样，在存储器的内部时钟信号发生占空比畸变的情况下，可以选择具有单个电平变化沿的第二读时钟信号作为目标读时钟信号，避免数据锁存失败。

下面将结合附图对本公开各实施例进行详细说明。

在本公开的一实施例中，参见图 4，其示出了本公开实施例提供了一种存储器 10 的结构示意图。如图 4 所示，存储器 10 包括时钟处理电路 20，时钟处理电路 20 包括：

占空比模块 21，配置为接收外部产生的数据时钟信号；对数据时钟信号进行占空比调节，输出内部时钟信号；

第一时钟产生模块 22，配置为接收内部时钟信号，基于内部时钟信号，输出第一读时钟信号；其中，第一读时钟信号为脉冲信号；

第二时钟产生模块 23，配置为在第一读时钟信号的存在期间，产生并输出第二读时钟信号；其中，第二读时钟信号仅存在一个电平状态变化沿；

选择模块 24，配置为接收第一读时钟信号和第二读时钟信号，将第一读时钟信号和第二读时钟信号的两者之一输出为目标读时钟信号。

需要说明的是，本公开实施例中存储器 10 可以为多种类型的半导体存储器，例如 DRAM、SDRAM、双倍速率 DRAM、低功率双倍速率 DRAM 等。

在存储器 10 中同时设置有第一时钟产生模块 22 和第二时钟产生模块 23，第一时钟产生模块 22 可以根据从外部接收的数据时钟信号产生存在多个脉冲的第一读时钟信号，第二时钟产生模块 23 可以在产生仅存在一个电

平状态变化沿的第二读时钟信号。这样，在不同的工作场景下，可以选择第一读时钟信号或者第二读时钟信号作为目标读时钟信号发送到 CPU，以便实现数据锁存处理。特别地，由于第二读时钟信号并不会受到内部时钟信号发生占空比畸变的影响，在内部时钟信号的占空比畸变较大的场景中依然可以保证数据的正确锁存。

在这里，第二读时钟信号的具体波形和产生过程具有多种可能，本公开实施例后续仅作为示例而不构成具体限定。特别地，第二读时钟信号的电平变化沿与读数据信号中有效数据的结束时刻同步，或者第二读时钟信号的电平变化沿提前于读数据信号中有效数据的结束时刻，从而保证有效数据的正确锁存。另外，电平变化沿可以是上升沿（即第二读时钟信号由低电平变化为高电平）或下降沿（即第二读时钟信号由高电平变化为低电平）。

需要说明的是，如图 5 所示，占空比模块 21 包括接收模块 211 和调节模块 212 两个部分，具体实现可以参见后续描述；第一时钟产生模块 22 可以由逻辑器件和延迟单元构成，以实现延迟匹配且符合 JEDEC 标准规定的标准时序；第二时钟产生模块 23 可以由 D 型触发器和反相器组成的分频器构成，选择模块 24 可以通过二选一数据选择器实现。

在一些实施例中，数据时钟信号为从外部接收的写时钟信号，后续表示为 WCK0；内部时钟信号为存储器内部经过占空比调整的写时钟信号，后续表示为 WCK1；目标读时钟信号为读操作数据选通信号，后续表示为 RDQS；读数据信号可以表示为 DQ。

在一些实施例中，如图 5 所示，时钟处理电路 20 还包括检测模块 25 和模式寄存器 26；其中，检测模块 25，配置为接收内部时钟信号 WCK1，对内部时钟信号 WCK1 进行占空比检测，输出占空比参数；模式寄存器 26，配置为接收并存储占空比参数。

需要说明的是，检测模块 25 可以由逻辑门、传输门、电容以及信号比较器构成。

在一些实施例中，如图 6 所示，选择模块 24，具体配置为接收选择指示信号，在选择指示信号处于第一状态的情况下，将第一读时钟信号输出为目标读时钟信号 RDQS；或者，在选择指示信号处于第二状态的情况下，

将第二读时钟信号输出为目标读时钟信号 RDQS。

在这里，选择模块 24 可以为二选一数据选择器，从而根据选择指示信号的状态输出第一读时钟信号或者输出第二读时钟信号。

在一些实施例中，存储器 10，配置为接收数据读指令；基于数据读指令，输出读数据信号 DQ，并通过时钟处理电路 20 输出目标读时钟信号 RDQS；其中，目标读时钟信号 RDQS 用于锁存读数据信号 DQ，且第二读时钟信号的电平状态变化沿指示读数据信号 DQ 中有效数据的结束时刻。

也就是说，在包含存储器 10 的电子设备中，电子设备的 CPU 向存储器 10 下发操作指令，以便实现数据写入或者数据读出。在数据读出的过程中，CPU 向存储器 10 发送数据读指令，存储器 10 根据数据读指令生成读数据信号 DQ（携带有 CPU 所需要读取的参数），并通过时钟处理电路 20 产生目标读时钟信号 RDQS。这样，读数据信号 DQ 和目标读时钟信号 RDQS 均被发送至 CPU，以便 CPU 利用目标读时钟信号 RDQS 对读数据信号进行锁存，后续译码得到需要的参数。

在本公开实施例中，将数据读指令划分为两种类型，即第一读指令和第二读指令。第二读指令指示获取时钟处理电路 20 中模式寄存器 26 的占空比参数，第一读指令是指除第二读指令之外的数据读取指令。

在一种具体的实施例中，存储器 10，还配置为在数据读指令为第一读指令的情况下，将选择指示信号置为第一状态；或者，在数据读指令为第二读指令的情况下，将选择指示信号置为第二状态。

如前述，在数据读指令用于读取模式寄存器 26 中的占空比参数的情况下，存储器 10 可能处于占空比调整的过程中，在某些情况下内部时钟信号 WCK1 已经发生畸变，例如内部时钟信号 WCK1 的占空比可能高达 72%，此时第一读时钟信号也将发生畸变，CPU 利用第一读时钟信号对读数据信号 DQ 进行锁存可能会得到错误结果。对于本公开实施例来说，在数据读指令用于读取模式寄存器 26 中的占空比参数的情况下，将第二读时钟信号输出为目标读时钟信号 RDQS，由于第二读时钟信号仅有一个电平变化沿，并不会受到内部时钟信号 WCK1 的占空比畸变的影响，因此 CPU 可以利用第二读时钟信号中的电平变化沿对数据信号进行锁存，从而获得正确的占空比参数。

另外，为了节约功耗，在数据读指令为第一读指令的情况下，第二时钟产生模块 23 可以是不使能的，即第二时钟产生模块 23 不工作，从而达到减少电流和功耗的目的。

在另一种具体的实施例中，存储器 10，还配置为在数据读指令为第一读指令的情况下，将选择指示信号置为第一状态；或者，在数据读指令为第二读指令且内部时钟信号 WCK1 的占空比处于预设范围的情况下，将选择指示信号置为第一状态；或者，在数据读指令为第二读指令且内部时钟信号 WCK1 的占空比并非处于预设范围的情况下，将选择指示信号置为第二状态。

也就是说，在数据读指令用于读取模式寄存器 26 中的占空比参数的情况下，如果内部时钟信号 WCK1 的占空比是符合要求的，此时第一读时钟信号并不会畸变，此时 CPU 仍然可以利用第一读时钟信号对读数据信号进行锁存。

以下以 DRAM 的突发长度为 16，且具有 16 个 DQ 端作为示例，说明第二读时钟信号的具体波形和读数据信号的锁存过程。

针对第二读指令，读数据信号 DQ 的前 8 位携带有效数据，表示为 DQ<7:0>。根据 JEDEC 标准的规定，在目标读时钟信号 RDQS 的前 8 拍（前 4 个时钟周期）传输模式寄存器的参数值（MR Content），后 8 拍（后 4 个时钟周期）传输不关心的数据（Valid）。此时，第一读时钟信号包括 8 个时钟周期，第二读时钟信号的电平状态变化沿与第一读时钟信号中的第 5 个时钟周期的上升沿对齐；其中，第二读时钟信号的电平状态变化沿是指第二读时钟信号由低电平状态变化为高电平状态。

也就是说，如图 7 中的（1）所示，如果利用第一读时钟信号作为目标读时钟信号 RDQS，CPU 将利用目标读时钟信号 RDQS 的信号沿对读数据信号 DQ<7:0>进行锁存，前 4 个时钟周期锁存的数据为 MR Content，后 4 个时钟周期锁存的数据 Valid 不作使用；如图 7 中的（2）所示，如果利用第二读时钟信号作为目标读时钟信号 RDQS，CPU 将利用第二读时钟信号中的上升沿对读数据信号 DQ<7:0>进行锁存，得到 MR Content。

在一些实施例中，如图 5 或者图 6 所示，占空比模块 21 包括：接收模块 211，配置为从外部接收并输出数据时钟信号 WCK0；调节模块 212，配

置为对数据时钟信号 WCK0 进行占空比调节，输出内部时钟信号 WCK1。

需要说明的是，调节模块 212 配置为占空比调节。在占空比调节开始时，调节模块 212 的默认设置会导致数据时钟信号 WCK0 的占空比增加一定值，根据 JEDEC 的规定，占空比增加的上限为 7 个单位（Step），即 35 皮秒。

接收模块 211 可以通过由 NMOS 和 PMOS 等器件构成的信号接收器实现，调节模块 212 可以通过级联的延迟单元组成，每个延迟单元由 NMOS 和 PMOS 构成，从而实现数据时钟信号 WCK0 中上升沿的向前/向后调整，和/或，实现数据时钟信号 WCK0 中下降沿的向前/向后调整，最终调整数据时钟信号 WCK0 的占空比。

以下提供一种可能出现的工作场景，对本公开实施例的技术效果进行说明。如图 8 中的（a）所示，外部产生的数据时钟信号 WCK0 的占空比为 57%，在占空比调节过程开始时，默认将数据时钟信号 WCK0 的占空比增加 7 个单位（35 皮秒），如果存储器的速度为 8633Mbps，此时内部时钟信号 WCK1 的占空比将在数据时钟信号 WCK0 的基础上继续增加 15%，即内部时钟信号 WCK1 的占空比将高达 72%。如图 8 中的（b）所示，此时 CPU 向存储器发送第二读指令，选择指示信号将被置为第二状态，存储器 10 将具有单个信号沿的第二读时钟信号作为目标读时钟信号 RDQS，从而 CPU 可以利用第二读时钟信号对读数据信号 DQ<7:0>进行锁存，获得正确的占空比参数，保证占空比调整操作的成功。

综上所述，本公开实施例提供了一种存储器，该存储器包括时钟处理电路，时钟处理电路包括：占空比模块，配置为接收外部产生的数据时钟信号；对数据时钟信号进行占空比调节，输出内部时钟信号；第一时钟产生模块，配置为接收内部时钟信号，基于内部时钟信号，输出第一读时钟信号；其中，第一读时钟信号为脉冲信号；第二时钟产生模块，配置为在第一读时钟信号的存在期间，产生并输出第二读时钟信号；其中，第二读时钟信号仅存在一个电平状态变化沿；选择模块，配置为接收第一读时钟信号和第二读时钟信号，将第一读时钟信号和第二读时钟信号的两者之一输出为目标读时钟信号。这样，在内部时钟信号发生占空比畸变的情况下，可以选择具有单个电平变化沿的第二读时钟信号作为目标读时钟信号，避

免数据锁存失败。

在本公开的另一实施例中，参见图 9，其示出了本公开实施例提供的一种控制装置 30 的结构示意图。如图 9 所示，控制装置 30 与存储器 10 连接；其中，

5 控制装置 30，配置为向存储器 10 发送数据读指令；以及，接收存储器 10 返回的读数据信号 DQ 和目标读时钟信号 RDQS，利用目标读时钟信号 RDQS 对读数据信号 DQ 进行锁存处理；其中，目标读时钟信号 RDQS 为第一读时钟信号或者第二读时钟信号，第一读时钟信号为脉冲信号，第二读时钟信号仅存在一个电平状态变化沿。

10 需要说明的是，控制装置 30 可以为 CPU。具体来说，控制装置 30 通过存储器 10 的内存控制器（Controller）发送指令，以读取存储器 10 中的模式寄存器/存储阵列的数据。具体来说，在读取存储器 10 的数据时，CPU 通过命令总线 and 数据总线将数据读指令发送给存储器，存储器 10 对数据读指令进行解析并执行相应的读操作，以便得到读数据信号。除此之外，存
15 储器还会产生目标读时钟信号，以便控制装置 30 利用目标读时钟信号 RDQS 对读数据信号 DQ 进行锁存处理，获得所需要的数据。

请结合图 4~图 6，在本公开实施例中，控制装置 30 从存储器 10 处接收到的目标读时钟信号 RDQS 可能具有多个脉冲或者仅存在一个电平状态变化沿。也就是说，在第一读时钟信号的占空比畸变时，存储器 10 将仅有一个电平状态变化沿的第二读时钟信号作为目标读时钟信号 RDQS 发送给
20 控制装置 30，以将读数据信号 DQ 进行正确锁存。

在一种具体的实施例中，控制装置 30，具体配置为在数据读指令为第一读指令的情况下，接收存储器 10 返回的第一读时钟信号，利用第一读时钟信号对读数据信号 DQ 进行锁存处理；或者，在数据读指令为第二读指令的情况下，接收存储器 10 返回的第二读时钟信号，利用第二读时钟信号的电平状态变化沿对读数据信号 DQ 进行锁存处理。
25

需要说明的是，存储器 10 包括时钟处理电路 20，第二读指令指示获取时钟处理电路 20 中模式寄存器的占空比参数，第一读指令指示除第二读指令之外的数据读取指令。

30 这样，在数据读指令为第二读指令的情况下，存储器 10 可能处于占空

比调整的过程，存储器 10 中的内部时钟信号 WCK1 可能是畸变的，即第一读时钟信号是畸变的，可以采用第二读时钟信号作为目标读时钟信号 RDQS，以便控制装置 30 能够获取正确的占空比参数。反之，在数据读指令为第一读指令的情况下，存储器中的内部时钟信号 WCK1 和第一读时钟信号均是正常的，因此，可以采用第一读时钟信号作为目标读时钟信号 RDQS，控制装置 30 可以获得正确的结果。

在另一种具体的实施例中，控制装置 30，还配置为在数据读指令为第二读指令的情况下，接收存储器 10 返回的第一读时钟信号，利用第一读时钟信号的电平状态变化沿对读数据信号 DQ 进行锁存处理。

10 这样，在数据读指令为第二读指令的情况下，存储器 10 中的内部时钟信号 WCK1 和第一读时钟信号仍然可能是正常的，所以存储器 10 仍然可以采用第一读时钟信号作为目标读时钟信号 RDQS。

本公开实施例提供了一种控制装置，该控制装置与存储器连接；控制装置，配置为向存储器发送数据读指令；以及，接收存储器返回的读数据信号和目标读时钟信号，利用目标读时钟信号对读数据信号进行锁存处理；其中，目标读时钟信号为第一读时钟信号或者第二读时钟信号，第一读时钟信号为脉冲信号，第二读时钟信号仅存在一个电平状态变化沿。这样，在内部时钟信号发生占空比畸变的情况下，可以利用具有单个电平变化沿的第二读时钟信号对读数据信号进行锁存，避免数据锁存失败。

20 在本公开的又一实施例中，参见图 10，其示出了本公开实施例提供的一种时钟处理方法的流程示意图。如图 10 所示，该方法包括：

S401：接收外部产生的数据时钟信号；对数据时钟信号进行占空比调节，确定内部时钟信号。

25 S402：基于内部时钟信号，确定第一读时钟信号；其中，第一读时钟信号为脉冲信号。

S403：在第一读时钟信号的存在期间，产生第二读时钟信号；其中，第二读时钟信号仅存在一个电平状态变化沿。

S404：将第一读时钟信号和第二读时钟信号的两者之一输出为目标读时钟信号。

30 需要说明的是，该方法应用于前述的存储器 10。这样，存储器 10 可以

同时产生第一读时钟信号和第二读时钟信号，在不同的工作场景下，可以选择第一读时钟信号或者第二读时钟信号作为目标读时钟信号 RDQS 发送到 CPU，以便实现数据信号的锁存处理。特别地，由于第二读时钟信号并不会受到内部时钟信号 WCK1 的占空比畸变的影响，在内部时钟信号 WCK1 的占空比畸变较大的场景中依然可以保证数据信号的正确锁存。

在一些实施例中，如前述，存储器 10 包括模式寄存器 26，该方法还包括：

对内部时钟信号进行占空比检测，得到占空比参数；将占空比参数存储至模式寄存器。

10 在一种具体的实施例中，如前述，存储器 10 与控制装置 30 连接，所述将第一读时钟信号和第二读时钟信号的两者之一输出为目标读时钟信号，包括：

在接收到控制装置发送的第一读指令的情况下，基于第一读指令确定读数据信号，并将第一读时钟信号确定为目标读时钟信号；在接收到控制装置发送的第二读指令的情况下，基于第二读指令确定读数据信号，并将第二读时钟信号确定为目标读时钟信号。

在这里，目标读时钟信号用于锁存读数据信号，第二读指令指示获取模式寄存器的占空比参数，第一读指令指示除第二读指令之外的数据读取指令。

20 在另一种具体的实施例中，所述将第一读时钟信号和第二读时钟信号的两者之一输出为目标读时钟信号，包括：

在接收到控制装置发送的第一读指令的情况下，基于第一读指令确定读数据信号，并将第一读时钟信号确定为目标读时钟信号；在接收到控制装置发送的第二读指令且占空比参数处于预设范围的情况下，基于第二读指令确定读数据信号，并将第一读时钟信号确定为目标读时钟信号；在接收到控制装置发送的第二读指令且占空比参数并非处于预设范围的情况下，基于第二读指令确定读数据信号，并将第二读时钟信号确定为目标读时钟信号。

30 本公开实施例提供了一种时钟处理方法，该方法包括：接收外部产生的数据时钟信号；对数据时钟信号进行占空比调节，确定内部时钟信号；

基于内部时钟信号，确定第一读时钟信号；其中，第一读时钟信号为脉冲信号；在第一读时钟信号的存在期间，产生第二读时钟信号；其中，第二读时钟信号仅存在一个电平状态变化沿；将第一读时钟信号和第二读时钟信号的两两者之一输出为目标读时钟信号。这样，在内部时钟信号发生占空比畸变的情况下，可以选择具有单个电平变化沿的第二读时钟信号作为目标读时钟信号，避免数据锁存失败。

在本公开的又一实施例中，参见图 11，其示出了本公开实施例提供的一种电子设备 50 组成结构示意图。如图 11 所示，电子设备 50 至少包括前述的存储器 10 和前述的控制装置 30。

10 由于存储器 10 能够输出具有多个脉冲的第一读时钟信号或者具有单个电平变化沿的第二读时钟信号，在存储器 10 中的内部时钟信号发生占空比畸变的情况下，可以选择具有单个电平变化沿的第二读时钟信号作为目标读时钟信号，控制装置 30 利用第二读时钟信号中的电平变化沿进行数据锁存，避免获得错误的数据。

15 以上，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围。需要说明的是，在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。本公开所提供的几个方法实施例中揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。本公开所提供的几个产品实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的产品实施例。本公开所提供的几个方法或设备实施例中揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围

20 25 30 之内。因此，本公开的保护范围应以权利要求的保护范围为准。

工业实用性

本公开实施例提供了一种存储器、控制装置、时钟处理方法和电子设备，存储器包括时钟处理电路，时钟处理电路包括：占空比模块，配置为接收外部产生的数据时钟信号；对数据时钟信号进行占空比调节，输出内部时钟信号；第一时钟产生模块，配置为接收内部时钟信号，基于内部时钟信号，输出第一读时钟信号；其中，第一读时钟信号为脉冲信号；第二时钟产生模块，配置为在第一读时钟信号的存在期间，产生并输出第二读时钟信号；其中，第二读时钟信号仅存在一个电平状态变化沿；选择模块，配置为接收第一读时钟信号和第二读时钟信号，将第一读时钟信号和第二读时钟信号的两者之一输出为目标读时钟信号。这样，在存储器的内部时钟信号发生占空比畸变的情况下，可以选择具有单个电平变化沿的第二读时钟信号作为目标读时钟信号，避免数据锁存失败。

权利要求书

- 1.一种存储器,所述存储器包括时钟处理电路,所述时钟处理电路包括:
占空比模块,配置为接收外部产生的数据时钟信号;对所述数据时钟信号进行占空比调节,输出内部时钟信号;
- 5 第一时钟产生模块,配置为接收所述内部时钟信号,基于所述内部时钟信号,输出第一读时钟信号;其中,所述第一读时钟信号为脉冲信号;
- 第二时钟产生模块,配置为在所述第一读时钟信号的存在期间,产生并输出第二读时钟信号;其中,所述第二读时钟信号仅存在一个电平状态变化沿;
- 10 选择模块,配置为接收所述第一读时钟信号和所述第二读时钟信号,将所述第一读时钟信号和所述第二读时钟信号的两者之一输出为目标读时钟信号。
- 2.根据权利要求1所述的存储器,其中,所述时钟处理电路还包括检测模块和模式寄存器;其中,
- 15 所述检测模块,配置为接收所述内部时钟信号,对所述内部时钟信号进行占空比检测,输出占空比参数;
- 所述模式寄存器,配置为接收并存储所述占空比参数。
- 3.根据权利要求2所述的存储器,其中,
- 所述选择模块,具体配置为接收选择指示信号,在所述选择指示信号
- 20 处于第一状态的情况下,将所述第一读时钟信号输出为目标读时钟信号;或者,在所述选择指示信号处于第二状态的情况下,将所述第二读时钟信号输出为目标读时钟信号。
- 4.根据权利要求3所述的存储器,其中,
- 所述存储器,配置为接收数据读指令;基于所述数据读指令,输出读
- 25 数据信号,并通过所述时钟处理电路输出所述目标读时钟信号;
- 其中,所述目标读时钟信号用于锁存所述读数据信号,且所述第二读时钟信号的电平状态变化沿指示所述读数据信号中有效数据的结束时刻。
- 5.根据权利要求4所述的存储器,其中,
- 所述存储器,还配置为在所述数据读指令为第一读指令的情况下,将

所述选择指示信号置为第一状态；或者，在所述数据读指令为第二读指令的情况下，将所述选择指示信号置为第二状态；

其中，所述第二读指令指示获取所述时钟处理电路中模式寄存器的占空比参数，所述第一读指令是指除所述第二读指令之外的数据读取指令。

5 6.根据权利要求 5 所述的存储器，其中，

所述存储器，还配置为在所述数据读指令为第一读指令的情况下，将所述选择指示信号置为第一状态；或者，

在所述数据读指令为第二读指令且所述内部时钟信号的占空比处于预设范围的情况下，将所述选择指示信号置为第一状态；或者，

10 在所述数据读指令为第二读指令且所述内部时钟信号的占空比并非处于预设范围的情况下，将所述选择指示信号置为第二状态。

7.根据权利要求 1-6 任一项所述的存储器，其中，所述第一读时钟信号包括 8 个时钟周期，所述第二读时钟信号的电平状态变化沿与所述第一读时钟信号中的第 5 个时钟周期的上升沿对齐；

15 其中，所述第二读时钟信号的电平状态变化沿是指所述第二读时钟信号由低电平状态变化为高电平状态。

8.根据权利要求 7 所述的存储器，其中，所述占空比模块包括：

接收模块，配置为从外部接收并输出所述数据时钟信号；

20 调节模块，配置为对所述数据时钟信号进行占空比调节，输出所述内部时钟信号。

9.根据权利要求 8 所述的存储器，其中，所述数据时钟信号为写时钟信号。

10.一种控制装置，所述控制装置与存储器连接；其中，

25 所述控制装置，配置为向所述存储器发送数据读指令；以及，接收所述存储器返回的读数据信号和目标读时钟信号，利用所述目标读时钟信号对所述读数据信号进行锁存处理；

其中，所述目标读时钟信号为第一读时钟信号或者第二读时钟信号，所述第一读时钟信号为脉冲信号，所述第二读时钟信号仅存在一个电平状态变化沿。

30 11.根据权利要求 10 所述的控制装置，其中，

所述控制装置，具体配置为在所述数据读指令为第一读指令的情况下，接收所述存储器返回的第一读时钟信号，利用所述第一读时钟信号对所述读数据信号进行锁存处理；或者，

5 在所述数据读指令为第二读指令的情况下，接收所述存储器返回的第二读时钟信号，利用所述第二读时钟信号的电平状态变化沿对所述读数据信号进行锁存处理；

其中，所述存储器包括时钟处理电路，所述第二读指令指示获取所述时钟处理电路中模式寄存器的占空比参数，所述第一读指令指示除所述第二读指令之外的数据读取指令。

10 12.根据权利要求 10 所述的控制装置，其中，

所述控制装置，还配置为在所述数据读指令为第二读指令的情况下，接收所述存储器返回的第一读时钟信号，利用所述第一读时钟信号的电平状态变化沿对所述读数据信号进行锁存处理。

13.一种时钟处理方法，应用于存储器，所述方法包括：

15 接收外部产生的数据时钟信号；对所述数据时钟信号进行占空比调节，确定内部时钟信号；

基于所述内部时钟信号，确定第一读时钟信号；其中，所述第一读时钟信号为脉冲信号；

20 在所述第一读时钟信号的存在期间，产生第二读时钟信号；其中，所述第二读时钟信号仅存在一个电平状态变化沿；

将所述第一读时钟信号和所述第二读时钟信号的两者之一输出为目标读时钟信号。

14.根据权利要求 13 所述的时钟处理方法，其中，所述存储器包括模式寄存器，所述方法还包括：

25 对所述内部时钟信号进行占空比检测，得到占空比参数；

将所述占空比参数存储至所述模式寄存器。

15.根据权利要求 14 所述的时钟处理方法，其中，所述存储器与控制装置连接，所述将所述第一读时钟信号和所述第二读时钟信号的两者之一输出为目标读时钟信号，包括：

30 在接收到所述控制装置发送的第一读指令的情况下，基于所述第一读

指令确定读数据信号，并将所述第一读时钟信号确定为目标读时钟信号；

在接收到所述控制装置发送的第二读指令的情况下，基于所述第二读指令确定所述读数据信号，并将所述第二读时钟信号确定为目标读时钟信号；

- 5 其中，所述目标读时钟信号用于锁存所述读数据信号，所述第二读指令指示获取所述模式寄存器的占空比参数，所述第一读指令指示除所述第二读指令之外的数据读取指令。

- 16.根据权利要求 14 所述的时钟处理方法，其中，所述存储器与控制装置连接，所述将所述第一读时钟信号和所述第二读时钟信号的两者之一输出为目标读时钟信号，包括：

在接收到所述控制装置发送的第一读指令的情况下，基于所述第一读指令确定读数据信号，并将所述第一读时钟信号确定为目标读时钟信号；

- 15 在接收到所述控制装置发送的第二读指令且所述占空比参数处于预设范围的情况下，基于所述第二读指令确定读数据信号，并将所述第一读时钟信号确定为目标读时钟信号；

在接收到控制装置发送的第二读指令且所述占空比参数并非处于预设范围的情况下，基于所述第二读指令确定所述读数据信号，并将所述第二读时钟信号确定为目标读时钟信号；

- 20 其中，所述目标读时钟信号用于锁存所述读数据信号，所述第二读指令指示获取所述模式寄存器的占空比参数，所述第一读指令指示除所述第二读指令之外的数据读取指令。

17.一种电子设备，所述电子设备包括如权利要求 1-9 任一项所述的存储器和如权利要求 10-12 任一项所述的控制装置。