(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 1 日(01.11.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/147279 A1

(51) 国際特許分類:
H01L 21/304 (2006.01)

(21) 国際出願番号: PCT/JP2012/002304

(22) 国際出願日: 2012 年 4 月 3 日(03.04.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-098241 2011 年 4 月 26 日(26.04.2011) JP

(71) 出願人 (米国を除く全ての指定国について): 信越半導体株式会社 **(Shin-Etsu Handotai Co., Ltd.)** [JP/JP]; 〒1000004 東京都千代田区大手町二丁目６番２号 Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 佐藤　三千登**(SATO, Michito)** [JP/JP]; 〒9618061 福島県西白河郡西郷村大字小田倉字大平１５０番地信越半導体株式会社　半導体白河研究所内 Fukushima (JP).

(74) 代理人: 好宮　幹夫 **(YOSHIMIYA, Mikio)**; 〒1100005 東京都台東区上野７丁目６番１１号第一下谷ビル８Ｆ Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

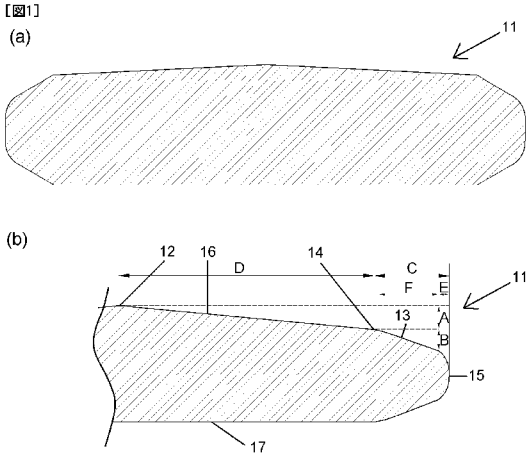
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR WAFER AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称 : 半導体ウェーハ及びその製造方法

[図1]



(57) **Abstract**: The present invention provides a semiconductor wafer in which sagging is formed on the outer circumference during polishing, the semiconductor wafer being characterized in that: the amount of displacement of the semiconductor wafer in the thickness direction between the center of the semiconductor wafer and the starting position of the outer circumference sagging is equal to or less than 100 nm; the center of the semiconductor wafer has a convex profile; the amount of outer circumference sagging of the semiconductor wafer is equal to or less than 100 nm; and the starting position of the outer circumference sagging is at least 20 mm further towards the center from the outer circumferential edge of the semiconductor wafer or further towards the center than the outer circumferential section of the semiconductor wafer that is to be measured for ESFQR. The purpose of the present invention is to thereby provide: a semiconductor wafer that can simultaneously satisfy a plurality of flatness indicators such as SFQR, ESFQR, ZDD, ROA, GBIR, and SBIR using identical machining conditions; and a method for manufacturing the semiconductor wafer.

(57) 要約:

[続葉有]

WO 2012/147279 A1