

明 細 書

発明の名称：半導体基板の製造方法及び半導体基板

技術分野

[0001] 本発明は、SOI (Silicon On Insulator) 基板等の、絶縁膜上に半導体単結晶層を有する半導体基板の製造方法及び半導体基板に関する。

背景技術

[0002] 半導体素子用の半導体基板の一つとして、絶縁膜であるシリコン酸化膜の上にシリコン層（以下、SOI層と呼ぶことがある）を形成したSOI (Silicon On Insulator) 基板がある。このSOI基板は、デバイス作製領域となる基板表層部のSOI層が、埋め込み酸化膜層（BOX層）により基板内部と電気的に分離されているため、寄生容量が小さく、耐放射線能力が高いなどの特徴を有する。そのため、高速・低消費電力動作、ソフトエラー防止などの効果が期待され、高性能半導体素子用の基板として有望視されている。

[0003] このSOI基板を製造する代表的な方法として、ウェーハ貼り合わせ法、SIMOX法が挙げられる。ウェーハ貼り合わせ法は、例えば、2枚の単結晶シリコン基板（シリコンウェーハ）のうちの一方の表面に熱酸化膜を形成した後、この形成した熱酸化膜を介して2枚のウェーハを密着させ、結合熱処理を施すことによって結合力を高め、その後に片方のウェーハ（SOI層を形成するウェーハ（以下、ボンドウエーハ））を鏡面研磨等により薄膜化することによって、SOI基板を製造する方法である。この薄膜化の方法としては、ボンドウエーハを所望の厚さまで研削、研磨する方法や、ボンドウエーハの内部に水素イオン又は希ガスイオンの少なくとも1種類を注入してイオン注入層を形成しておき、貼り合わせた後にイオン注入層においてボンドウエーハを剥離するイオン注入剥離法と呼ばれる方法等がある。SIMOX法は、単結晶シリコン基板の内部に酸素をイオン注入し、その後に高温熱

処理（酸化膜形成熱処理）を行って注入した酸素とシリコンとを反応させてB O X層を形成することによってS O I基板を製造する方法である。

- [0004] 特許文献1, 2には、シリコン単結晶基板の表面に、シリコン単結晶基板とエピタキシャルな関係を保持した酸化膜を形成し、その酸化膜上にエピタキシャル層を堆積することによって、S O Iウェーハを作製することが記載されている。また、特許文献3には、イオン注入剥離法によるS O Iウェーハの製造方法において、埋め込み絶縁膜として窒化シリコン膜を使用できることが記載されている。

先行技術文献

特許文献

- [0005] 特許文献1：特許第5 1 6 8 9 9 0号公報
特許文献2：特許第5 2 0 5 8 4 0号公報
特許文献3：国際公開第2 0 0 4 / 0 1 0 5 0 5号

発明の概要

発明が解決しようとする課題

- [0006] S O Iウェーハの製造方法として、上述のように貼り合わせ法があるが、2枚のウェーハを貼り合わせるため材料コストがかかり、製造工程の数が多いという問題がある。また、S I M O X法においても、イオン注入や高温熱処理などの製造工程の数が多いという問題がある。形成されるS O I層とB O X層の品質、膜厚の自由度や均一性を考慮すると、前述したS O I基板の製造方法の中では、イオン注入剥離法が最も有望であるが、例えば、厚さ1 0 n mのS O I層を得るためには、それよりも厚いS O I層を形成した後に、犠牲酸化処理を行って膜厚調整する必要があるため、工程が複雑となりコスト高は避けられない。
- [0007] 特許文献3に記載される、絶縁膜としての窒化シリコン膜は、酸化シリコン膜に比べて誘電率が大きいため、薄い膜厚で、S O Iウェーハの埋め込み絶縁膜として機能するという利点がある。しかしながら、特許文献1, 2に

は、埋め込み絶縁膜として窒化シリコン膜を形成することについては、開示も示唆もされていない。埋め込み絶縁膜として窒化シリコン膜を形成する場合に、簡便な方法で生産性高くＳＯＩ基板を得ることができる方法は知られていなかった。

[0008] 本発明は、上記問題を解決するためになされたものであり、シリコン単結晶基板の表面に、絶縁膜と、該絶縁膜上の半導体単結晶層とを有する、ＳＯＩ基板のような半導体基板において、シリコン単結晶基板と半導体単結晶層との間に設ける絶縁膜を窒化シリコン膜とした場合でも、簡便な方法で、生産性高く、低コストで半導体基板を得ることができる半導体基板の製造方法及び半導体基板を提供することを目的とする。

課題を解決するための手段

[0009] 本発明は、上記目的を達成するためになされたものであり、シリコン単結晶基板の表面に、絶縁膜と、半導体単結晶層とを順次形成することによって、前記絶縁膜上に前記半導体単結晶層を有する半導体基板を製造する方法であって、少なくとも、シリコン単結晶基板を、窒素ガス含有雰囲気下で熱処理し、絶縁膜として前記シリコン単結晶基板の表面に、前記シリコン単結晶基板とエピタキシャルな関係を保持した窒化シリコン膜を形成する工程と、前記窒化シリコン膜上に半導体単結晶層をエピタキシャル成長する工程とを有する半導体基板の製造方法を提供する。

[0010] このような半導体基板の製造方法によれば、簡便な方法で、生産性高く、低コストで半導体基板を提供することができる。

[0011] このとき、前記窒素ガス含有雰囲気下で熱処理する温度を８００℃以上とする半導体基板の製造方法とすることができる。

[0012] これにより、より安定して確実に生産性を落とすことなく窒化シリコン膜を形成することができる。

[0013] このとき、前記熱処理装置としてエピタキシャル成長装置を用い、前記窒化シリコン膜を形成した後、前記エピタキシャル成長装置内の雰囲気ガスを半導体単結晶層成長用ガスに切り替えて前記エピタキシャル成長を行う半導

体基板の製造方法とすることができる。

[0014] これにより、極めて簡便な方法で、より効率的、高い生産性、低コストで、高品質な半導体基板を得ることができる。

[0015] このとき、前記半導体単結晶層を、S i 層、S i G e 層、G e 層、化合物半導体層のいずれかとする半導体基板の製造方法とすることができる。

[0016] これにより、より良質な半導体単結晶層を有する半導体基板を得ることができる。

[0017] このとき、前記半導体単結晶層をS i 層とし、該S i 層のエピタキシャル成長用ガスをトリクロロシランとする半導体基板の製造方法とすることができる。

[0018] これにより、より高い生産性、低コストでS O I 半導体基板を得ることができる。

[0019] このとき、前記窒化シリコン膜の膜厚を2 n m以下とする半導体基板の製造方法とすることができる。

[0020] これにより、下地のシリコン単結晶基板とのエピタキシャルな関係を保持した窒化シリコン膜を、より安定して確実に得ることができる。

[0021] このとき、前記窒化シリコン膜と前記半導体単結晶層とを交互に複数層形成する半導体基板の製造方法とすることができる。

[0022] これにより、合計で必要とされるシリコン単結晶基板と最表面の半導体単結晶層間との絶縁耐圧まで調整することができる。同様に交互に複数層を積層することで、縦型多層メモリーの積層構造や3次元積層型の集積回路等も形成可能である。

[0023] このとき、前記シリコン単結晶基板として、あらかじめ窒素又は酸素をドーピングしたシリコン単結晶基板を用いる半導体基板の製造方法とすることができる。

[0024] これにより、窒化シリコン膜の形成、その後の半導体結晶層の形成熱履歴及びその後の追加熱履歴により、窒化シリコン層自体、酸窒化シリコン層又は酸化シリコン層が追加形成され、窒化シリコン層の初期形成厚さを、太ら

せることが可能になる。

- [0025] このとき、前記シリコン単結晶基板として、面方位が（１１１）のシリコン単結晶基板を用いる半導体基板の製造方法とすることができる。
- [0026] 面方位が（１１１）であるシリコン単結晶基板の表面構造は、窒化シリコン膜（ Si_3N_4 ）の原子構造と類似しているため、シリコン単結晶基板とエピタキシャルな関係を保持した窒化シリコン膜を形成するのに好適に用いることができ、下地のシリコン単結晶基板とのエピタキシャルな関係を保持した窒化シリコン膜を、より安定して確実に得ることができる。
- [0027] 本発明は、また、シリコン単結晶基板の表面に、絶縁膜と、該絶縁膜上の半導体単結晶層とを有する半導体基板であって、前記絶縁膜は、前記シリコン単結晶基板とエピタキシャルな関係を保持した窒化シリコン膜であり、前記半導体単結晶層は、エピタキシャル成長層である半導体基板を提供する。
- [0028] このような半導体基板によれば、簡便かつ低コストで得られる、高品質な半導体単結晶層を有する半導体基板となる。
- [0029] このとき、前記半導体単結晶層が Si 層、 SiGe 層、 Ge 層、化合物半導体層のいずれかである半導体基板とすることができる。
- [0030] これにより、より良質な半導体単結晶層を有するものとなる。
- [0031] このとき、前記窒化シリコン膜の膜厚が 2 nm 以下である半導体基板とすることができる。
- [0032] これにより、より安定して確実に、下地のシリコン単結晶基板とのエピタキシャルな関係を保持した窒化シリコン膜となる。
- [0033] このとき、前記窒化シリコン膜と前記半導体単結晶層とを交互に複数層有するものである半導体基板とすることができる。
- [0034] これにより、合計で必要とされるシリコン単結晶基板と最表面の半導体単結晶層間との絶縁耐圧まで調整可能なものとなり、また、縦型多層メモリーの積層構造や３次元積層型の集積回路等も形成可能なものとなる。
- [0035] このとき、前記シリコン単結晶基板の面方位が（１１１）である半導体基板とすることができる。

[0036] これにより、より安定して確実に、下地のシリコン単結晶基板とのエピタキシャルな関係を保持した窒化シリコン膜となる。

発明の効果

[0037] 以上のように、本発明の半導体基板の製造方法によれば、簡便かつ低コストで、絶縁膜としての窒化シリコン膜と、高品質な半導体単結晶層を有する半導体基板を提供することが可能となる。

図面の簡単な説明

[0038] [図1]本発明に係る半導体基板の概念図を、製造フローと共に示す。

[図2]実施例1のSOIウェーハ（半導体基板）の断面TEM観察写真を示す。

[図3]図2の部分拡大図（格子像）を示す。

[図4]実施例2のSOIウェーハ（半導体基板）の断面TEM観察写真を示す。

[図5]図4の部分拡大図（格子像）を示す。

発明を実施するための形態

[0039] 以下、本発明を詳細に説明するが、本発明はこれらに限定されるものではない。

[0040] 上述のように、シリコン単結晶基板と半導体単結晶層との間に設ける絶縁膜を窒化シリコン膜とした場合でも、簡便な方法で生産性高く半導体基板を得ることができる半導体基板の製造方法及び半導体基板が求められていた。

[0041] 本発明者らは、上記課題について鋭意検討を重ねた結果、シリコン単結晶基板を窒素ガス含有雰囲気下で熱処理（熱窒化）を行うと、シリコン単結晶基板の表面に形成される窒化シリコン膜は、下地のシリコン単結晶基板とエピタキシャルな関係を保持したものとなることを発見した。そして、そのような窒化シリコン膜であれば、その膜の表面に半導体単結晶層をエピタキシャル成長できることを想到し、本発明を完成させた。

[0042] すなわち、シリコン単結晶基板の表面に、絶縁膜と、半導体単結晶層とを順次形成することによって、前記絶縁膜上に前記半導体単結晶層を有する半

導体基板を製造する方法であって、少なくとも、シリコン単結晶基板を、窒素ガス含有雰囲気下で熱処理し、絶縁膜として前記シリコン単結晶基板の表面に、前記シリコン単結晶基板とエピタキシャルな関係を保持した窒化シリコン膜を形成する工程と、前記窒化シリコン膜上に半導体単結晶層をエピタキシャル成長する工程とを有する半導体基板の製造方法により、簡便かつ低コストで、絶縁膜としての窒化シリコン膜と、高品質な半導体単結晶層を有する半導体基板を提供できることを見出し、本発明を完成した。

[0043] 本発明者らは、また、シリコン単結晶基板の表面に、絶縁膜と、該絶縁膜上の半導体単結晶層とを有する半導体基板であって、前記絶縁膜は、前記シリコン単結晶基板とエピタキシャルな関係を保持した窒化シリコン膜であり、前記半導体単結晶層は、エピタキシャル成長層である半導体基板により、低コストで簡便な方法で得られる、絶縁膜としての窒化シリコン膜と、高品質な半導体単結晶層を有する半導体基板となることを見出し、本発明を完成した。

[0044] 以下、図面を参照して説明する。

[0045] 本発明において、「エピタキシャルな関係を保持した窒化シリコン膜」とは、単結晶Si層のような半導体単結晶層をエピタキシャル成長可能な程度の結晶性を有する窒化シリコン膜を意味する。

[0046] (半導体基板)

まず、本発明に係る半導体基板について説明する。図1(c)に、本発明に係る半導体基板10を示す。本発明に係る半導体基板10は、少なくとも、シリコン単結晶基板1の表面に、絶縁膜として、エピタキシャルな関係を保持した窒化シリコン膜2と、該窒化シリコン膜2上の半導体単結晶層3とを有するものである。

[0047] シリコン単結晶基板1は、シリコン単結晶であれば特に限定されず、表面の配向、基板の抵抗率、導電型(p又はn)、ドーパントの種類、直径(面積)、厚さ等は、用途に応じて適宜選択、設定できる。FZ基板でも、CZ基板でもよく、結晶中の酸素濃度等の物性も、特に限定されない。

- [0048] シリコン単結晶基板1は、面方位が(111)のものであることが好ましい。面方位が(111)であるシリコン単結晶基板の表面構造は、窒化シリコン膜(Si_3N_4)の原子構造と類似しているため、シリコン単結晶基板とエピタキシャルな関係を保持した窒化シリコン膜を形成するのに好適に用いることができる。
- [0049] また、本発明に係る半導体基板において、例えば2nm以下の薄い窒化シリコン膜を広範囲(例えば、ウェーハ全面)に設けたものとする場合、シリコン単結晶基板上の窒化シリコン膜は、高い均一性を有するものとする必要がある。この場合、シリコン単結晶基板として、あらかじめシリコン単結晶基板にアニール処理を施したウェーハや、あらかじめシリコン単結晶基板にエピタキシャルシリコン層を設けたウェーハを用いることが好ましい。アニール処理やエピタキシャル成長によりウェーハの表面平坦度が改善されたものとなり、より高い均一性を有する窒化シリコン膜2とすることができる。
- [0050] また、シリコン単結晶基板1を、面方位にオフアングルを持たせて原子ステップを導入したものとすることで、窒化シリコン膜のステップ成長速度を高め、窒化シリコン膜の均一性を改善することができる。同様に、シリコン単結晶基板全体又はその表面に、高濃度ドーパント、又は高濃度の酸素、又はそれらのシリコン析出物を有するものとした場合にも、それらの反応や歪等の影響により窒化シリコン膜のステップ成長速度を高め、高い均一性を有する窒化シリコン膜2とすることができる。
- [0051] 製造方法の詳細は後で述べるが、窒化シリコン膜2は、窒素ガス含有雰囲気での熱処理によるシリコンの窒化により形成されたものであり、シリコン単結晶基板1と「エピタキシャルな関係を保持した窒化シリコン膜」である。
- [0052] 上記のような窒化シリコン膜2は、膜厚が薄くなるほど下地のシリコン単結晶基板1とのエピタキシャルな関係を保持することが安定するため、膜厚を2nm以下とすることが好ましい。
- [0053] また、窒化シリコン膜は、酸化シリコン膜に比べて高温ガスに対する耐エ

ッチング特性が高いため、後述の半導体単結晶層 3 として S i 層をエピタキシャル成長する際の S i 源としてトリクロロシランを用いることが可能となる。上述の特許文献 1, 2 では、S i 単結晶層をエピタキシャル成長する際の原料ガスとしてモノシランガスを用いているが、本発明に係る半導体基板 10 のように、絶縁膜を窒化シリコン膜とすると、その上に S i 層の半導体単結晶層 3 をエピタキシャル成長するときに、モノシランよりも安価であり、成長速度も高いトリクロロシランを用いることができるようになるため、量産時のコストメリットが得られる。

[0054] 半導体単結晶層 3 は、エピタキシャル成長層である。この半導体単結晶層 3 は、S O I ウェーハにおいていわゆる S O I 層として機能するものである。半導体単結晶層 3 としては、下地のシリコン単結晶基板 1 と同一材料である S i 層とすることが好ましいが、S i 層に限定されず、シリコン単結晶の格子定数に近い半導体単結晶層 3 であれば、エピタキシャル成長可能である。具体的には、S i G e 層、G e 層、化合物半導体層（G a N 層、A l N 層など）を挙げることができる。これらのものであれば、より良質な半導体単結晶層を得ることができる。なお、半導体単結晶層 3 の膜厚は特に限定されず、適用するデバイスの設計に応じて適宜設定できる。

[0055] また、窒化シリコン膜 2 と半導体単結晶層 3 とを交互に複数層有するものとすることもできる。2 n m 以下の窒化シリコン膜 2 一層の有する絶縁耐圧は、窒化シリコン膜 2 と半導体単結晶層 3 とを交互に複数層を積層する構造によって、合計で必要とされるシリコン単結晶基板と最表面の半導体単結晶層間との絶縁耐圧まで調整することができる。同様に交互に複数層を積層することで、縦型多層メモリーの積層構造や 3 次元積層型の集積回路等も形成可能である。

[0056] （半導体基板の製造方法）

次に、本発明に係る半導体基板の製造方法を、図 1 を参照しながら説明する。

[0057] まず、図 1（a）に示すように、表面に窒化シリコン膜 2 及び半導体単結

晶層 3 を順次形成するためのシリコン単結晶基板 1 を準備する。

[0058] このとき、あらかじめ窒素又は酸素をドーピングしたシリコン単結晶基板 1 を用いることもできる。このようなシリコン単結晶基板 1 を用いると、窒化シリコン膜 2 の形成、その後の半導体単結晶層 3 の形成熱履歴及びその後の追加熱履歴により、窒化シリコン層自体、酸窒化シリコン層又は酸化シリコン層が追加形成され、窒化シリコン膜 2 の初期形成厚さを、太らせることが可能になる。

[0059] また、上述のように、シリコン単結晶基板として、面方位が (1 1 1) のシリコン単結晶基板を用いることが好ましい。

[0060] さらに、例えば 2 nm 以下といった薄い窒化シリコン膜を広範囲（例えば、ウェーハ全面）に形成するためには、シリコン単結晶基板上に形成する窒化シリコン膜の均一性を高める必要がある。あらかじめシリコン単結晶基板にアニール処理を施したり、シリコン単結晶基板にシリコン層をエピタキシャル成長しておいたりすることで、ウェーハの表面平坦度を改善し、基板上に形成する窒化シリコン膜の均一性を改善することができる。また、シリコン単結晶基板の面方位にオフアングルを持たせて原子ステップを導入したウェーハや、シリコン単結晶基板全体又はその表面に、高濃度ドーパント、高濃度の酸素又はそれらのシリコン析出物を有するウェーハを用いると、窒化シリコン膜のステップ成長速度を高め、窒化シリコン膜の均一性を改善することができる。

[0061] 次に、以下のようにしてシリコン単結晶基板 1 の表面上に窒化シリコン膜 2 を形成する。まず、準備したシリコン単結晶基板 1 を、熱処理炉に投入する。そして、図 1 (b) に示すように、シリコン単結晶基板 1 の表面に、シリコン単結晶基板 1 と「エピタキシャルな関係を保持した窒化シリコン膜 2」を形成する。「エピタキシャルな関係を保持した窒化シリコン膜 2」は、窒素ガス含有雰囲気中で熱処理を行うことで形成することが可能である。具体的には、例えば、窒素ガスと水素ガスの混合ガス雰囲気中で熱処理することで、エピタキシャルな関係を保持した窒化シリコン膜 2 を得ることができる。

この際、窒素ガスの混合比率が低い場合には、熱処理温度を高温（例えば 1100℃以上）にすることが好ましいが、窒素ガスの混合比率を高くすることで 800℃程度の温度とすることもできる。800℃以上の温度では、窒化シリコン膜がより安定して確実に生産性を落とすことなく形成できるため、好ましい。熱処理温度の上限は特に限定されず、理論的にはシリコン単結晶基板 1 の融点未満であればよいが、生産性や基板への熱的なダメージ等なども考慮すると、1300℃程度以下とすることができる。

[0062] また、形成する窒化シリコン膜 2 の膜厚が薄くなるほど、より安定して確実に、下地のシリコン単結晶基板 1 とのエピタキシャルな関係を保持したものととなるため、窒化シリコン膜 2 の膜厚は、2 nm 以下とすることが好ましい。窒化シリコン膜 2 の膜厚の下限は、下地のシリコン単結晶基板 1 とのエピタキシャルな関係を保持している限り特に限定されないが、0.3 nm 以上とすることができる。

[0063] 窒化シリコン膜 2 の形成後は、図 1（c）に示すように、エピタキシャル成長装置を用いて、窒化シリコン膜 2 上に半導体単結晶層 3 をエピタキシャル成長する。成長する半導体単結晶層 3 としては、上述のように、Si 層、SiGe 層、Ge 層、化合物半導体層（GaN 層、AlN 層など）を挙げることができる。

[0064] また、窒化シリコン膜 2 と半導体単結晶層 3 の形成を交互に繰り返し、窒化シリコン膜 2 と半導体単結晶層 3 を交互に複数層形成することもできる。2 nm 以下の窒化シリコン膜 2 一層の有する絶縁耐圧は、窒化シリコン膜 2 と半導体単結晶層 3 とを交互に複数層を積層する構造によって、合計で必要とされるシリコン単結晶基板 1 と最表面の半導体単結晶層間との絶縁耐圧まで調整することができる。同様に交互に複数層を積層することで、縦型多層メモリーの積層構造や 3 次元積層型の集積回路等も形成可能となる。

[0065] 半導体単結晶層 3 のエピタキシャル成長条件や、使用する原料ガスは、成長する半導体単結晶層 3 の種類に応じて適宜設定、選択できる。本発明に係る半導体基板 10 は、絶縁膜として窒化シリコン膜 2 を備えており、窒化シ

リコン膜は酸化シリコン膜に比べて高温ガスに対する耐エッチング特性が高いため、Si層やSiGe層のように、Siを含有する半導体単結晶層3をエピタキシャル成長する際に、原料ガスとしてトリクロロシランを用いることが可能となる。そして、トリクロロシランはモノシランよりも安価であり、成長速度も速いため、量産時のコストメリットが得られる点で有利である。また、トリクロロシランはモノシランに比べて取り扱いの容易な材料であり、安全性が高く製造設備にかかるコストも低減できる。

[0066] 以上のようにして、シリコン単結晶基板1の表面に、絶縁膜として、シリコン単結晶基板1とエピタキシャルな関係を保持した窒化シリコン膜2と、絶縁膜上のエピタキシャル成長層である半導体単結晶層3を有する半導体基板10を得ることができる。このような半導体基板の製造方法であれば、貼り合わせ法のように2枚のウェーハを必要とすることがないため、材料コストの低減が可能となる。また、製造工程数も少なくでき、簡便な方法で、高い生産性を実現でき、全体としてのコスト低減が可能となる。

[0067] 上述の半導体基板10の製造方法における、シリコン単結晶基板1の表面を窒化して窒化シリコン膜2を形成するための熱処理装置としては、窒素ガス含有雰囲気下で熱処理を行い、シリコン単結晶基板1の表面を窒化することができる熱処理装置であれば、特に限定されない。例えば、ランプ加熱などを用いたRTP(Rapid Thermal Processing)装置や、バッチ式の抵抗加熱炉、基板にエピタキシャル成長を行うエピタキシャル成長装置などを用いることができる。なかでも、エピタキシャル成長装置を用いることが好ましい。

[0068] エピタキシャル成長装置を用いれば、エピタキシャル成長装置内で窒化のための熱処理を行い、シリコン単結晶基板1の表面上に窒化シリコン膜2を形成した後に、炉内の雰囲気ガスを半導体単結晶層3のエピタキシャル成長用ガスに切り替えることで、半導体単結晶層3のエピタキシャル成長を行うことが可能となる。これによって、窒化シリコン膜2の成長と半導体単結晶層3のエピタキシャル成長を、同一炉内で連続的に行うことができるため、

極めて簡便な方法で、効率的に、高い生産性で、半導体基板 10 を製造することが可能となる。また、窒化シリコン膜 2 の形成と、半導体単結晶層 3 のエピタキシャル成長を同じ装置で行うことができ、装置間の移動に伴う汚染が起こらないため、汚染レベルの低い高品質な半導体基板 10 を得ることができる。

実施例

[0069] 以下、実施例を挙げて本発明について詳細に説明するが、これは本発明を限定するものではない。

[0070] (実施例 1)

シリコンウェーハ（シリコン単結晶基板）の表面に、シリコンウェーハとエピタキシャルな関係を保持した窒化シリコン膜（絶縁膜）、該窒化シリコン膜上の Si エピタキシャル成長層（半導体単結晶層／SOI 層）を有する SOI ウェーハ（半導体基板）を作製し、構造の評価を行った。製造条件は、以下のとおりである。

[0071] (SOI ウェーハの構成)

Si ウェーハ : 直径 200 mm、面方位 (100)、
p 型、 $10\ \Omega\text{cm}$

絶縁膜 : 窒化シリコン

SOI 層 : Si エピタキシャル成長層

[0072] (SOI ウェーハの製造条件)

熱処理装置 : 枚葉式エピタキシャル成長装置

窒化シリコン膜 : N_2 24 s / m + H_2 34 s / m

熱処理温度 1190℃

熱処理時間 300 秒

Si (SOI) 層 : トリクロロシラン 10 s / m

+ H_2 34 s / m

成長温度 1070℃

成長時間 600 秒

成長速度 $2.4 \mu\text{m}/\text{min}$

[0073] 得られたSOIウェーハの断面を、透過型電子顕微鏡（TEM）を用いて観察した。図2に、実施例1で製造したSOIウェーハ（半導体基板）の断面TEM観察写真を示す。図3は、図2の窒化シリコン膜近傍を拡大した格子像である。図2に示すように、SiウェーハとSOI層（Siエピタキシャル成長層）との間に、 $1.4 \sim 1.5 \text{ nm}$ 程度の窒化シリコン膜が形成されたことがわかる。また、図3に示すように、Siウェーハの表面上には、Siウェーハとエピタキシャルな関係を保持した窒化シリコン膜（窒化シリコン膜の部分に観察される格子像）と、その窒化シリコン膜上にエピタキシャル成長したSiエピタキシャル成長層が形成されたことがわかる。なお、窒化シリコン膜の部分について、TEM-EDXにより膜中の元素分析を行った結果、SiとNが検出されることを確認した。

[0074] （実施例2）

（SOIウェーハの構成）

Siウェーハ : 直径 150 mm 、面方位 (111) 、
p型、 $50 \Omega\text{cm}$

絶縁膜 : 窒化シリコン

SOI層 : Siエピタキシャル成長層

[0075] （SOIウェーハの製造条件）

熱処理装置 : 枚葉式エピタキシャル成長装置

窒化シリコン膜 : N_2 24 s l m + H_2 34 s l m

熱処理温度 1190°C

熱処理時間 300 秒

Si（SOI）層 : トリクロロシラン 10 s l m
+ H_2 34 s l m

成長温度 1130°C

成長時間 15 秒

成長速度 $3.8 \mu\text{m}/\text{min}$

- [0076] 得られたSOIウェーハの断面を、透過型電子顕微鏡（TEM）を用いて観察した。図4に、実施例2で製造したSOIウェーハ（半導体基板）の断面TEM観察写真を示す。図5は、図4の窒化シリコン膜近傍を拡大した格子像である。図4に示すように、SiウェーハとSOI層（Siエピタキシャル成長層）との間に、0.9～1.1nm程度の窒化シリコン膜が形成されたことがわかる。また、図5に示すように、Siウェーハの表面上には、Siウェーハとエピタキシャルな関係を保持した窒化シリコン膜（窒化シリコン膜の部分に観察される格子像）と、その窒化シリコン膜上にエピタキシャル成長したSiエピタキシャル成長層が形成されたことがわかる。なお、窒化シリコン膜の部分について、TEM-EDXにより膜中の元素分析を行った結果、SiとNが検出されることを確認した。
- [0077] 以上のとおり、本発明の実施例によれば、シリコン単結晶基板の表面上に、シリコン単結晶基板とエピタキシャルな関係を保持した窒化シリコン膜と、Siエピタキシャル成長層とが形成された高品質のSOIウェーハを、簡便かつ生産性の高い方法で得ることができた。
- [0078] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

請求の範囲

- [請求項1] シリコン単結晶基板の表面に、絶縁膜と、半導体単結晶層とを順次形成することによって、前記絶縁膜上に前記半導体単結晶層を有する半導体基板を製造する方法であって、少なくとも、
- シリコン単結晶基板を、窒素ガス含有雰囲気下で熱処理し、絶縁膜として前記シリコン単結晶基板の表面に、前記シリコン単結晶基板とエピタキシャルな関係を保持した窒化シリコン膜を形成する工程と、
- 前記窒化シリコン膜上に半導体単結晶層をエピタキシャル成長する工程と、
- を有することを特徴とする半導体基板の製造方法。
- [請求項2] 前記窒素ガス含有雰囲気下で熱処理する温度を800℃以上とすることを特徴とする請求項1に記載の半導体基板の製造方法。
- [請求項3] 前記熱処理装置としてエピタキシャル成長装置を用い、前記窒化シリコン膜を形成した後、前記エピタキシャル成長装置内の雰囲気ガスを半導体単結晶層成長用ガスに切り替えて前記エピタキシャル成長を行うことを特徴とする請求項1又は請求項2に記載の半導体基板の製造方法。
- [請求項4] 前記半導体単結晶層を、Si層、SiGe層、Ge層、化合物半導体層のいずれかとすることを特徴とする請求項1から請求項3のいずれか一項に記載の半導体基板の製造方法。
- [請求項5] 前記半導体単結晶層をSi層とし、該Si層のエピタキシャル成長用ガスをトリクロロシランとすることを特徴とする請求項4に記載の半導体基板の製造方法。
- [請求項6] 前記窒化シリコン膜の膜厚を2nm以下とすることを特徴とする請求項1から請求項5のいずれか一項に記載の半導体基板の製造方法。
- [請求項7] 前記窒化シリコン膜と前記半導体単結晶層とを交互に複数層形成することを特徴とする請求項1から請求項6のいずれか一項に記載の半導体基板の製造方法。

- [請求項8] 前記シリコン単結晶基板として、あらかじめ窒素又は酸素をドーピングしたシリコン単結晶基板を用いることを特徴とする請求項1から請求項7のいずれか一項に記載の半導体基板の製造方法。
- [請求項9] 前記シリコン単結晶基板として、面方位が(111)のシリコン単結晶基板を用いることを特徴とする請求項1から請求項8のいずれか一項に記載の半導体基板の製造方法。
- [請求項10] シリコン単結晶基板の表面に、絶縁膜と、該絶縁膜上の半導体単結晶層とを有する半導体基板であって、
前記絶縁膜は、前記シリコン単結晶基板とエピタキシャルな関係を保持した窒化シリコン膜であり、
前記半導体単結晶層は、エピタキシャル成長層であることを特徴とする半導体基板。
- [請求項11] 前記半導体単結晶層がSi層、SiGe層、Ge層、化合物半導体層のいずれかであることを特徴とする請求項10に記載の半導体基板。
- [請求項12] 前記窒化シリコン膜の膜厚が2nm以下であることを特徴とする請求項10又は請求項11に記載の半導体基板。
- [請求項13] 前記窒化シリコン膜と前記半導体単結晶層とを交互に複数層有するものであることを特徴とする請求項10から請求項12のいずれか一項に記載の半導体基板。
- [請求項14] 前記シリコン単結晶基板の面方位が(111)であることを特徴とする請求項10から請求項13のいずれか一項に記載の半導体基板。