

半导体器件的制造方法

技术领域

本公开属于但不限于半导体制造技术领域，具体涉及一种半导体器件的制造方法。

背景技术

随着半导体制造工艺的不断发展，半导体器件的关键尺寸不断缩小，然而栅极宽度的缩小导致所谓的短沟道效应（short-channel effects），会导致漏致势垒降低（Drain Induced Barrier Lowering，简称 DIBL），使得半导体器件无法关断。

为应对该挑战，目前提出了鳍型场效应晶体管（Fin Field-Effect Transistor，简称 Fin FET）和全环栅型场效应晶体管（Gate-All-Around Field-Effect Transistor，简称 GAA FET）。在 3nm 以及更精细的制程中，GAA FET 相对于 Fin FET 展示出更大的优势，例如，对漏电流更好的控制，更小的 DIBL，更高的性能，更大的器件密度等等。

常规的 GAA FET 如图 1 所示，其包括衬底 11、形成在衬底 11 上的若干沟道区 12、环绕沟道区 12 设置的栅极绝缘层（未示出）以及环绕栅极绝缘层设置的金属栅极 13。沟道区 12 的所有侧面都被金属栅极 13 环绕，从而能够得到更小的 DIBL。然而，仍需要对 GAA FET 进行进一步改进。

发明内容

本公开实施例提供了一种半导体器件的制造方法，以解决相关技术中半导体器件的高频开关特性不佳的问题。

为了解决上述技术问题，本公开实施例提供了一种半导体器件的制造方

法, 包括:

在衬底表面形成牺牲区;

在所述牺牲区上形成叠层结构, 所述叠层结构包括交替堆叠的第一半导体层和第二半导体层;

去除所述牺牲区, 以在所述衬底与所述叠层结构之间形成空腔;

在所述空腔内填充绝缘层;

去除所述第一半导体层和所述第二半导体层中的一者;

在所述第一半导体层和所述第二半导体层中的另一者周围形成栅极结构。

在一些实施中, 所述在衬底表面形成牺牲区, 包括:

对所述衬底表面的预设区域进行离子注入;

对离子注入后的区域进行退火处理以形成所述牺牲区。

在一些实施中, 所述离子注入进行 n 型掺杂, 所述离子注入的剂量为 $1 \times 10^{15}/\text{cm}^2$ 至 $5 \times 10^{16}/\text{cm}^2$ 。

在一些实施中, 所述 n 型掺杂的掺杂物包括 Sb、As、P 中的至少一个。

在一些实施中, 所述在所述牺牲区上形成叠层结构, 包括:

在所述衬底表面形成交替堆叠的所述第一半导体层和所述第二半导体层;

对交替堆叠的所述第一半导体层和所述第二半导体层进行刻蚀, 以得到所述叠层结构, 并暴露出至少一部分所述牺牲区的侧壁。

在一些实施中, 所述对交替堆叠的所述第一半导体层和所述第二半导体层进行刻蚀, 包括:

在交替堆叠的所述第一半导体层和所述第二半导体层的上方形成硬掩膜层, 所述硬掩膜层在所述衬底上的投影与所述牺牲区相对应;

利用所述硬掩膜层, 对所述第一半导体层、所述第二半导体层和所述衬

底进行刻蚀，以形成所述叠层结构，且在所述叠层结构两侧的所述衬底内形成凹槽。

在一些实施中，在所述叠层结构两侧的所述衬底内形成凹槽的过程中，暴露出至少一部分所述牺牲区的侧壁。

在一些实施中，所述在所述牺牲区上形成叠层结构，还包括：

形成覆盖所述叠层结构和所述衬底的保护层；

对所述保护层和所述衬底进行各向异性刻蚀，保留所述叠层结构侧壁的保护层作为侧壁保护层，并暴露出至少一部分所述牺牲区的侧壁。

在一些实施中，所述形成覆盖所述叠层结构和所述衬底的保护层，包括：

采用 ALD 工艺形成所述保护层；或者

所述保护层包括氮化硅基材料；或者

所述保护层包括氮化硅、SiON、SiOCN 或 SiCN 中的至少一个。

在一些实施中，所述对所述保护层进行各向异性刻蚀，包括：

采用高刻蚀速率的工艺气体、高上电极射频功率及下电极射频功率，执行所述各向异性刻蚀。

在一些实施中，所述工艺气体包括氯气或碳氟类气体；或者

所述上电极射频功率范围为 100W 至 3000W，所述下电极射频功率范围为 50W 至 1000W。

在一些实施中，所述硬掩膜层包括氧化物绝缘层和氮化物绝缘层中的至少一个；或者

所述硬掩膜层包括第一硬掩膜层和位于所述第一硬掩膜层上方的第二硬掩膜层，所述第一硬掩膜层包括氧化硅，所述第二硬掩膜层包括氮化硅。

在一些实施中，所述去除所述牺牲区，包括：

对所述牺牲区进行各向同性等离子体刻蚀。

在一些实施中，所述对所述牺牲区进行各向同性等离子体刻蚀，包括：

在不加载下电极射频功率的情况下，在低压环境下对所述牺牲区进行刻蚀。

在一些实施中，所述低压环境为 5mTorr 至 800mTorr。

在一些实施中，所述各向同性等离子体刻蚀所采用的刻蚀气体为使得所述牺牲区与所述衬底之间的刻蚀选择比大于预定值的刻蚀气体。

在一些实施中，所述衬底为硅，所述牺牲区为 n 型重掺杂的硅，所述各向同性等离子体刻蚀所采用的刻蚀气体为氯气；

所述牺牲区与所述衬底之间的刻蚀选择比大于 200。

在一些实施中，所述第一半导体层和所述第二半导体层由具有不同晶格常数的半导体材料制成。

在一些实施中，所述第一半导体层和所述第二半导体层包括 Si、Ge、SiGe、GeSn、SiGeSn、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、InP 中的至少一个。

在一些实施中，所述在所述空腔内填充绝缘层，包括：

在所述叠层结构的周围以及所述衬底表面沉积所述绝缘层，直至所述空腔处的所述叠层结构下方的所述绝缘层与所述空腔处的所述衬底上方的所述绝缘层贴合；

去除所述空腔以外的所述绝缘层。

在一些实施中，所述在所述叠层结构的周围以及所述衬底表面沉积所述绝缘层，包括：

利用原子层沉积工艺来沉积所述绝缘层。

在一些实施中，所述半导体器件的制造方法还包括：

对所述绝缘层进行退火处理。

在一些实施中，所述半导体器件的制造方法还包括：

去除所述侧壁保护层和所述硬掩膜层；

填充所述凹槽以形成浅沟槽隔离结构。

在一些实施中，在去除所述第一半导体层和所述第二半导体层中的一者之前，还包括：

在所述叠层结构的待形成所述栅极结构的区域的两侧分别形成源极区和漏极区。

在一些实施中，所述栅极结构包括围绕所述第一半导体层和所述第二半导体层中的所述另一者设置的栅极介电层和围绕所述栅极介电层设置的栅电极层；

被所述栅极结构围绕的所述第一半导体层和所述第二半导体层中的所述另一者形成所述半导体器件的沟道区。

在本公开实施例的半导体器件的制造方法中，通过在半导体器件最下方的栅极结构与衬底之间形成绝缘层，抑制了最下方的栅极结构与衬底之间的寄生栅电容，提升了半导体器件的高频开关特性。

附图说明

图1示出了相关技术中GAAFET的示意图；

图2示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的示意图；

图3示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的示意图；

图4示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的示意图；

图5示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的示意图；

图6示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一

的示意图；

图 7A 示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 7B 示出了沿图 7A 中虚线的截面示意图；

图 8A 示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的轴侧示意图；

图 8B 示出了图 8A 的正面示意图；

图 8C 示出了沿图 8B 中虚线的截面示意图；

图 9A 示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的轴侧示意图；

图 9B 示出了图 9A 的正面示意图；

图 9C 示出了沿图 9B 中虚线的截面示意图；

图 10A 示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的轴侧示意图；

图 10B 示出了图 10A 的正面示意图；

图 10C 示出了沿图 10B 中虚线的截面示意图；

图 11 示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 12 示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的轴侧示意图；

图 13A 示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的示意图；

图 13B 示出了沿图 13A 中虚线的截面示意图；

图 14A 示出了根据本公开实施例的半导体器件的制造方法的各个阶段之一的轴侧截面示意图；

图 14B 示出了图 14A 的正面示意图。

具体实施方式

为使本公开的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

本领域技术人员应当理解，本公开实施例仅是对可以以各种形式来实施本公开所请求保护的结构和方法的说明。此外，结合各种实施例给出的每个示例旨在是说明性的，而不是限制性的。此外，附图不一定按比例绘制，一些特征可能被夸大以显示特定组件的细节。因此，本公开实施例中的具体结构和功能细节不应被解释为限制性的，而仅仅是作为教导本领域技术人员以不同方式采用本公开实施例的方法和结构的代表性基础。还应注意，相同和对应的元素由相同的附图标记表示。

在下文的描述中，阐述了许多具体细节，例如特定结构、组件、材料、尺寸、处理步骤和技术，以便提供对本公开的各种实施例的理解。然而，本领域技术人员应当理解，可以在没有这些具体细节的情况下实践本公开的各种实施例。在其他情况下，未详细描述众所周知的结构或处理步骤，以避免混淆本公开。

出于下文描述的目的，术语“上”、“右”、“左”、“垂直”、“水平”、“顶部”、“底部”及其派生词应与说明书附图所公开的结构和方法中的定向有关。应当理解，当作为层、区域或衬底的元素被称为在另一元素上时，该元素可以直接在另一元素上，或者也可以存在中间元素。相反，当一个元素被称为直接在另一元素上时，两者之间不存在中间元素。还应当理解，当一个元素被称为

在另一元素下时，该元素可以直接在另一元素下，或者可以存在中间元素。相反。当一个元素被称为直接在另一元素下时，两者之间不存在中间元素。

相关技术中的 GAAFET 如图 1 所示，其包括衬底 11、形成在衬底 11 上的若干沟道区 12、环绕沟道区 12 设置的栅极绝缘层（未示出）以及环绕栅极绝缘层设置的金属栅极 13。本公开的发明人发现，在该 GAAFET 结构中，最下方的金属栅极 13 会与衬底 11 之间形成寄生栅电容，当向金属栅极 13 施加开启或关断电压时，会对该寄生栅电容充电，从而影响 GAAFET 的开启或关断速度，降低 GAAFET 的高频开关特性。

为解决该问题，本公开实施例所提出的一种主要构思在于，在相关技术中的 GAAFET 最下方的金属栅极 13 与衬底 11 之间设置绝缘层，从而抑制寄生栅电容，以提升 GAAFET 的高频开关特性。

下面将结合附图，对本公开实施例提供的技术方案进行详细说明。

本公开实施例提供了一种半导体器件的制造方法，其可以包括如下步骤。

S110、在衬底表面形成牺牲区。

如图 3 所示，衬底 100 的表面形成了牺牲区 101。这里的牺牲区 101，是指形成在衬底 100 中的具有一定深度的牺牲层，且该牺牲层的上表面与衬底 100 的上表面共面。本公开实施例对牺牲层的制造方法不做任何限定，只要牺牲区 101 与衬底 100 之间存在较大的刻蚀选择比，在后续工序中能够通过选择性刻蚀的方式去除该牺牲区 101 即可。在下文中还将看到，牺牲区 101 的位置与半导体器件的沟道区在衬底 100 上的投影的位置相对应。

衬底 100 在至少其表面部分上包括单晶半导体层。衬底 100 可以包括单晶半导体材料，诸如但不限于 Si、Ge、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb 和 InP。在一些实施方式中，衬底 100 可以由晶体 Si 制成。衬底 100 可以在其表面区中包括一个或多个缓冲层（未示出）。缓

缓冲层可以用于逐渐地将晶格常数从衬底的晶格常数改变为源极/漏极区的晶格常数，例如，多个缓冲层的晶格常数从衬底到源极/漏极区逐渐变化，以减小各相邻两个膜层（包括衬底与相邻的缓冲层，各相邻的缓冲层以及源极/漏极区与相邻的缓冲层）之间的晶格常数的差值。缓冲层可以由外延生长的单晶半导体材料形成，诸如但不限于 Si、Ge、GeSn、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、GaN、GaP 和 InP。在一些实施方式中，衬底 100 可以包括在硅衬底上外延生长的硅锗（SiGe）缓冲层。衬底 100 还可以包括已经适当掺杂有杂质（例如，p 型或 n 型导电性）的各个区域。

在本公开实施例的一些实施方式中，上述步骤 S110 可以包括：

S111、利用掩模板在衬底 100 上形成光刻胶图案 102，光刻胶图案 102 暴露出衬底 100 表面的预定区域，如图 2 所示。该预定区域也就是将要形成牺牲区 101 的区域。

S112、对衬底 100 表面的预设区域进行离子注入。

如图 2 所示，利用光刻胶图案 102 的遮挡，在预定区域进行离子注入以形成掺杂区，也即牺牲区 101，该牺牲区 101 例如可以是 n 型掺杂区。

在一些实施方式中，离子注入的剂量可以为 $1 \times 10^{15}/\text{cm}^2$ 至 $5 \times 10^{16}/\text{cm}^2$ ，注入的杂质例如可以为 n 型掺杂物，通过该离子注入在衬底 100 内形成牺牲区 101，该牺牲区 101 为 n 型重掺杂区，从而可以增大所形成的牺牲区 101 与衬底 100 之间的刻蚀选择比。可选地，n 型掺杂物可以包括 Sb、As、P 中的至少一个。

在一些实施方式中，为了提升牺牲区 101 的图案精度，光刻胶图案 102 可以包括两层，即位于下方（相邻于衬底 100 表面）的双层抗反射涂层（Double Anti-Reflective Coating，简称 DARC）和位于 DARC 上方的光刻胶层。本领域技术人员应当理解，光刻胶图案 102 还可以包括更多层或是一层。

S113、去除光刻胶图案 102。

可以采用各种去胶工艺来去除光刻胶图案 102，本公开实施例对此不做任何限定。

S114、对离子注入后的区域进行退火处理以形成牺牲区 101。

在进行离子注入之后，会导致衬底的晶格损伤。为了能够在衬底上继续进行外延生长，需要对衬底进行退火处理，以使得经离子注入后的晶格受损区域重结晶。在一些实施方式中，采用快速热退火（Rapid Thermal Anneal，简称 RTA）工艺来进行上述退火处理。

S120、在牺牲区上形成叠层结构，叠层结构包括交替堆叠的第一半导体层和第二半导体层。

如图 7A 和图 7B 所示，牺牲区 101 上形成有叠层结构，叠层结构可以包括交替堆叠的第一半导体层 110 和第二半导体层 120。此外，叠层结构上方还包括作为掩膜来刻蚀形成该叠层结构的硬掩膜层 130。

第一半导体层 110 和第二半导体层 120 由具有不同晶格常数的材料制成，并且可以包括 Si、Ge、SiGe、GeSn、SiGeSn、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb 或 InP 的一层或多层。

在一些实施方式中，第一半导体层 110 和第二半导体层 120 由 Si、Si 化合物、SiGe、Ge 或 Ge 化合物制成。在一些实施方式中，第一半导体层 110 是 Si，第二半导体层 120 是 SiGe。在另一些实施方式中，第一半导体层 110 也可以是 SiGe，第一半导体层 110 和第二半导体层 120 的 Ge 含量不同。

在图 7A 和图 7B 中示出了三层第一半导体层 110 和三层第二半导体层 120，然而本公开实施例并不限于此，更多或是更少的第一半导体层 110 和第二半导体层 120 都是可行的。在一些实施方式中，第一半导体层 110 和第二半导体层 120 中的每一个形成为 2 层至 20 层。通过调整第一半导体层 110 和/或第二半导体层 120 的数量，可以调整 GAA FET 器件的驱动电流。

第一半导体层 110 和第二半导体层 120 外延地形成在衬底 100 上方。第一半导体层 110 的厚度与第二半导体层 120 的厚度可以相同，也可以不同。并且，第一半导体层 110 中的每一层的厚度可以相同，或者可以不同；第二半导体层 120 中的每一层的厚度可以相同，或者可以不同。本公开实施例对此不做任何限定。在一些实施方式中，第一半导体层 110 的厚度在 2nm 至 20nm 的范围内。在一些实施方式中，第二半导体层 120 的厚度在 2nm 至 20nm 的范围内。

硬掩膜层 130 可以是一层，也可以是多层，本公开实施例对此不做任何限定。在一些实施方式中，硬掩膜层 130 包括氧化物绝缘层和氮化物绝缘层中的至少一个。例如，硬掩膜层 130 可以包括第一硬掩膜层 131 和位于该第一硬掩膜层 131 上方的第二硬掩膜层 132。第一硬掩膜层 131 可以包括氧化硅，例如是由氧化硅制成的衬垫氧化物层，衬垫氧化物层可以通过热氧化形成。第二硬掩膜层 132 可以包括氮化硅，例如是由氮化硅 (SiN) 制成，氮化硅通过化学气相沉积 (Chemical Vapor Deposition, 简称 CVD)、物理气相沉积 (Physical Vapor Deposition, 简称 PVD)、原子层沉积 (Atomic Layer Deposition, 简称 ALD) 或其他合适的工艺形成。其中，CVD 包括低压 CVD (Low Pressure Chemical Vapor Deposition, 简称 LPCVD) 和等离子体增强 CVD (Plasma Enhance Chemical Vapour Deposition, 简称 PECVD)。通过使用包括光刻和蚀刻的图案化操作将硬掩膜层 130 图案化为掩模图案。

在本公开实施例的一些实施方式中，上述步骤 S120 可以包括：

S121、在衬底 100 表面形成交替堆叠的第一半导体层 110 和第二半导体层 120，如图 4 所示。

S122、在交替堆叠的第一半导体层 110 和第二半导体层 120 上方形成硬掩膜层 130，硬掩膜层 130 在衬底上 100 的投影与牺牲区 101 相对应，如图 4 所示。

需要说明的是，硬掩膜层 130 在图案化之前的整层膜层覆盖整个衬底 100，然后利用掩模板形成光刻胶图案，并在图案化时刻蚀掉硬掩膜层 130 多余的部分，以得到图 4 所示的图案化的硬掩膜层 130。在步骤 S122 中所采用的掩模板与步骤 S111 中采用的掩模板是相同的，所采用的光刻胶不同。在一种实施方式中，步骤 S122 采用正性光刻胶，步骤 S111 采用负性光刻胶；在另一种实施方式中，步骤 S122 采用负性光刻胶，步骤 S111 采用正性光刻胶。

S123、利用硬掩膜层 130，对第一半导体层 110、第二半导体层 120 和衬底 100 进行刻蚀，以得到叠层结构，在叠层结构两侧的衬底 100 内形成凹槽。

如图 5 所示，在本步骤中，在对交替堆叠的第一半导体层 110 和第二半导体层 120 进行刻蚀结束之后，还可以继续对下方的衬底 100 进行刻蚀，以在叠层结构两侧的衬底 100 内形成凹槽，便于后续形成浅沟槽隔离（shallow trench isolation，简称 STI）结构。

在本步骤的一些实施方式中，可以在叠层结构两侧的衬底 100 内形成凹槽的过程中，暴露出至少一部分牺牲区 101 的侧壁。在后续过程中，可以通过选择性的横向刻蚀，去除掉牺牲区 101。然而，采用该实施方式，在横向刻蚀牺牲区 101 的同时，会导致第一半导体层 110 和第二半导体层 120 中的沟道区受损，从而影响 GAAFET 器件的性能。

在本步骤的另一些实施方式中，在叠层结构两侧的衬底 100 内形成凹槽的过程中，可以通过控制刻蚀深度，例如通过发射光谱（Optical Emission Spectroscopy，简称 OES）法检测刻蚀终点的方式，使得刻蚀深度达到刚好不暴露牺牲区 101 的深度，后续步骤如下文所述。

S124、形成覆盖叠层结构和衬底 100 的保护层 140，如图 6 所示。

保护层 140 用于在后续的牺牲区 101 刻蚀过程中，保护沟道区不被横向

刻蚀。保护层 140 可以包括通过 CVD (包括 LPCVD 和 PECVD)、PVD、ALD 或其他合适的工艺形成的氮化硅基材料, 诸如氮化硅、SiON、SiOCN 或 SiCN 和它们的组合。在一些实施方式中, 保护层 140 由氮化硅制成, 例如可以通过 ALD 工艺制成, 从而可以保证保护层 140 的良好的致密度, 以在后续的牺牲区 101 刻蚀过程中, 保护沟道区不被横向刻蚀。

S125、对保护层 140 和衬底 100 进行各向异性刻蚀, 保留在叠层结构侧壁的保护层作为侧壁保护层 141, 并暴露出至少一部分牺牲区 101 的侧壁, 如图 7A 和图 7B 所示。

在本步骤中, 可以采用高刻蚀速率的工艺气体、高上电极射频功率及下电极射频功率, 来执行该各向异性刻蚀, 从而仅刻蚀水平方向上的保护层 140 以及部分衬底 100, 在叠层结构侧壁保留侧壁保护层 141, 并暴露出至少一部分牺牲区 101 的侧壁, 优选地, 暴露出全部牺牲区 101 的侧壁, 以便于在后续工序中更加完全的去除牺牲区 101。这里, 水平方向上的保护层 140 是指在水平方向或者接近水平方向的倾斜方向铺设的保护层 140, 例如保护层 140 覆盖在衬底 100 表面上的部分, 以及覆盖在硬掩膜层 130 上的部分。

采用高下电极射频功率, 可以为等离子体提供向下加速能量和方向, 采用高上电极射频功率可以产生更多的等离子体, 同时再采用高刻蚀速率的工艺气体, 增强各向异性刻蚀的方向性, 从而可以在刻蚀掉水平方向上的保护层 140 以及部分衬底 100 以暴露出至少一部分牺牲区 101 的侧壁的同时, 尽可能避免位于叠层结构侧壁的保护层 140 被横向刻蚀, 从而可以在后续刻蚀工艺中为沟道区提供保护。本领域技术人员应当理解, 所谓上电极射频功率通常指的是向位于工艺腔室顶部的射频线圈加载的射频功率, 在一些实施方式中, 射频线圈也可以位于工艺腔室侧面, 用于使工艺气体离化, 以产生等离子体; 所谓下电极射频功率通常指的是向工艺腔室的下电极组件施加的射频功率, 下电极组件包括晶圆承载装置, 用于产生射频偏压, 从而提高等离

子体的方向性。

在一些实施方式中，保护层 140 为氮化硅，衬底 100 为硅，工艺气体可以包括氟气或碳氟类气体。该碳氟类气体例如可以是 CF_4 或 CHF_3 。当然，在刻蚀工序中，工艺气体中还可以包括保护气体，以为侧壁的保护层 140 提供保护，该保护气体可以包括 N_2 、 CH_4 中的至少一个。更具体地，上电极射频功率范围例如为 100W 至 3000W，下电极射频功率范围例如为 50W 至 1000W。

S130、去除牺牲区，以在衬底与叠层结构之间形成空腔。

如图 8A 至图 8C 所示，通过选择性刻蚀，可以去除衬底 100 与叠层结构之间的牺牲区 101，从而形成空腔 103。

与步骤 S125 相反，在本步骤中需要对衬底 100 进行各向同性刻蚀以去除牺牲区 101。因此，在本步骤中，不加载下电极射频功率，并加载较低的上电极射频功率，本步骤中的上电极射频功率低于步骤 S125 中的上电极射频功率。在刻蚀过程中，在低压环境下对牺牲区 101 进行刻蚀，即需要采用较低的腔室压力，该腔室压力例如低于步骤 S125 中的腔室压力，以增大刻蚀离子的自由程，从而能够完全去除牺牲区 101。具体地，上述步骤 S130 采用的腔室压力为 5mTorr 至 800mTorr。

在一些实施方式中，上述步骤 S130 中各向同性等离子体刻蚀所采用的刻蚀气体为使得牺牲区 101 与衬底 100 之间的刻蚀选择比大于预定值的刻蚀气体，从而可以保证牺牲区 101 可以被完全去除，且不对半导体器件的结构造成损伤。例如，衬底 100 为硅，牺牲区 101 为 n 型重掺杂硅，在此情况下，可以选用氟气作为刻蚀气体，以增大 n 型重掺杂硅与硅、n 型重掺杂硅与氮化硅之间的刻蚀选择比，n 型重掺杂硅与硅之间的刻蚀选择比大于 200（即上述预定值），进一步地，该刻蚀选择比例例如大于（200-250）:1，从而可以保证牺牲区 101 可以被完全去除，且不对半导体器件的结构造成损伤。在此基

础上，在一些实施例中，侧壁保护层 141 为氮化硅，硬掩模层 130 中最上层的第二硬掩模层 132 为氮化硅，n 型重掺杂硅与氮化硅之间的刻蚀选择比大于 200，进一步地，该刻蚀选择比例如大于 (200-250):1。需要说明的是，为了保证牺牲区 101 可以被完全去除，同时保证基本不对衬底 100、侧壁保护层 141 和第二硬掩模层 132 进行刻蚀，这就需要在使得牺牲区 101 与衬底 100 之间的刻蚀选择比大于预定值的同时，使牺牲区 101 与侧壁保护层 141 之间的刻蚀选择比，以及牺牲区 101 与第二硬掩模层 132 之间的刻蚀选择比足够大。

应当理解，本公开实施例并不限于此，牺牲区、衬底、侧壁保护层以及硬掩模层也可以采用其他材料，本领域技术人员可以根据牺牲区、衬底、侧壁保护层以及硬掩模层的材料，合理选择所需采用的刻蚀气体，只要使得牺牲区 101 与衬底 100 之间的刻蚀选择比，牺牲区 101 与侧壁保护层 141 之间的刻蚀选择比以及牺牲区 101 与第二硬掩模层 132 之间的刻蚀选择比足够大即可，在此不再赘述。

S140、在空腔内填充绝缘层。

如图 10A 至图 10C 所示，通过在空腔内填充绝缘层 151，从而在后续形成的 GAAFET 的最下方的栅极结构与衬底 100 之间形成了绝缘层 151，从而可以抑制最下方的栅极结构与衬底之间的寄生栅电容，以提升半导体器件的高频开关特性。在一些实施方式中，该绝缘层 151 例如可以是氮化硅、氧化硅或氮氧化硅等，本公开对绝缘层 151 的材料和填充方式不做任何限定。

在本公开实施例的一些实施方式中，上述步骤 S140 可以包括：

S141、在叠层结构的周围以及衬底 100 表面沉积绝缘层 150，直至空腔 103 处的叠层结构下方的绝缘层 150 与空腔 103 处的衬底 100 上方的绝缘层 150 贴合，如图 9A 至图 9C 所示。

本领域技术人员应当理解，图 9A 至图 9C 中空腔 103 处的叠层结构下

方的绝缘层 150 以及空腔 103 处的衬底 100 上方的绝缘层 150 之间标示了一条横线仅仅只是为了能够更加形象的说明，在本公开实施例中，绝缘层 150 是通过不断沉积使得空腔 103 处的叠层结构下方的绝缘层 150 与空腔 103 处的衬底 100 上方的绝缘层 150 相互贴合而成的，并非意在限定绝缘层 150 需要刻意分为两层。也就是说，在空腔 103 中，一部分绝缘层 150 是自空腔 103 的顶部（即，叠层结构在空腔 103 中的下表面）向下逐渐增加厚度，而另一部分绝缘层 150 是自空腔 103 的底部（即，衬底 100 在空腔 103 中的上表面）向上逐渐增加厚度，这两个部分的绝缘层 150 彼此相对的表面会随着厚度的增加而逐渐靠近，直至贴合在一起。

为使得工艺气体能够深入到空腔 103 内部沉积，可以采用低压 CVD（LPCVD）或原子层沉积（ALD）等工艺来形成该绝缘层 150，进一步地，采用 ALD 工艺来形成绝缘层 150，从而可以更好的填充空腔 103。

由于后续工序中需要去除空腔以外的绝缘层 150，而仅保留空腔内的绝缘层 150，在一些实施例中，绝缘层 150 与衬底 100 之间以及绝缘层 150 与侧壁保护层 141 之间需要有大的刻蚀选择比，从而可以选择性地去除空腔以外的绝缘层 150。

S142、去除空腔 103 以外的绝缘层 150。

如图 10A 至图 10C 所示，可以通过干法或湿法刻蚀来去除空腔 103 以外的绝缘层 150，绝缘层 150 在去除空腔 103 以外的部分之后，其仅保留在空腔 103 内的部分为绝缘层 151。在一些实施方式中，绝缘层 150 为氧化硅，侧壁保护层 141 为氮化硅，衬底 100 为硅，从而绝缘层 150 与侧壁保护层 141 之间、以及绝缘层 150 与衬底 100 之间的刻蚀选择比较大，便于实现空腔 103 以外的绝缘层 150 的去除。

在一些实施方式中，上述步骤 S140 还可以包括：

S143、对绝缘层 151 进行退火处理。

通过对绝缘层 151 进行退火处理,有利于减少绝缘层 151 中的晶格缺陷,增加绝缘层 151 的致密度,提高绝缘层 151 的高压耐受性,从而提高绝缘层 151 的可靠性。

需要说明的是,步骤 S143 的退火处理可以选择在步骤 S142 的去除空腔外的绝缘层之前进行,也可以在之后进行,本公开实施例对此不做任何限定。该退火处理例如可以采用快速热退火工艺或激光退火工艺等。

在一些实施方式中,在步骤 S143 之后,还可以包括:

S144、去除侧壁保护层 141 和硬掩膜层 130,如图 11 所示。

在一些实施方式中,侧壁保护层 141 和硬掩膜层 130 与衬底 100、第一半导体层 110 和第二半导体层 120 之间具有大的刻蚀选择比,从而便于去除侧壁保护层 141 和硬掩膜层 130。

S145、填充凹槽以形成浅沟槽隔离结构 160,如图 11 所示。通过浅沟槽隔离结构 160 能够实现各个 GAAFET 之间的隔离。

在一些实施方式中,在步骤 S150 之前,还可以包括:

S146、在叠层结构的待形成栅极结构的区域的两侧分别形成源极区和漏极区,后文中简称为源极区/漏极区 200,如图 12 所示。

具体而言,上述步骤 S146 可以包括:在对应于待形成栅极结构的区域形成牺牲栅;对牺牲栅的两侧的叠层结构进行掺杂以形成源极区/漏极区 200;在牺牲栅的两侧形成隔离层 210 和隔离垫 220,以分别覆盖源极区/漏极区 200 的顶部和侧部;去除牺牲栅,以暴露出源极区/漏极区 200 之间的沟道区,从而得到了图 12 所示的半导体结构。上述工艺步骤属于本领域的常规工艺步骤,在此不再赘述。

S150、去除第一半导体层 110 和第二半导体层 120 中的一者。

如图 13A 和图 13B 所示,去除了第一半导体层 110,从而在对应于栅极结构的区域形成了若干空位 111。

对于 Si、SiGe 或 Ge 基沟道的 GAAFET 来说,通常, Si 用于 n 沟道 GAAFET, 而 SiGe 或 Ge 用于 p 沟道 GAAFET。在 SiGe p 沟道 GAFET 的情况下,较高的 Ge 浓度可以提高晶体管性能。本领域技术人员可以根据需求来去除第一半导体层 110 和第二半导体层 120。

S160、在第一半导体层 110 和第二半导体层 120 中的另一者周围形成栅极结构 121。

在一些实施例中, 栅极结构 121 包括围绕第一半导体层 110 和第二半导体层 120 中的另一者设置的栅极介电层和围绕该栅极介电层设置的栅电极层; 并且, 被上述栅极结构 121 围绕的第一半导体层 110 和第二半导体层 120 中的另一者形成成为半导体器件的沟道区。例如, 如图 14A 和图 14B 所示, 在第二半导体层 120 周围形成栅极结构 121, 被栅极结构 121 所围绕的第二半导体层 120 形成成为 GAAFET 的沟道区。栅极结构 121 可以包括围绕第二半导体层 120 设置的栅极介电层和栅电极层。

在一些实施方式中, 栅极介电层可以包括介电材料(诸如氧化硅、氮化硅或高 k 介电材料)、其他合适的介电材料和/或其组合的一层或多层。高 k 介电材料例如可以包括 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、氧化锆、氧化铝、氧化钛、二氧化锆-氧化铝($\text{HfO}_2\text{-Al}_2\text{O}_3$)合金、其他合适的高 k 介电材料和/或其组合。在一些实施例中, 在沟道区和栅极介电层之间还可以形成有界面层。栅极介电层可以通过 CVD、ALD 或任何合适的方法形成。在一个可选实施例中, 栅极介电层的厚度在约 1nm 至约 6nm 的范围内。

在一些实施方式中, 栅电极层可以包括一层或多层导电材料, 诸如多晶硅、铝、铜、钛、钽、钨、钴、钼、氮化钽、硅化镍、硅化钴、TiN、WN、TiAl、TiAlN、TaCN、TaC、TaSiN、其合金、其他合适的材料和/或其组合。栅电极层可以通过 CVD、ALD、电镀或其他合适的方法形成。

在一些实施方式中, 上述工艺步骤属于本领域的常规工艺步骤, 还可以

通过绝缘覆盖层来填充两个隔离层 210 之间的间隙，在此不再赘述。

在本公开实施例的半导体器件的制造方法中，通过在半导体器件最下方的栅极结构与衬底之间形成绝缘层，抑制了最下方的栅极结构与衬底之间的寄生栅电容，提升了半导体器件的高频开关特性。

本公开上文实施例中重点描述的是各个实施例之间的不同，各个实施例之间不同的优化特征只要不矛盾，均可以组合形成更优的实施例，考虑到行文简洁，在此则不再赘述。

以上所述仅为本公开的实施例而已，并不用于限制本公开。对于本领域技术人员来说，本公开可以有各种更改和变化。凡在本公开的精神和原理之内所作的任何修改、等同替换、改进等，均应包含在本公开的权利要求范围之内。

权 利 要 求 书

- 1、一种半导体器件的制造方法，其中，包括：
- 在衬底表面形成牺牲区；
- 5 在所述牺牲区上形成叠层结构，所述叠层结构包括交替堆叠的第一半导体层和第二半导体层；
- 去除所述牺牲区，以在所述衬底与所述叠层结构之间形成空腔；
- 在所述空腔内填充绝缘层；
- 去除所述第一半导体层和所述第二半导体层中的一者；
- 10 在所述第一半导体层和所述第二半导体层中的另一者周围形成栅极结构。

- 2、根据权利要求1所述的半导体器件的制造方法，其中，所述在衬底表面形成牺牲区，包括：
- 15 对所述衬底表面的预设区域进行离子注入；
- 对离子注入后的区域进行退火处理以形成所述牺牲区。

- 3、根据权利要求2所述的半导体器件的制造方法，其中，所述离子注入进行n型掺杂，所述离子注入的剂量为 $1 \times 10^{15}/\text{cm}^2$ 至 $5 \times 10^{16}/\text{cm}^2$ 。
- 20

- 4、根据权利要求3所述的半导体器件的制造方法，其中，所述n型掺杂的掺杂物包括Sb、As、P中的至少一个。

- 5、根据权利要求1所述的半导体器件的制造方法，其中，所述在所述牺牲区上形成叠层结构，包括：
- 25 在所述衬底表面形成交替堆叠的所述第一半导体层和所述第二半导体层；

对交替堆叠的所述第一半导体层和所述第二半导体层进行刻蚀，以得到所述叠层结构，并暴露出至少一部分所述牺牲区的侧壁。

- 6、根据权利要求5所述的半导体器件的制造方法，其中，所述对交替堆叠的所述第一半导体层和所述第二半导体层进行刻蚀，包括：

在交替堆叠的所述第一半导体层和所述第二半导体层的上方形成硬掩膜层，所述硬掩膜层在所述衬底上的投影与所述牺牲区相对应；

- 利用所述硬掩膜层，对所述第一半导体层、所述第二半导体层和所述衬底进行刻蚀，以形成所述叠层结构，且在所述叠层结构两侧的所述衬底内形成凹槽。

- 7、根据权利要求6所述的半导体器件的制造方法，其中，在所述叠层结构两侧的所述衬底内形成凹槽的过程中，暴露出至少一部分所述牺牲区的侧壁。

- 8、根据权利要求6所述的半导体器件的制造方法，其中，所述在所述牺牲区上形成叠层结构，还包括：

形成覆盖所述叠层结构和所述衬底的保护层；

- 对所述保护层和所述衬底进行各向异性刻蚀，保留所述叠层结构侧壁的保护层作为侧壁保护层，并暴露出至少一部分所述牺牲区的侧壁。

- 9、根据权利要求8所述的半导体器件的制造方法，其中，所述形成覆盖所述叠层结构和所述衬底的保护层，包括：

采用ALD工艺形成所述保护层；或者

- 所述保护层包括氮化硅基材料；或者

所述保护层包括氮化硅、SiON、SiOCN或SiCN中的至少一个。

10、根据权利要求 8 所述的半导体器件的制造方法，其中，所述对所述保护层进行各向异性刻蚀，包括：

采用高刻蚀速率的工艺气体、高上电极射频功率及下电极射频功率，执行所述各向异性刻蚀。

5

11、根据权利要求 10 所述的半导体器件的制造方法，其中，所述工艺气体包括氯气或碳氟类气体；或者

所述上电极射频功率范围为 100W 至 3000W，所述下电极射频功率范围为 50W 至 1000W。

10

12、根据权利要求 6 所述的半导体器件的制造方法，其中，所述硬掩膜层包括氧化物绝缘层和氮化物绝缘层中的至少一个；或者

所述硬掩膜层包括第一硬掩膜层和位于所述第一硬掩膜层上方的第二硬掩膜层，所述第一硬掩膜层包括氧化硅，所述第二硬掩膜层包括氮化硅。

15

13、根据权利要求 1 所述的半导体器件的制造方法，其中，所述去除所述牺牲区，包括：

对所述牺牲区进行各向同性等离子体刻蚀。

20

14、根据权利要求 13 所述的半导体器件的制造方法，其中，所述对所述牺牲区进行各向同性等离子体刻蚀，包括：

在不加载下电极射频功率的情况下，在低压环境下对所述牺牲区进行刻蚀。

25

15、根据权利要求 14 所述的半导体器件的制造方法，其中，所述低压环境为 5mTorr 至 800mTorr。

16、根据权利要求 13 所述的半导体器件的制造方法，其中，所述各向同性等离子体刻蚀所采用的刻蚀气体为使得所述牺牲区与所述衬底之间的刻蚀选择比大于预定值的刻蚀气体。

5 17、根据权利要求 16 所述的半导体器件的制造方法，其中，所述衬底为硅，所述牺牲区为 n 型重掺杂的硅，所述各向同性等离子体刻蚀所采用的刻蚀气体为氯气；

所述牺牲区与所述衬底之间的刻蚀选择比大于 200。

10 18、据权利要求 1 所述的半导体器件的制造方法，其中，所述第一半导体层和所述第二半导体层由具有不同晶格常数的半导体材料制成。

19、据权利要求 18 述的半导体器件的制造方法，其中，所述第一半导体层和所述第二半导体层包括 Si、Ge、SiGe、GeSn、SiGeSn、GaAs、InSb、
15 GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb、InP 中的至少一个。

20、根据权利要求 1 至 19 中的任一项所述的半导体器件的制造方法，其中，所述在所述空腔内填充绝缘层，包括：

在所述叠层结构的周围以及所述衬底表面沉积所述绝缘层，直至所述空腔处的所述叠层结构下方的所述绝缘层与所述空腔处的所述衬底上方的所述绝缘层贴合；
20 所述绝缘层贴合；

去除所述空腔以外的所述绝缘层。

21、根据权利要求 20 所述的半导体器件的制造方法，其中，所述在所述叠层结构的周围以及所述衬底表面沉积所述绝缘层，包括：
25 所述叠层结构的周围以及所述衬底表面沉积所述绝缘层，包括：

利用原子层沉积工艺来沉积所述绝缘层。

22、根据权利要求 20 所述的半导体器件的制造方法，其中，还包括：
对所述绝缘层进行退火处理。

23、根据权利要求 8 所述的半导体器件的制造方法，其中，还包括：
5 去除所述侧壁保护层和所述硬掩膜层；
填充所述凹槽以形成浅沟槽隔离结构。

24、根据权利要求 1 所述的半导体器件的制造方法，其中，在去除所述
第一半导体层和所述第二半导体层中的一者之前，还包括：
10 在所述叠层结构的待形成所述栅极结构的区域的两侧分别形成源极区
和漏极区。

25、根据权利要求 1 所述的半导体器件的制造方法，其中，所述栅极结
构包括围绕所述第一半导体层和所述第二半导体层中的所述另一者设置的
15 栅极介电层和围绕所述栅极介电层设置的栅电极层；

被所述栅极结构围绕的所述第一半导体层和所述第二半导体层中的所
述另一者形成所述半导体器件的沟道区。