

数据接收电路、数据接收系统以及存储装置

交叉引用

[0001] 本申请要求于 2022 年 07 月 04 日递交的名称为“数据接收电路、数据接收系统以及存储装置”、
5 申请号为 202210787523.X 的中国专利申请的优先权，其通过引用被全部并入本申请。

技术领域

[0002] 本公开实施例涉及半导体技术领域，特别涉及一种数据接收电路、数据接收系统以及存储装置。

背景技术

[0003] 在存储器应用中，随着信号传输速率越来越快，信道损耗对信号质量的影响越来越大，容易导致
10 码间干扰，此外，存储器中的数据接收电路接收的数据信号与参考信号之间电平值的差异会影响数据接收
电路对数据信号的判断，从而影响数据接收电路输出的信号的准确性。

[0004] 目前通常利用均衡电路对信道进行补偿，均衡电路可以选择 CTLE(Continuous Time Linear
Equalizer, 连续线性均衡电路)或 DFE(Decision Feedback Equalizer, 判决反馈均衡电路)。然而，目前采用
的均衡电路输出的信号的准确性有待提高，均衡电路的接收性能有待提高，且均衡电路的功耗有待降低。

发明内容

[0005] 本公开实施例提供一种数据接收电路、数据接收系统以及存储装置，至少有利于在提高数据接收
电路的接收性能的同时，降低数据接收电路的功耗。

[0006] 根据本公开一些实施例，本公开实施例一方面提供一种数据接收电路，包括：第一放大模块，被
配置为，接收使能信号、反馈信号、数据信号、第一参考信号和第二参考信号，在所述使能信号具有第一
20 电平值期间，响应于采样时钟信号并基于所述反馈信号，选择所述数据信号与所述第一参考信号进行第一
比较并输出第一信号对作为所述第一比较的结果，或者，选择所述数据信号与所述第二参考信号进行第二
比较并输出第二信号对作为所述第二比较的结果；在所述使能信号具有第二电平值期间，响应于所述采样
时钟信号进行所述第一比较并输出所述第一信号对；其中，所述第一信号对包括第一信号以及第二信号，
所述第二信号对包括第三信号以及第四信号；第二放大模块，被配置为，接收所述第一放大模块的输出信
25 号作为输入信号对，对所述输入信号对的电压差进行放大处理，并输出第一输出信号和第二输出信号作为
所述放大处理的结果。

[0007] 在一些实施例中，所述第一放大模块包括：放大单元，具有分别用于响应于所述采样时钟信号输
出所述第一信号、所述第二信号、所述第三信号以及所述第四信号的第一节点、第二节点、第三节点以及
第四节点，被配置为，接收所述数据信号、所述第一参考信号以及所述第二参考信号；决策均衡使能单元，
30 连接在所述第一节点与所述第二节点之间、以及所述第三节点与所述第四节点之间，被配置为，接收所述
使能信号以及所述反馈信号，在所述使能信号具有所述第一电平值期间基于所述反馈信号导通所述第一节
点与所述第二节点之间的连接路径，或者，导通所述第三节点与所述第四节点之间的连接路径，在所述使
能信号具有所述第二电平值期间，断开所述第一节点与所述第二节点之间的连接路径，且断开所述第三节
点与所述第四节点之间的连接路径。

[0008] 在一些实施例中，所述采样时钟信号包括第一采样时钟信号和第二采样时钟信号；所述放大单元
包括：第一比较电路，具有所述第一节点和所述第二节点，被配置为，接收所述数据信号以及所述第一参
考信号并响应于所述第一采样时钟信号进行所述第一比较；时钟产生电路，被配置为，接收所述使能信号
以及原始采样时钟信号，并输出所述第二采样时钟信号，其中，在所述使能信号具有所述第一电平值期间，
所述第二采样时钟信号的相位与所述原始采样时钟信号的相位相反，在所述使能信号具有所述第二电平
40 值期间，所述第二采样时钟信号为逻辑高电平信号；第二比较电路，具有所述第三节点和所述第四节点，被
配置为，接收所述数据信号以及所述第二参考信号，并在所述使能信号具有所述第一电平值期间，响应于

所述第二采样时钟信号进行所述第二比较；在所述使能信号具有所述第二电平值期间导通所述第三节点与地端之间的连接路径，并导通所述第四节点与地端之间的连接路径。

5 [0009] 在一些实施例中，所述反馈信号包括差分的第一反馈信号和第二反馈信号；所述决策均衡使能单元包括：第一使能单元，被配置为，响应于所述使能信号以及所述第一反馈信号导通，以使所述第一节点与
与所述第二节点连接；第二使能单元，被配置为，响应于所述使能信号以及所述第二反馈信号导通，以使
所述第三节点与所述第四节点连接；其中，在所述使能信号具有第一电平值期间，所述第一使能单元以及
所述第二使能单元择一导通，在所述使能信号具有第二电平值期间，所述第一使能单元以及所述第二使能
单元均关断。

10 [0010] 在一些实施例中，所述第一使能单元包括：第九 PMOS 管以及第十 PMOS 管，所述第九 PMOS
管的一端连接所述第一节点，栅极接收互补使能信号，所述第九 PMOS 管的另一端连接所述第十 PMOS
管的一端，所述第十 PMOS 管的另一端连接所述第二节点，栅极接收所述第一反馈信号，所述互补使能信
号的电平与所述使能信号的电平相反。

15 [0011] 在一些实施例中，所述第一使能单元还包括：第九 NMOS 管以及第十 NMOS 管，所述第九 NMOS
管的一端连接所述第一节点，栅极接收所述使能信号，所述第九 NMOS 管的另一端连接所述第十 NMOS
管的一端，所述第十 NMOS 管的另一端连接所述第二节点，栅极接收第一互补反馈信号，所述第一互补反
馈信号与所述第一反馈信号的电平相反。

20 [0012] 在一些实施例中，所述第二使能单元包括：第十一 PMOS 管以及第十二 PMOS 管，所述第十一
PMOS 管的一端连接所述第三节点，栅极接收互补使能信号，所述第十一 PMOS 管的另一端连接所述第十
二 PMOS 管的一端，所述第十二 PMOS 管的另一端连接所述第四节点，栅极接收所述第二反馈信号，所
述互补使能信号的电平与所述使能信号的电平相反。

[0013] 在一些实施例中，所述第二使能单元还包括：第十一 NMOS 管以及第十二 NMOS 管，所述第十
一 NMOS 管的一端连接所述第三节点，栅极接收所述使能信号，所述第十一 NMOS 管的另一端连接所述
第十二 NMOS 管的一端，所述第十二 NMOS 管的另一端连接所述第四节点，栅极接收第二互补反馈信号，
所述第二互补反馈信号与所述第二反馈信号的电平相反。

25 [0014] 在一些实施例中，所述第一比较电路包括：第一电流源，被配置为，连接在电源节点与第五节点
之间，响应于第一采样时钟信号向所述第五节点提供电流；第一比较单元，连接所述第一节点、所述第二
节点以及所述第五节点，被配置为，接收所述数据信号以及所述第一参考信号，当所述第一电流源向所述
第五节点提供电流时进行所述第一比较，并输出所述第一信号和所述第二信号；第一复位单元，连接所述
30 第一节点以及所述第二节点，被配置为，响应于所述第一采样时钟信号对所述第一节点和所述第二节点进
行复位；所述第二比较电路包括：第二电流源，被配置为，连接在电源节点与第六节点之间，响应于第二
采样时钟信号向所述第六节点提供电流；第二比较单元，连接所述第三节点、所述第四节点以及所述第六
节点，被配置为，接收所述数据信号以及所述第二参考信号，当所述第二电流源向所述第六节点提供电
流时进行所述第二比较，并输出所述第三信号和所述第四信号；第二复位单元，连接在所述第三节点与所
述第四节点之间，被配置为，响应于所述第二采样时钟信号对所述第三节点和所述第四节点进行复位。

35 [0015] 在一些实施例中，所述第一电流源包括：第一 PMOS 管，连接在所述电源节点与所述第五节点之
间，所述第一 PMOS 管的栅极接收所述第一采样时钟信号；所述第二电流源包括：第二 PMOS 管，连接
在所述电源节点与所述第六节点之间，所述第二 PMOS 管的栅极接收所述第二采样时钟信号。

40 [0016] 在一些实施例中，所述第一比较单元包括：第三 PMOS 管，连接在所述第一节点与所述第五节点
之间，所述第三 PMOS 管的栅极接收所述数据信号；第四 PMOS 管，连接在所述第二节点与所述第五节
点之间，所述第四 PMOS 管的栅极接收所述第一参考信号；所述第二比较单元包括：第五 PMOS 管，连
接在所述第三节点与所述第六节点之间，所述第五 PMOS 管的栅极接收所述数据信号；第六 PMOS 管，
连接在所述第四节点与所述第六节点之间，所述第六 PMOS 管的栅极接收所述第二参考信号。

[0017] 在一些实施例中，所述第一复位单元包括：第一 NMOS 管，连接在所述第一节点与地端之间，栅
极接收所述第一采样时钟信号；第二 NMOS 管，连接在所述第二节点与所述地端之间，栅极接收所述第一

采样时钟信号；所述第二复位单元包括：第三 NMOS 管，连接在所述第三节点与地端之间，栅极接收所述第二采样时钟信号；第四 NMOS 管，连接在所述第四节点与地端之间，栅极接收所述第二采样时钟信号。

[0018] 在一些实施例中，所述时钟产生电路包括：第一与非门电路，所述第一与非门电路的一输入端接收所述原始采样时钟信号，另一输入端连接电源节点，输出端输出所述第一采样时钟信号。

- 5 [0019] 在一些实施例中，所述时钟产生电路包括：第二与非门电路，所述第二与非门电路的一输入端接收所述原始采样时钟信号，另一输入端接收所述使能信号，输出端输出第二采样时钟信号。

- 10 [0020] 在一些实施例中，所述第二放大模块包括：第一输入单元，连接第七节点和第八节点，被配置为，接收所述第一信号对并进行第三比较，并分别向所述第七节点和所述第八节点提供信号作为所述第三比较的结果；第二输入单元，连接所述第七节点和所述第八节点，被配置为，接收所述第二信号对并进行第四比较，并分别向所述第七节点和所述第八节点提供信号作为所述第四比较的结果；锁存单元，连接所述第七节点和所述第八节点，被配置为，对所述第七节点的信号以及所述第八节点的信号进行放大并锁存，并分别通过第一输出节点和第二输出节点输出所述第一输出信号和所述第二输出信号。

- 15 [0021] 在一些实施例中，所述第一输入单元包括：第五 NMOS 管，所述第五 NMOS 管的漏极连接所述第七节点，源极连接地端，栅极接收所述第一信号；第六 NMOS 管，所述第六 NMOS 管的漏极连接所述第八节点，源极连接地端，栅极接收所述第二信号；所述第二输入单元包括：第七 NMOS 管，所述第七 NMOS 管的漏极连接所述第七节点，源极连接地端，栅极接收所述第三信号；第八 NMOS 管，所述第八 NMOS 管的漏极连接所述第八节点，源极连接地端，栅极接收所述第四信号。

- 20 [0022] 在一些实施例中，所述锁存单元包括：第十三 NMOS 管以及第七 PMOS 管，所述第十三 NMOS 管的栅极以及所述第七 PMOS 管的栅极均连接所述第二输出节点，所述第十三 NMOS 管的源极连接所述第七节点，所述第十三 NMOS 管的漏极以及所述第七 PMOS 管的漏极均连接所述第一输出节点，所述第七 PMOS 管的源极连接电源节点；第十四 NMOS 管以及第八 PMOS 管，所述第十四 NMOS 管的栅极以及所述第八 PMOS 管的栅极均连接所述第一输出节点，所述第十四 NMOS 管的源极连接所述第八节点，所述第十四 NMOS 管的漏极以及所述第八 PMOS 管的漏极均连接所述第二输出节点，所述第八 PMOS 管的源极连接所述电源节点。

- 25 [0023] 在一些实施例中，所述第二放大模块还包括：第三复位单元，连接在电源节点与所述锁存单元的输出端之间，被配置为，对所述锁存单元的输出端进行复位。

[0024] 在一些实施例中，所述第三复位单元包括：第十三 PMOS 管，连接在所述第一输出节点与电源节点之间，所述第十三 PMOS 管的栅极接收原始采样时钟信号；第十四 PMOS 管，连接在所述第二输出节点与所述电源节点之间，所述第十四 PMOS 管的栅极接收所述原始采样时钟信号。

- 30 [0025] 根据本公开一些实施例，本公开实施例另一方面还提供一种数据接收系统，包括：多个级联的数据传输电路，每一所述数据传输电路包括如前述任一项所述的数据接收电路以及与所述数据接收电路连接的锁存电路；上一级所述数据传输电路的输出信号作为下一级所述数据传输电路的所述反馈信号；最后一级所述数据传输电路的输出信号作为第一级所述数据传输电路的所述反馈信号。

- 35 [0026] 在一些实施例中，所述数据接收电路响应于采样时钟信号接收数据；且所述数据接收系统包括 4 个级联的所述数据传输电路，相邻级的所述数据接收电路的所述采样时钟信号的相位差为 90° 。

[0027] 在一些实施例中，前一级的所述数据接收电路的所述第二放大模块输出的所述第一输出信号和所述第二输出信号作为后一级所述数据接收电路的所述反馈信号；或者，前一级的所述锁存电路输出的信号作为后一级所述数据接收电路的所述反馈信号。

- 40 [0028] 根据本公开一些实施例，本公开实施例又一方面还提供一种存储装置，包括：多个数据端口；多个如前述任一项所述的数据接收系统，每一所述数据接收系统与一所述数据端口相对应。

[0029] 本公开实施例提供的技术方案至少具有以下优点：

[0030] 第一放大模块在可以接收数据信号、第一参考信号和第二参考信号的同时，还可以接收使能信号

和反馈信号，并且，在使能信号处于第一电平值期间时，第一放大模块响应于采样时钟信号并基于反馈信号选择进行第一比较还是第二比较，使得输出的第一信号对和第二信号对中的一者有效，另一者无效，以降低接收的数据信号的码间干扰对数据接收电路的影响，而且第一放大模块中只是进行第一比较的电路和进行第二比较的电路中的一者处于工作状态，另一者可以处于非工作状态，有利于降低数据接收电路的功耗；在使能信号处于第二电平值期间时，第一放大模块响应于采样时钟信号仅进行第一比较，固定输出有效的第一信号对，此时第一放大模块中用于输出第二信号对的电路可以处于非工作状态，有利于进一步降低数据接收电路的功耗。

[0031] 如此，可以利用使能信号和反馈信号对第一放大模块实现进一步的控制，以选择是否考虑数据接收电路接收的数据的码间干扰对数据接收电路的影响。譬如，在需要降低码间干扰对数据接收电路的影响时，使能信号处于第一电平值期间，第一放大模块响应于采样时钟信号并基于反馈信号选择输出第一信号对或者第二信号对中电平值差异较大的一者，以保证第二放大模块接收的是信号电平值差异较大的一对差分信号；在无需考虑码间干扰对数据接收电路的影响的情况下，使能信号处于第二电平值期间，第一放大模块响应于采样时钟信号仅进行第一比较，固定输出有效的第一信号对，以实现在提高数据接收电路的接收性能的同时，降低数据接收电路的功耗的效果。

15 附图说明

[0032] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制；为了更清楚地说明本公开实施例或传统技术中的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0033] 图 1 为本公开一实施例提供的数据接收电路的一种功能框图；
 [0034] 图 2 为本公开另一实施例提供的数据接收系统的功能框图；
 [0035] 图 3 为本公开一实施例提供的数据接收电路的另一种功能框图；
 [0036] 图 4 为本公开一实施例提供的数据接收电路中第一放大模块的一种功能框图；
 25 [0037] 图 5 为本公开一实施例提供的数据接收电路的又一种功能框图；
 [0038] 图 6 为本公开一实施例提供的数据接收电路中第一放大模块的一种电路结构示意图；
 [0039] 图 7 为本公开一实施例提供的数据接收电路中第一放大模块的另一种电路结构示意图；
 [0040] 图 8 为本公开一实施例提供的数据接收电路中第二放大模块的一种电路结构示意图。

具体实施方式

30 [0041] 本公开实施例提供一种数据接收电路、数据接收系统以及存储装置，数据接收电路中，可以利用使能信号和反馈信号对第一放大模块实现进一步的控制，以选择是否考虑数据接收电路接收的数据的码间干扰对数据接收电路的影响。譬如，在需要降低码间干扰对数据接收电路的影响时，使能信号处于第一电平值期间，第一放大模块响应于采样时钟信号并基于反馈信号选择进行第一比较还是第二比较，使得输出的第一信号对和第二信号对中的一者有效，另一者无效，且有效的信号对中信号电平值差异更大，以保证
 35 第二放大模块接收到信号电平值差异更大的一对差分信号；在无需考虑码间干扰对数据接收电路的影响的情况下，使能信号处于第二电平值期间，第一放大模块响应于采样时钟信号仅进行第一比较，固定输出有效的第一信号对，以实现在提高数据接收电路的接收性能的同时，降低数据接收电路的功耗的效果。

[0042] 下面将结合附图对本公开的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本公开各实施例中，为了使读者更好地理解本公开实施例而提出了许多技术细节。但是，即使没有这些
 40 技术细节和基于以下各实施例的种种变化和修改，也可以实现本公开实施例所要求保护的技术方案。

[0043] 本公开一实施例提供一种数据接收电路，以下将结合附图对本公开一实施例提供的数据接收电路

进行详细说明。图 1 为本公开一实施例提供的数据接收电路的一种功能框图；图 3 为本公开一实施例提供的数据接收电路的另一种功能框图；图 4 为本公开一实施例提供的数据接收电路中第一放大模块的一种功能框图；图 5 为本公开一实施例提供的数据接收电路的又一种功能框图；图 6 为本公开一实施例提供的数据接收电路中第一放大模块的一种电路结构示意图；图 7 为本公开一实施例提供的数据接收电路中第一放大模块的另一种电路结构示意图；图 8 为本公开一实施例提供的数据接收电路中第二放大模块的一种电路结构示意图。

[0044] 参考图 1 和图 3，数据接收电路 100 包括：第一放大模块 101，被配置为，接收数据信号 DQ、第一参考信号 VR+ 和第二参考信号 VR-，在使能信号 EnDfe 具有第一电平值期间，响应于采样时钟信号 clkN 并基于反馈信号 fb，选择数据信号 DQ 与第一参考信号 VR+ 进行第一比较并输出第一信号对作为第一比较的结果，或者，选择数据信号 DQ 与第二参考信号 VR- 进行第二比较并输出第二信号对作为第二比较的结果；在使能信号 EnDfe 具有第二电平值期间，响应于采样时钟信号 clkN 进行第一比较并输出第一信号对；其中，第一信号对包括第一信号 Sn+ 和第二信号 Sp+，第二信号对包括第三信号 Sn- 和第四信号 Sp-；第二放大模块 102，被配置为，接收第一放大模块 101 的输出信号作为输入信号对，对输入信号对的电压差进行放大处理，并输出第一输出信号 Vout 和第二输出信号 VoutN 作为放大处理的结果。

[0045] 可以理解的是，在使能信号 EnDfe 处于第一电平值期间，基于先前接收的反馈信号 fb 的不同，第一放大模块 101 可以基于此时的使能信号 EnDfe 以及不同的反馈信号 fb 选择性地进行第一比较或者第二比较，使得第一放大模块 101 输出有效的第一信号对或者有效的第二信号对，且此时另一者为无效的信号对。需要说明的是，第一信号对有效指的是：第一信号对中的第一信号 Sn+ 的电平值和第二信号 Sp+ 的电平值具有较大的差异；第二信号对有效指的是：第二信号对中的第三信号 Sn- 的电平值和第四信号 Sp- 的电平值具有较大的差异。如此，以保证第二放大模块 102 接收的是信号电平值差异较大的一对差分信号，以降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。

[0046] 在一些实施例中，第一参考信号 VR+ 的电平值与第二参考信号 VR- 的电平值不同，则针对不同电平值的数据信号 DQ，可以满足数据信号 DQ 与第一参考信号 VR+ 或第二参考信号 VR- 中的一者的电平值差异较大，若第一放大模块 101 可以同时进行第一比较和第二比较，则第一放大模块 101 能够输出电平值差异更大的一组信号对，本公开一实施例中，在数据接收电路 100 接收的数据信号 DQ 存在码间干扰现象时，第一放大模块 101 可以基于反馈信号 fb 的不同选择性地进行第一比较或者第二比较，且输出的第一信号对和第二信号对中的一者有效，另一者无效，有效的那一组信号对指的是：若同时可以进行第一比较和第二比较时电平值差异更大的一组信号对，以降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。可以理解的是，在使能信号 EnDfe 处于第一电平值期间，第一放大模块 101 可以基于接收的反馈信号 fb 选择进行对数据信号 DQ 处理更优的一种比较，即选择性地进行第一比较或者第二比较，以获得更优的一组信号对。如此，在使能信号 EnDfe 处于第一电平值期间，第一放大模块 101 只会进行第一比较和第二比较中处理更优的一者，另一者处于非工作状态，有利于降低数据接收电路的功耗。

[0047] 此外，第二放大模块 102 接收的是信号电平值差异较大的一对差分信号，从而有利于提高第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性。因此，通过第一放大模块 101 以及第二放大模块 102 的配合有利于提高数据接收电路 100 的接收性能。

[0048] 另一方面，在使能信号 EnDfe 处于第二电平值期间，无论基于先前接收到的数据得到的反馈信号 fb 的电平值如何变化，第一放大模块 101 基于此时的使能信号 EnDfe 固定进行第一比较，即此时第一放大模块 101 固定输出有效的第一信号对，此时第一放大模块 101 不会进行第二比较，即第一放大模块 101 中用于输出第二信号对的电路可以处于非工作状态，有利于进一步降低数据接收电路的功耗。

[0049] 基于上述分析可知，可以利用使能信号 EnDfe 和反馈信号 fb 实现对第一放大模块 101 的进一步控制，以选择是否考虑数据接收电路 100 接收的数据的码间干扰对数据接收电路 100 的影响，以实现在提高数据接收电路 100 的接收性能的同时，降低数据接收电路 100 的功耗的效果。

[0050] 关于数据接收电路 100 如何降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响，以下结合一个具体的例子对其进行详细说明。

[0051] 在一些实施例中, 第一参考信号 VR+的电平值高于第二参考信号 VR-的电平值, 若数据信号 DQ 为低电平, 且数据接收电路 100 接收的数据信号 DQ 存在码间干扰现象时, 使能信号 EnDfe 处于第一电平值期间, 第一放大模块 101 基于此时的使能信号 EnDfe 和反馈信号 fb 进行的是第一比较, 即输出的是有效的第一信号对, 此时数据信号 DQ 与第一参考信号 VR+之间的电平值差异大于数据信号 DQ 与第二参考信号 VR-之间的电平值差异, 则此时进行第一比较会比进行第二比较产生电平值差异更大的输出信号对, 因而第二放大模块 102 接收进行第一比较得到的第一信号对有利于输出符合要求的第一输出信号 Vout 和第二输出信号 VoutN, 即保证第一输出信号 Vout 和第二输出信号 VoutN 的准确性, 从而有利于降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。

[0052] 此外, 若数据信号 DQ 为高电平, 且数据接收电路 100 接收的数据信号 DQ 存在码间干扰现象时, 使能信号 EnDfe 处于第一电平值期间, 第一放大模块 101 基于此时的使能信号 EnDfe 和反馈信号 fb 进行的是第二比较, 即输出的是有效的第二信号对, 此时数据信号 DQ 与第一参考信号 VR+之间的电平值差异小于数据信号 DQ 与第二参考信号 VR-之间的电平值差异, 则此时进行第二比较会比进行第一比较产生电平值差异更大的输出信号对, 因而第二放大模块 102 接收进行第二比较得到的第二信号对有利于输出符合要求的第一输出信号 Vout 和第二输出信号 VoutN, 即保证第一输出信号 Vout 和第二输出信号 VoutN 的准确性, 从而有利于降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。

[0053] 可以理解的是, 在实际应用中, 第一参考信号 VR+的电平值也可以低于第二参考信号 VR-的电平值。

[0054] 可见, 在使能信号 EnDfe 具有第一电平值期间, 第一放大模块 101 基于电平值变化的反馈信号 fb 选择性进行第一比较和第二比较, 以输出电平值差异更大的第一信号对或者第二信号对以提高后续第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性, 从而降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响。

[0055] 在一些实施例中, 参考图 3, 第一放大模块 101 可以包括: 放大单元 131, 具有分别用于响应于采样时钟信号 clkN 输出第一信号 Sn+、第二信号 Sp+、第三信号 Sn-以及第四信号 Sp-的第一节点 net1、第二节点 net2、第三节点 net3 以及第四节点 net4, 被配置为, 接收数据信号 DQ、第一参考信号 VR+以及第二参考信号 VR-; 决策均衡使能单元 141, 连接在第一节点 net1 与第二节点 net2 之间、以及第三节点 net3 与第四节点 net4 之间, 被配置为, 接收使能信号 EnDfe 以及反馈信号 fb, 在使能信号 EnDfe 具有第一电平值期间基于反馈信号 fb 导通第一节点 net1 与第二节点 net2 之间的连接路径, 或者, 导通第三节点 net3 与第四节点 net4 之间的连接路径, 在使能信号 EnDfe 具有第二电平值期间, 断开第一节点 net1 与第二节点 net2 之间的连接路径, 且断开第三节点 net3 与第四节点 net4 之间的连接路径。

[0056] 需要说明的是, 决策均衡使能单元 141 基于使能信号 EnDfe 以及反馈信号 fb 导通第一节点 net1 与第二节点 net2 之间的连接路径时, 第一节点 net1 和第二节点 net2 输出的第一信号 Sn+的电平值和输出的第二信号 Sp+的电平值相等, 即放大单元 131 没有进行第一比较, 无法输出有效的第一信号对; 决策均衡使能单元 141 基于使能信号 EnDfe 以及反馈信号 fb 导通第三节点 net3 与第四节点 net4 之间的连接路径时, 第三节点 net3 和第四节点 net4 输出的第三信号 Sn-的电平值和输出的第四信号 Sp-的电平值相等, 即放大单元 131 没有进行第二比较, 无法输出有效的第二信号对。

[0057] 可以理解的是, 在需要降低码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 处于第一电平值期间, 基于此时的使能信号 EnDfe 以及反馈信号 fb, 决策均衡使能单元 141 选择性导通第一节点 net1 与第二节点 net2 之间的连接路径, 或者第三节点 net3 与第四节点 net4 之间的连接路径, 其中导通路径的两个节点无法输出有效的信号对, 从而使得放大单元 131 选择性进行第一比较或者第二比较。在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 处于第二电平值期间, 基于此时的使能信号 EnDfe, 决策均衡使能单元 141 断开第一节点 net1 与第二节点 net2 之间的连接路径和第三节点 net3 与第四节点 net4 之间的连接路径, 放大单元 131 通过自身的控制只进行第一比较。此外, 决策均衡使能单元 141 集成在第一放大模块 101 中, 有利于进一步降低数据接收电路 100 整体的布局面积。

[0058] 需要说明的是, 需要考虑码间干扰的情况一般是数据接收电路 100 接收的数据信号 DQ 是高速数

据的情况，即数据传输速率很快的情况；无需考虑码间干扰的情况是数据接收电路 100 接收的数据信号 DQ 一般是低速数据的情况，即数据传输速率较慢的情况。

[0059] 在一些实施例中，参考图 4 和图 5，采样时钟信号 clkN 包括第一采样时钟信号 clkN1 和第二采样时钟信号 clkN2；放大单元 131 包括：第一比较电路 111，具有第一节点 net1 和第二节点 net2，被配置为，接收数据信号 DQ 以及第一参考信号 VR+ 并响应于第一采样时钟信号 clkN1 进行第一比较；时钟产生电路 151，被配置为，接收使能信号 EnDfe 以及原始采样时钟信号 clk，并输出第二采样时钟信号 clkN2，其中，在使能信号 EnDfe 具有第一电平值期间，第二采样时钟信号 clkN2 的相位与原始采样时钟信号 clk 的相位相反，在使能信号 EnDfe 具有第二电平值期间，第二采样时钟信号 clkN2 为逻辑高电平信号；第二比较电路 121，具有第三节点 net3 和第四节点 net4，被配置为，接收数据信号 DQ 以及第二参考信号 VR-，并在使能信号 EnDfe 具有第一电平值期间，响应于第二采样时钟信号 clkN2 进行第二比较；在使能信号 EnDfe 具有第二电平值期间导通第三节点 net3 与地端之间的连接路径，并导通第四节点 net4 与地端之间的连接路径。

[0060] 可以理解的是，无论是否需要考虑码间干扰对数据接收电路 100 的影响，在使能信号 EnDfe 处于第一电平值期间，且决策均衡使能单元 141 基于反馈信号 fb 导通第三节点 net3 与第四节点 net4 之间的连接路径时，第一比较电路 111 可以响应于第一采样时钟信号 clkN1 进行第一比较；使能信号 EnDfe 处于第二电平值期间，决策均衡使能单元 141 基于此时的使能信号 EnDfe 不会导通第一节点 net1 与第二节点 net2 之间的连接路径，第一比较电路 111 也可以响应于第一采样时钟信号 clkN1 进行第一比较。可见，无论使能信号 EnDfe 处于第一电平值期间还是第二电平值期间，即无论是否需要考虑码间干扰对数据接收电路 100 的影响，第一比较电路 111 均可能响应于第一采样时钟信号 clkN1 进行第一比较。然而，只有在使能信号 EnDfe 处于第一电平值期间，且决策均衡使能单元 141 基于反馈信号 fb 导通第一节点 net1 与第二节点 net2 之间的连接路径时，第二比较电路 121 才可以响应于电平值变化的第二采样时钟信号 clkN2 进行第二比较，在使能信号 EnDfe 处于第二电平值期间，第二采样时钟信号 clkN2 为逻辑高电平信号，第二比较电路 121 导通第三节点 net3 与地端之间的连接路径以及第四节点 net4 与地端之间的连接路径，将第三节点 net3 输出的第三信号 Sn- 的电平值以及第四节点 net4 输出的第四信号 Sp- 的电平值均下拉为 0，即第二比较电路 121 没有进行第二比较，无法输出有效的第二信号对。

[0061] 在一些实施例中，第一采样时钟信号 clkN1 的相位与原始采样时钟信号 clk 的相位相反，在使能信号 EnDfe 处于第一电平值期间，第二采样时钟信号 clkN2 的相位与原始采样时钟信号 clk 的相位相反，则第一采样时钟信号 clkN1 的相位与此时的第二采样时钟信号 clkN2 的相位同步，以使得此时的第一比较电路 111 可以响应于第一采样时钟信号 clkN1 进行第一比较，或者，第二比较电路 121 可以响应于第二采样时钟信号 clkN2 进行第二比较。与此同时，基于使能信号 EnDfe 以及反馈信号 fb，决策均衡使能单元 141 进一步控制第一节点 net1、第二节点 net2、第三节点 net3 以及第四节点 net4 处的电位，例如，使得第一节点 net1 处的电位和第二节点 net2 处的电位相同，以使得放大单元 131 实际没有进行第一比较，无法输出有效的第一信号对，或者使得第三节点 net3 处的电位和第四节点 net4 处的电位相同，以使得放大单元 131 实际没有进行第二比较，无法输出有效的第二信号对。可见，通过放大单元 131 和决策均衡使能单元 141 的配合，可以使得放大单元 131 选择性进行第一比较或者第二比较。

[0062] 在一些实施例中，参考图 4 和图 5，反馈信号 fb 可以包括差分的第一反馈信号 fbp 和第二反馈信号 fbn；决策均衡使能单元 141 可以包括：第一使能单元 1411，被配置为，响应于使能信号 EnDfe 以及第一反馈信号 fbp 导通，以使第一节点 net1 与第二节点 net2 连接；第二使能单元 1412，被配置为，响应于使能信号 EnDfe 以及第二反馈信号 fbn 导通，以使第三节点 net3 与第四节点 net4 连接；其中，在使能信号 EnDfe 具有第一电平值期间，第一使能单元 1411 以及第二使能单元 1412 择一导通，在使能信号 EnDfe 具有第二电平值期间，第一使能单元 1411 以及第二使能单元 1412 均关断。

[0063] 可以理解的是，第一反馈信号 fbp 为高电平时，第二反馈信号 fbn 为低电平；第一反馈信号 fbp 为低电平时，第二反馈信号 fbn 为高电平。如此，在使能信号 EnDfe 处于第一电平值期间，接收第一反馈信号 fbp 的第一使能单元 1411 和接收第二反馈信号 fbn 的第二使能单元 1412 择一导通，第一节点 net1 与第二节点 net2 以及第三节点 net3 与第四节点 net4 择一连接，使得第一放大模块 101 选择性实现第一比较

或者第二比较；在使能信号 EnDfe 处于第二电平值期间，无论第一反馈信号 fbp 的电平值和第二反馈信号 fbn 的电平值如何变化，第一使能单元 1411 以及第二使能单元 1412 均会基于此时的使能信号 EnDfe 关断，放大单元 131 通过自身的控制只进行第一比较。

[0064] 在一些实施例中，参考图 6 和图 7，第一使能单元 1411 可以包括：第九 PMOS 管 MP9 和第十 PMOS 管 MP10，第九 PMOS 管 MP9 的一端连接第一节点 net1，栅极接收互补使能信号 EnDfeN，第九 PMOS 管 MP9 的另一端连接第十 PMOS 管 MP10 的一端，第十 PMOS 管 MP10 的另一端连接第二节点 net2，栅极接收第一反馈信号 fbp，互补使能信号 EnDfeN 的电平与使能信号 EnDfe 的电平相反。

[0065] 需要说明的是，互补使能信号 EnDfeN 的电平与使能信号 EnDfe 的电平相反指的是：互补使能信号 EnDfeN 和使能信号 EnDfe 中的一者为高电平时，另一者为低电平。

[0066] 在一个例子中，在需要降低码间干扰对数据接收电路 100 的影响时，互补使能信号 EnDfeN 为低电平，第九 PMOS 管 MP9 导通，此时第十 PMOS 管 MP10 基于接收的第一反馈信号 fbp 导通或关断，则第一使能单元 1411 基于第一反馈信号 fbp 导通或断开，在第一反馈信号 fbp 为高电平时，第十 PMOS 管 MP10 断开，第一比较电路 111 可以响应于第一采样时钟信号 clkN1 进行第一比较，以输出有效的第一信号对；在无需考虑码间干扰对数据接收电路 100 的影响时，互补使能信号 EnDfeN 为高电平，第九 PMOS 管 MP9 关断，此时无论第一反馈信号 fbp 为高电平还是低电平，第一使能单元 1411 均断开，第一比较电路 111 不受第一使能单元 1411 的控制，可以一直响应于第一采样时钟信号 clkN1 进行第一比较。

[0067] 在一些实施例中，参考图 7，在第一使能单元 1411 包括第九 PMOS 管 MP9 和第十 PMOS 管 MP10 的基础上，第一使能单元 1411 还可以包括：第九 NMOS 管 MN9 以及第十 NMOS 管 MN10，第九 NMOS 管 MN9 的一端连接第一节点 net1，栅极接收使能信号 EnDfe，第九 NMOS 管 MN9 的另一端连接第十 NMOS 管 MN10 的一端，第十 NMOS 管 MN10 的另一端连接第二节点 net2，栅极接收第一互补反馈信号 fbpN，第一互补反馈信号 fbpN 与第一反馈信号 fbp 的电平相反。

[0068] 需要说明的是，使能信号 EnDfe 的第一电平值期间指的是：使得第一使能单元 1411 判断使能信号 EnDfe 为逻辑电平 1 的电平值范围，即高电平；使能信号 EnDfe 的第二电平值期间指的是：使得第一使能单元 1411 判断使能信号 EnDfe 为逻辑电平 0 的电平值范围，即低电平。第一互补反馈信号 fbpN 与第一反馈信号 fbp 的电平相反指的是：第一互补反馈信号 fbpN 和第一反馈信号 fbp 中的一者为高电平时，另一者为低电平。

[0069] 在一个例子中，在需要降低码间干扰对数据接收电路 100 的影响时，使能信号 EnDfe 为高电平，互补使能信号 EnDfeN 为低电平，第九 PMOS 管 MP9 和第九 NMOS 管 MN9 均导通，此时第十 PMOS 管 MP10 基于接收的第一反馈信号 fbp 导通或关断，且第十 NMOS 管 MN10 基于接收的第一互补反馈信号 fbpN 导通或关断，则第一使能单元 1411 基于第一反馈信号 fbp 和第一互补反馈信号 fbpN 导通或断开，在第一反馈信号 fbp 为高电平，第一互补反馈信号 fbpN 为低电平时，第十 PMOS 管 MP10 和第十 NMOS 管 MN10 均断开，第一比较电路 111 可以响应于第一采样时钟信号 clkN1 进行第一比较，以输出有效的第一信号对；在无需考虑码间干扰对数据接收电路 100 的影响时，使能信号 EnDfe 为低电平，互补使能信号 EnDfeN 为高电平，第九 PMOS 管 MP9 和第九 NMOS 管 MN9 均关断，此时无论第一反馈信号 fbp 和第一互补反馈信号 fbpN 为高电平还是低电平，第一使能单元 1411 均断开，第一比较电路 111 不受第一使能单元 1411 的控制，可以一直响应于第一采样时钟信号 clkN1 进行第一比较。

[0070] 在一些实施例中，参考图 6 和图 7，第二使能单元 1412 可以包括：第十一 PMOS 管 MP11 以及第十二 PMOS 管 MP12，第十一 PMOS 管 MP11 的一端连接第三节点 net3，栅极接收互补使能信号 EnDfeN，第十一 PMOS 管 MP11 的另一端连接第十二 PMOS 管 MP12 的一端，第十二 PMOS 管 MP12 的另一端连接第四节点 net4，栅极接收第二反馈信号 fbn，互补使能信号 EnDfeN 的电平与使能信号 EnDfe 的电平相反。

[0071] 在一个例子中，在需要降低码间干扰对数据接收电路 100 的影响时，互补使能信号 EnDfeN 为低电平，第十一 PMOS 管 MP11 导通，此时第十二 PMOS 管 MP12 基于接收的第二反馈信号 fbn 导通或关断，则第二使能单元 1412 基于第二反馈信号 fbn 导通或断开，在第二反馈信号 fbn 为高电平时，第十二 PMOS

管 MP12 断开, 第二比较电路 121 可以响应于第二采样时钟信号 clkN2 进行第二比较, 以输出有效的第二信号对。由于第一反馈信号 fbp 和第二反馈信号 fbn 为差分信号, 从而可以实现在需要降低码间干扰对数据接收电路 100 的影响时, 第一放大模块 101 基于反馈信号 fb 选择性进行第一比较或者第二比较。

[0072] 在无需考虑码间干扰对数据接收电路 100 的影响时, 互补使能信号 EnDfeN 为高电平, 第十一 PMOS 管 MP11 关断, 此时无论第二反馈信号 fbn 为高电平还是低电平, 第二使能单元 1412 均断开, 第二比较电路 121 不受第二使能单元 1412 的控制, 但此时的第二采样时钟信号 clkN2 为逻辑高电平信号, 第二比较电路 121 没有进行第二比较, 无法输出有效的第二信号对, 从而实现在无需考虑码间干扰对数据接收电路 100 的影响时, 第一放大模块 101 只能响应于第一采样时钟信号 clkN1 进行第一比较。

[0073] 在一些实施例中, 参考图 7, 在第二使能单元 1412 包括: 第十一 PMOS 管 MP11 和第十二 PMOS 管 MP12 的基础上, 第二使能单元 1412 还可以包括: 第十一 NMOS 管 MN11 以及第十二 NMOS 管 MN12, 第十一 NMOS 管 MN11 的一端连接第三节点 net3, 栅极接收使能信号 EnDfe, 第十一 NMOS 管 MN11 的另一端连接第十二 NMOS 管 MN12 的一端, 第十二 NMOS 管 MN12 的另一端连接第四节点 net4, 栅极接收第二互补反馈信号 fbnN, 第二互补反馈信号 fbnN 与第二反馈信号 fbn 的电平相反。

[0074] 需要说明的是, 第二互补反馈信号 fbnN 与第二反馈信号 fbn 指的是: 第二互补反馈信号 fbnN 和第二反馈信号 fbn 中的一者为高电平时, 另一者为低电平。

[0075] 在一个例子中, 在需要降低码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 为高电平, 互补使能信号 EnDfeN 为低电平, 第十一 PMOS 管 MP11 和第十一 NMOS 管 MN11 均导通, 此时第十二 PMOS 管 MP12 基于接收的第二反馈信号 fbn 导通或关断, 且第十二 NMOS 管 MN12 基于接收的第二互补反馈信号 fbnN 导通或关断, 则第二使能单元 1412 基于第二反馈信号 fbn 和第二互补反馈信号 fbnN 导通或断开, 在第二反馈信号 fbn 为高电平, 第二互补反馈信号 fbnN 为低电平时, 第十二 PMOS 管 MP12 和第十二 NMOS 管 MN12 均断开, 第二比较电路 121 可以响应于第二采样时钟信号 clkN2 进行第二比较, 以输出有效的第二信号对, 由于第一反馈信号 fbp 和第二反馈信号 fbn 为差分信号, 从而可以实现在需要降低码间干扰对数据接收电路 100 的影响时, 第一放大模块 101 基于反馈信号 fb 选择性进行第一比较或者第二比较。

[0076] 在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 为低电平, 互补使能信号 EnDfeN 为高电平, 第十一 PMOS 管 MP11 和第十一 NMOS 管 MN11 均关断, 此时无论第二反馈信号 fbn 和第二互补反馈信号 fbnN 为高电平还是低电平, 第二使能单元 1412 均断开, 第二比较电路 121 不受第二使能单元 1412 的控制, 但此时的第二采样时钟信号 clkN2 为逻辑高电平信号, 第二比较电路 121 没有进行第二比较, 无法输出有效的第二信号对, 从而实现在无需考虑码间干扰对数据接收电路 100 的影响时, 第一放大模块 101 只能响应于第一采样时钟信号 clkN1 进行第一比较。

[0077] 在一些实施例中, 参考图 4 和图 5, 第一比较电路 111 可以包括: 第一电流源 1111, 被配置为, 连接在电源节点 Vcc (参考图 6) 与第五节点 net5 之间, 响应于第一采样时钟信号 clkN1 向第五节点 net5 提供电流; 第一比较单元 1112, 连接第一节点 net1、第二节点 net2 以及第五节点 net5, 被配置为, 接收数据信号 DQ 以及第一参考信号 VR+, 当第一电流源 1111 向第五节点 net5 提供电流时进行第一比较, 并输出第一信号 Sn+ 和第二信号 Sp+; 第一复位单元 1113, 连接第一节点 net1 以及第二节点 net2, 被配置为, 响应于第一采样时钟信号 clkN1 对第一节点 net1 和第二节点 net2 进行复位。

[0078] 第二比较电路 121 可以包括: 第二电流源 1211, 被配置为, 连接在电源节点 Vcc 与第六节点 net6 之间, 响应于第二采样时钟信号 clkN2 向第六节点 net6 提供电流; 第二比较单元 1212, 连接第三节点 net3、第四节点 net4 以及第六节点 net6, 被配置为, 接收数据信号 DQ 以及第二参考信号 VR-, 当第二电流源 1211 向第六节点 net6 提供电流时进行第二比较, 并输出第三信号 Sn- 和第四信号 Sp-; 第二复位单元 1213, 连接在第三节点 net3 与第四节点 net4 之间, 被配置为, 响应于第二采样时钟信号 clkN2 对第三节点 net3 和第四节点 net4 进行复位。

[0079] 可以理解的是, 第一比较单元 1112 可以基于数据信号 DQ 和第一参考信号 VR+ 之间的电压差, 控制提供给第一节点 net1 处的电流与提供给第二节点 net2 处的电流的差异, 以输出第一信号 Sn+ 和第二信

号 Sp+; 第二比较单元 1212 可以基于数据信号 DQ 和第二参考信号 VR-之间的电压差, 控制提供给第三节点 net3 处的电流与提供给第四节点 net4 处的电流的差异, 以输出第三信号 Sn-和第四信号 Sp-。此外, 在数据接收电路 100 完成一次数据信号 DQ、第一参考信号 VR+和第二参考信号 VR-的接收以及第一输出信号 Vout 和第二输出信号 VoutN 的输出之后, 可以通过第一复位单元 1113 将第一节点 net1 和第二节点 net2 处的电平值恢复为初始值, 并通过第二复位单元 1213 将第三节点 net3 和第四节点 net4 处的电平值恢复为初始值, 以便于后续数据接收电路 100 进行下一次数据接收以及处理。

[0080] 在一些实施例中, 第一电流源 1111 的电路结构与第二电流源 1211 的电路结构相同; 第一比较单元 1112 的电路结构与第二比较单元 1212 的电路结构相同。如此, 有利于使得第一比较电路 111 输出的第一信号对主要受第一参考信号 VR+的影响, 或者, 使得第二比较电路 121 输出的第二信号对的差异主要受第二参考信号 VR-的影响, 进一步有利于数据接收电路 100 基于第一参考信号 VR+和第二参考信号 VR-降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响, 以进一步提高第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性。

[0081] 在一些实施例中, 参考图 6 和图 7, 第一电流源 1111 可以包括: 第一 PMOS 管 MP1, 连接在电源节点 Vcc 与第五节点 net5 之间, 第一 PMOS 管 MP1 的栅极接收第一采样时钟信号 clkN1; 第二电流源 1112 可以包括: 第二 PMOS 管 MP2, 连接在电源节点 Vcc 与第六节点 net6 之间, 第二 PMOS 管 MP2 的栅极接收第二采样时钟信号 clkN2。

[0082] 如此, 在第一采样时钟信号 clkN1 为低电平时, 第一 PMOS 管 MP1 的栅极接收第一采样时钟信号 clkN1 以导通, 向第五节点 net5 提供电流, 使得第一比较单元 1112 处于工作状态, 即对接收的数据信号 DQ 和第一参考信号 VR+进行第一比较, 与此同时, 使能信号 EnDfe 为高电平, 互补使能信号 EnDfeN 为低电平, 第一反馈信号 fbp 为高电平, 且第一互补反馈信号 fbpN 为低电平, 第一使能单元 1411 断开第一节点 net1 和第二节点 net2; 在第二采样时钟信号 clkN2 为低电平时, 第二 PMOS 管 MP2 的栅极接收第二采样时钟信号 clkN2 以导通, 向第六节点 net6 提供电流, 使得第二比较单元 1212 处于工作状态, 对接收的数据信号 DQ 和第二参考信号 VR-进行第二比较, 与此同时, 使能信号 EnDfe 为高电平, 互补使能信号 EnDfeN 为低电平, 第二反馈信号 fbn 为高电平, 且第二互补反馈信号 fbnN 为低电平, 第二使能单元 1412 断开第三节点 net3 和第四节点 net4。

[0083] 在一个例子中, 第一采样时钟信号 clkN1 的相位与原始采样时钟信号 clk 的相位相反, 在需要降低码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 处于第一电平值期间, 即高电平, 第二采样时钟信号 clkN2 的相位与原始采样时钟信号 clk 的相位也相反, 则此时第一采样时钟信号 clkN1 的相位与第二采样时钟信号 clkN2 的相位同步, 使得第一电流源 1111 可以向第五节点 net5 提供电流以为第一比较单元 121 进行第一比较做准备的同时, 第二电流源 1211 可以向第六节点 net6 提供电流以为第二比较单元 122 进行第二比较做准备。此时, 使能信号 EnDfe 为高电平, 互补使能信号 EnDfeN 为低电平, 若第一反馈信号 fbp 为高电平, 且第一互补反馈信号 fbpN 为低电平, 则第一使能单元 1411 断开第一节点 net1 和第二节点 net2, 第一比较单元 121 进行第一比较, 此时第二反馈信号 fbn 为低电平, 且第二互补反馈信号 fbnN 为高电平, 第二使能单元 1412 连接第三节点 net3 和第四节点 net4, 第二比较单元 122 无法进行第二比较; 若第一反馈信号 fbp 为低电平, 且第一互补反馈信号 fbpN 为高电平, 则第一使能单元 1411 连接第一节点 net1 和第二节点 net2, 第一比较单元 121 无法进行第一比较, 此时第二反馈信号 fbn 为高电平, 且第二互补反馈信号 fbnN 为低电平, 第二使能单元 1412 断开第三节点 net3 和第四节点 net4, 第二比较单元 122 进行第二比较。

[0084] 此外, 在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 处于第二电平值期间, 即低电平, 第二采样时钟信号 clkN2 为逻辑高电平信号, 第二 PMOS 管 MP2 始终关断, 使得第二比较单元 1212 中的电流几乎为 0, 以降低数据接收电路 100 的功耗, 而且此时的第二比较单元 1212 无法进行第二比较, 无法输出有效的第二信号对, 此时第一采样时钟信号 clkN1 为时钟信号, 第一 PMOS 管 MP1 可以响应于该时钟信号导通, 以使得第一比较单元 1112 进行第一比较, 以输出有效的第一信号对, 使得数据接收电路 100 整体可以正常工作。

[0085] 在一些实施例中, 继续参考图 6 和图 7, 第一比较单元 1112 可以包括: 第三 PMOS 管 MP3, 连

接在第一节点 net1 与第五节点 net5 之间, 第三 PMOS 管 MP3 的栅极接收数据信号 DQ; 第四 PMOS 管, 连接在 MP4, 连接在第二节点 net2 与第五节点 net5 之间, 第四 PMOS 管 MP4 的栅极接收第一参考信号 VR+; 第二比较单元 1212 可以包括: 第五 PMOS 管 MP5, 连接在第三节点 net3 与第六节点 net6 之间, 第五 PMOS 管 MP5 的栅极接收数据信号 DQ; 第六 PMOS 管 MP6, 连接在第四节点 net4 与第六节点 net6 之间, 第六 PMOS 管 MP6 的栅极接收第二参考信号 VR-。

[0086] 需要说明的是, 对于第一比较单元 1112 而言, 数据信号 DQ 和第一参考信号 VR+ 的电平值变化不同步, 使得接收数据信号 DQ 的第三 PMOS 管 MP3 的导通时刻不同于接收第一参考信号 VR+ 的第四 PMOS 管 MP4 的导通时刻, 且同一时刻下, 第三 PMOS 管 MP3 的导通程度不同于第四 PMOS 管 MP4 的导通程度。可以理解的是, 基于第三 PMOS 管 MP3 的导通程度不同于第四 PMOS 管 MP4 的导通程度, 第三 PMOS 管 MP3 与第四 PMOS 管 MP4 对第五节点 net5 处的电流的分流能力也不同, 使得第一节点 net1 处的电压与第二节点 net2 处的电压不同, 有利于输出第一信号 Sn+ 和第二信号 Sp+ 为信号电平值差异较大的第一信号对。

[0087] 对于第二比较单元 1212 而言, 数据信号 DQ 和第二参考信号 VR- 的电平值变化不同步, 使得接收数据信号 DQ 的第五 PMOS 管 MP5 的导通时刻不同于接收第二参考信号 VR- 的第六 PMOS 管 MP6 的导通时刻, 且同一时刻下, 第五 PMOS 管 MP5 的导通程度不同于第六 PMOS 管 MP6 的导通程度。可以理解的是, 基于第五 PMOS 管 MP5 的导通程度不同于第六 PMOS 管 MP6 的导通程度, 第五 PMOS 管 MP5 与第六 PMOS 管 MP6 对第六节点 net6 处的电流的分流能力也不同, 使得第三节点 net3 处的电压与第四节点 net4 处的电压不同, 有利于输出第三信号 Sn- 和第四信号 Sp- 为信号电平值差异较大的第二信号对。

[0088] 在一个例子中, 第一放大模块 101 进行的是第一比较, 数据信号 DQ 的电平值低于第一参考信号 VR+ 的电平值时, 第三 PMOS 管 MP3 的导通程度大于第四 PMOS 管 MP4 的导通程度, 使得第五节点 net5 处的电流更多的流入第三 PMOS 管 MP3 所在的通路, 使得第一节点 net1 处的电流大于第二节点 net2 处的电流, 从而进一步使得第一节点 net1 输出的第一信号 Sn+ 的电平值高, 第二节点 net2 输出的第二信号 Sp+ 的电平值低; ; 在另一个例子中, 第一放大模块 101 进行的是第二比较, 数据信号 DQ 的电平值低于第二参考信号 VR- 的电平值时, 第五 PMOS 管 MP5 的导通程度大于第六 PMOS 管 MP6 的导通程度, 使得第六节点 net6 处的电流更多的流入第五 PMOS 管 MP5 所在的通路, 使得第三节点 net3 处的电流大于第四节点 net4 处的电流, 从而进一步使得第三节点 net3 输出的第三信号 Sn- 的电平值高, 第四节点 net4 输出的第四信号 Sp- 的电平值低。

[0089] 同理, 数据信号 DQ 的电平值高于第一参考信号 VR+ 的电平值时, 第三 PMOS 管 MP3 的导通程度小于第四 PMOS 管 MP4 的导通程度, 第一节点 net1 输出的第一信号 Sn+ 的电平值低, 第二节点 net2 输出的第二信号 Sp+ 的电平值高; 数据信号 DQ 的电平值高于第二参考信号 VR- 的电平值时, 第五 PMOS 管 MP5 的导通程度小于第六 PMOS 管 MP6 的导通程度, 第三节点 net3 输出的第三信号 Sn- 的电平值低, 第四节点 net4 输出的第四信号 Sp- 的电平值高。

[0090] 在一些实施例, 继续参考图 6 和图 7, 第一复位单元 1113 可以包括: 第一 NMOS 管 MN1, 连接在第一节点 net1 与地端之间, 第一 NMOS 管 MN1 的栅极接收第一采样时钟信号 clkN1; 第二 NMOS 管 MN2, 连接在第二节点 net2 与地端之间, 第二 NMOS 管 MN2 的栅极接收第一采样时钟信号 clkN1; 第二复位单元 1213 可以包括: 第三 NMOS 管 MN3, 连接在第三节点 net3 与地端之间, 第三 NMOS 管 MN3 的栅极接收第二采样时钟信号 clkN2; 第四 NMOS 管 MN4, 连接在第四节点 net4 与地端之间, 第四 NMOS 管 MN4 的栅极接收第二采样时钟信号 clkN2。

[0091] 在一个例子中, 第一采样时钟信号 clkN1 的相位与原始采样时钟信号 clk 的相位相反, 在需要降低码间干扰对数据接收电路的影响时, 使能信号 EnDfe 处于第一电平值期间, 第二采样时钟信号 clkN2 的相位与原始采样时钟信号 clk 的相位也相反, 此时第一采样时钟信号 clkN1 的相位与第二采样时钟信号 clkN2 的相位同步, 若第一采样时钟信号 clkN1 和第二采样时钟信号 clkN2 均为低电平, 第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均导通, 此时第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3 以及第四 NMOS 管 MN4 均关断, 此时基于反馈信号 fb 控制第一使能单元 1411 和第二使能单元 1412 中的一者导通, 以实现第一放大模块 101 选择性进行第一比较或第二比较, 同时, 第一 NMOS 管 MN1 和第二

NMOS管MN2可以作为第一比较单元1112的负载,以增加第一比较单元1112的放大增益,第三NMOS管MN3和第四NMOS管MN4可以作为第二比较单元1212的负载,以增加第二比较单元1212的放大增益。

- [0092] 若第一采样时钟信号clkN1和第二采样时钟信号clkN2均为高电平,第一PMOS管MP1和第二PMOS管MP2均关断,第一比较单元1112和第二比较单元1212中均没有电流通过,此时第一NMOS管MN1、第二NMOS管MN2、第三NMOS管MN3以及第四NMOS管MN4均导通,以下拉第一节点net1处的电压、第二节点net2处的电压、第三节点net3处的电压以及第四节点net4处的电压,实现对第一节点net1、第二节点net2、第三节点net3以及第四节点net4的复位,以便于后续数据接收电路100进行下一次的数据接收以及处理。
- [0093] 此外,在无需考虑码间干扰对数据接收电路100的影响时,使能信号EnDfe处于第二电平值期间,第二采样时钟信号clkN2为逻辑高电平信号,第二PMOS管MP2始终关断,此时第三NMOS管MN3以及第四NMOS管MN4均导通,以下拉导通第三节点net3与地端之间的连接路径,并导通第四节点net4与地端之间的连接路径,实现对第三节点net3以及第四节点net4的复位,此时第二比较单元1212中的电流几乎为0,有利于降低数据接收电路100的功耗。此时,若第一采样时钟信号clkN1为低电平,第一PMOS管MP1导通,第一NMOS管MN1和第二NMOS管MN2均关断,以保证第一比较电路111进行第一比较,输出有效的第一信号对,使得后续第二放大模块102可以固定接收第一信号对;或者,若第一采样时钟信号clkN1为高电平,第一PMOS管MP1断开,第一NMOS管MN1和第二NMOS管MN2均导通,以下拉第一节点net1处的电压以及第二节点net2处的电压,实现对第一节点net1以及第二节点net2的复位,以便于后续数据接收电路100进行下一次的数据接收以及处理。

- [0094] 在一些实施例中,继续参考图6和图7,时钟产生电路151可以包括:第一与非门电路1511,第一与非门电路1511的一输入端接收原始采样时钟信号clk,另一输入端连接电源节点Vcc,输出端输出第一采样时钟信号clkN1。

- [0095] 可以理解的是,第一与非门电路1511连接电源节点Vcc的输入端接收的是高电平。此时,若第一与非门电路1511的另一个输入端接收的原始采样时钟信号clk为高电平,则第一采样时钟信号clkN1为低电平;若第一与非门电路1511的另一个输入端接收的原始采样时钟信号clk为低电平,则第一采样时钟信号clkN1为高电平,如此,使得第一采样时钟信号clkN1的相位与原始采样时钟信号clk的相位相反,因而,在需要降低码间干扰对数据接收电路的影响时,使得第一采样时钟信号clkN1的相位与第二采样时钟信号clkN2的相位同步,第一放大模块101可以选择性地进行第一比较或第二比较。

- [0096] 在一些实施例中,继续参考图6和图7,时钟产生电路151可以包括:第二与非门电路1512,第二与非门电路1512的一输入端接收原始采样时钟信号clk,另一输入端接收使能信号EnDfe,输出端输出第二采样时钟信号clkN2。

- [0097] 可以理解的是,第一采样时钟信号clkN1的相位与原始采样时钟信号clk的相位相反,在需要降低码间干扰对数据接收电路100的影响时,使能信号EnDfe为高电平,若原始采样时钟信号clk为高电平,则第二与非门电路1512输出的第二采样时钟信号clkN2为低电平,此时第一采样时钟信号clkN1也为低电平,第一放大模块101基于反馈信号fb选择性地进行第一比较或第二比较中处理更优的一者,后续第二放大模块102接收有效的第一信号对或者有效的第二信号对,且另一组信号对无效,以降低接收的数据信号DQ的码间干扰对数据接收电路100的影响;若原始采样时钟信号clk为低电平,则第二与非门电路1512输出的第二采样时钟信号clkN2为高电平,此时第一采样时钟信号clkN1也为高电平,则此时第一比较单元1112和第二比较单元1212均处于非工作状态,可以通过第一复位单元1113将第一节点net1和第二节点net2处的电平值恢复为初始值,并通过第二复位单元1213将第三节点net3和第四节点net4处的电平值恢复为初始值,以便于后续数据接收电路100进行下一次数据接收以及处理。

[0098] 在无需考虑码间干扰对数据接收电路100的影响时,使能信号EnDfe为低电平,此时无论原始采样时钟信号clk为高电平还是低电平,第二与非门电路1512输出的第二采样时钟信号clkN2均为高电平,因而,无论第一采样时钟信号clkN1为高电平还是低电平,即无论第一比较单元1112是否进行第一比较,

第二比较电路 121 中第三节点 net3 与地端之间的连接路径以及第四节点 net4 与地端之间的连接路径均会导通,使得此时第二比较电路 121 中的电流几乎为 0,均不会进行第二比较。

[0099] 在一些实施例中,参考图 5,第二放大模块 102 可以包括:第一输入单元 112,连接第七节点 net7 和第八节点 net8,被配置为,接收第一信号对并进行第三比较,并分别向第七节点 net7 和第八节点 net8 提供信号作为第三比较的结果;第二输入单元 122,连接第七节点 net7 和第八节点 net8,被配置为,接收第二信号对并进行第四比较,并分别向第七节点 net7 和第八节点 net8 提供信号作为第四比较的结果;锁存单元 132,连接第七节点 net7 和第八节点 net8,被配置为,对第七节点 net7 的信号以及第八节点 net8 的信号进行放大并锁存,并分别通过第一输出节点 net9 和第二输出节点 net10 输出第一输出信号 Vout 和第二输出信号 VoutN。

[0100] 可以理解的是,在需要降低码间干扰对数据接收电路的影响时,使能信号 EnDfe 处于第一电平值期间,第一放大模块 101 基于反馈信号 fb 选择性进行第一比较和第二比较,输出的第一信号对和第二信号对中的一者有效,另一者无效,而且,此时可以导通的输入单元接收的是有效的信号对,且有效的信号对指的是:若同时可以进行第一比较和第二比较,能输出的电平值差异更大的一组信号对,以提高第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性。在无需考虑码间干扰对数据接收电路 100 的影响时,使能信号 EnDfe 处于第二电平值期间,第一放大模块 101 固定输出有效的第一信号对,第一输入单元 112 响应于有效的第一信号对导通或关断,第二输入单元 122 接收的信号对无效,处于断开状态,以降低数据接收电路的功耗。

[0101] 其中,锁存单元 132 用于根据第七节点 net7 的信号以及第八节点 net8 的信号向第一输出节点 net9 输出高电平信号、向第二输出节点 net10 输出低电平信号,或者向第一输出节点 net9 输出低电平信号、向第二输出节点 net10 输出高电平信号。

[0102] 在一些实施例中,参考图 8,第一输入单元 112 可以包括:第五 NMOS 管 MN5,第五 NMOS 管 MN5 的漏极连接第七节点 net7,源极连接地端,栅极接收第一信号 Sn+;第六 NMOS 管 MN6,第六 NMOS 管 MN6 的漏极连接第八节点 net8,源极连接地端,栅极接收第二信号 Sp+;第二输入单元 122 可以包括:第七 NMOS 管 MN7,第七 NMOS 管 MN7 的漏极连接第七节点 net7,源极连接地端,栅极接收第三信号 Sn-;第八 NMOS 管 MN8,第八 NMOS 管 MN8 的漏极连接第八节点 net8,源极连接地端,栅极接收第四信号 Sp-。

[0103] 在一个例子中,第一放大模块 101 进行第一比较时,若数据信号 DQ 的电平值高于第一参考信号 VR+的电平值,则第一信号 Sn+的电平值低,第二信号 Sp+的电平值高,则第六 NMOS 管 MN6 的导通程度大于第五 NMOS 管 MN5 的导通程度,使得第八节点 net8 处的电压小于第七节点 net7 处的电压。同理,若数据信号 DQ 的电平值低于第一参考信号 VR+的电平值,则第一信号 Sn+的电平值高,第二信号 Sp+的电平值低,第五 NMOS 管 MN5 的导通程度大于第六 NMOS 管 MN6 的导通程度,使得第七节点 net7 处的电压小于第八节点 net8 处的电压。

[0104] 在另一个例子中,第一放大模块 101 进行第二比较时,若数据信号 DQ 的电平值高于第二参考信号 VR-的电平值,则第三信号 Sn-的电平值低,第四信号 Sp-的电平值高,则第八 NMOS 管 MN8 的导通程度大于第七 NMOS 管 MN7 的导通程度,使得第八节点 net8 处的电压小于第七节点 net7 处的电压。同理,若数据信号 DQ 的电平值低于第二参考信号 VR-的电平值,则第三信号 Sn-的电平值高,第四信号 Sp-的电平值低,第七 NMOS 管 MN7 的导通程度大于第八 NMOS 管 MN8 的导通程度,使得第七节点 net7 处的电压小于第八节点 net8 处的电压。

[0105] 在一些实施例中,继续参考图 8,锁存单元 132 可以包括:第十三 NMOS 管 MN13 以及第七 PMOS 管 MP7,第十三 NMOS 管 MN13 的栅极以及第七 PMOS 管 MP7 的栅极均连接第二输出节点 net10,第十三 NMOS 管 MN13 的源极连接第七节点 net7,第十三 NMOS 管 MN13 的漏极以及第七 PMOS 管 MP7 的漏极均连接第一输出节点 net9,第七 PMOS 管 MP7 的源极连接电源节点 Vcc;第十四 NMOS 管 MN14 以及第八 PMOS 管 MP8,第十四 NMOS 管 MN14 的栅极以及第八 PMOS 管 MP8 的栅极均连接第一输出节点 net9,第十四 NMOS 管 MN14 的源极连接第八节点 net8,第十四 NMOS 管 MN14 的漏极以及第八 PMOS

管 MP8 的漏极均连接第二输出节点 net10, 第八 PMOS 管 MP8 的源极连接电源节点 Vcc。

[00106] 在一个例子中, 第一放大模块 101 进行第一比较时, 若数据信号 DQ 的电平值高于第一参考信号 VR+的电平值, 第一信号 Sn+的电平值低, 第二信号 Sp+的电平值高, 则第八节点 net8 处的电压小于第七节点 net7 处的电压, 从而使得第十四 NMOS 管 MN14 的导通程度大于第十三 NMOS 管 MN13 的导通程度, 第二输出节点 net10 处的电压小于第一输出节点 net9 处的电压, 则第八 PMOS 管 MP8 的导通程度小于第七 PMOS 管 MP7 的导通程度, 锁存单元 132 形成正反馈放大, 进一步使得第一输出节点 net9 输出的第一输出信号 Vout 为高电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为低电平。同理, 若数据信号 DQ 的电平值低于第一参考信号 VR+的电平值, 则第七节点 net7 处的电压小于第八节点 net8 处的电压, 第一输出节点 net9 输出的第一输出信号 Vout 为低电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为高电平。

[00107] 在另一个例子中, 第一放大模块 101 进行第二比较时, 数据信号 DQ 的电平值高于第二参考信号 VR-的电平值时, 第三信号 Sn-的电平值低, 第四信号 Sp-的电平值高, 则第八 NMOS 管 MN8 的导通程度大于第七 NMOS 管 MN7 的导通程度, 使得第八节点 net8 处的电压小于第七节点 net7 处的电压, 从而使得第一输出节点 net9 输出的第一输出信号 Vout 为高电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为低电平。同理, 数据信号 DQ 的电平值低于第二参考信号 VR-的电平值时, 第三信号 Sn-的电平值高, 第四信号 Sp-的电平值低, 此时第一输出节点 net9 输出的第一输出信号 Vout 为低电平, 第二输出节点 net10 输出的第二输出信号 VoutN 为高电平。

[00108] 在一些实施例, 参考图 5, 第二放大模块 102 还可以包括: 第三复位单元 142, 连接在电源节点 Vcc 与锁存单元 132 的输出端之间, 被配置为, 对锁存单元 132 的输出端进行复位。如此, 在数据接收电路 100 完成一次数据信号 DQ、第一参考信号 VR+和第二参考信号 VR-的接收以及第一输出信号 Vout 和第二输出信号 VoutN 的输出之后, 可以通过第三复位单元 142 将第一输出节点 net9 和第二输出节点 net10 处的电平值恢复为初始值, 以便于后续数据接收电路 100 进行下一次数据的接收以及处理。

[00109] 在一些实施例, 参考图 8, 第三复位单元 142 包括: 第十三 PMOS 管 MP13, 连接在第一输出节点 net9 与电源节点 Vcc 之间, 第十三 PMOS 管 MP13 的栅极接收原始采样时钟信号 clk; 第十四 PMOS 管 MP14, 连接在第二输出节点 net10 与电源节点 Vcc 之间, 第十四 PMOS 管 MP14 的栅极接收原始采样时钟信号 clk。

[00110] 在一个例子中, 第一采样时钟信号 clkN1 的相位与原始采样时钟信号 clk 的相位相反, 结合参考图 7 和图 8, 在需要降低码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 为逻辑电平 1, 互补使能信号 EnDfeN 为逻辑电平 0, 第二采样时钟信号 clkN2 的相位与原始采样时钟信号 clk 的相位相反, 在原始采样时钟信号 clk 为高电平时, 第一采样时钟信号 clkN1 和第二采样时钟信号 clkN2 均为低电平, 则第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均导通, 此时第一使能单元 1411 和第二使能单元 1412 中的一者基于反馈信号 fb 导通, 使得第一放大模块 101 只能输出有效的第一信号对和有效的第二信号对中的一者, 例如, 在第一反馈信号 fbp 为高电平, 且第二反馈信号 fbn 为低电平时, 第一比较单元 121 进行第一比较, 第二比较单元 122 无法进行第二比较。此时, 第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3 以及第四 NMOS 管 MN4、第十三 PMOS 管 MP13 和第十四 PMOS 管 MP14 均关断。

[00111] 在原始采样时钟信号 clk 为低电平时, 第一采样时钟信号 clkN1 和第二采样时钟信号 clkN2 均为高电平, 则第一 PMOS 管 MP1 和第二 PMOS 管 MP2 均关断, 此时第一 NMOS 管 MN1、第二 NMOS 管 MN2、第三 NMOS 管 MN3 以及第四 NMOS 管 MN4 均导通, 以下拉第一节点 net1 处的电压、第二节点 net2 处的电压、第三节点 net3 处的电压以及第四节点 net4 处的电压, 实现对第一节点 net1、第二节点 net2、第三节点 net3 以及第四节点 net4 的复位, 第十三 PMOS 管 MP13 和第十四 PMOS 管 MP14 也导通, 以上拉第一输出节点 net9 处的电压以及第二输出节点 net10 处的电压, 实现对第一输出节点 net9 以及第二输出节点 net10 的复位。

[00112] 在无需考虑码间干扰对数据接收电路 100 的影响时, 使能信号 EnDfe 为逻辑电平 0, 互补使能信号 EnDfeN 为逻辑电平 1, 此时无论原始采样时钟信号 clk 为高电平还是低电平, 第二采样时钟信号 clkN2

始终为高电平，则第二 PMOS 管 MP2 始终关断，以降低第二比较电路 121 中的电流，从而降低数据接收电路 100 的功耗。

[00113] 以下结合图 6、图 8 和表 1 对本公开一实施例提供的数据接收电路 100 的具体工作原理进行详细说明。

- 5 [00114] 在一个例子中，多个数据接收电路 100 级联时，上一级的数据接收电路 100 的第一输出节点 net9 输出的第一输出信号 Vout 作为下一级数据接收电路 100 的第一反馈信号 fbp，上一级的数据接收电路 100 的第二输出节点 net10 输出的第二输出信号 VoutN 作为下一级数据接收电路 100 的第二反馈信号 fbn。

- [00115] 以下以接收的第一参考信号 VR+的电平值大于第二参考信号 VR-的电平值为示例进行说明。数据信号 DQ 为逻辑电平 1 时表征数据信号 DQ 的电平值大于第一参考信号 VR+的电平值，数据信号 DQ 为逻辑电平 0 时表征数据信号 DQ 的电平值小于第二参考信号 VR-的电平值。需要说明的是，表 1 中用 1 表示高电平，0 表示低电平。

[00116] 在需要考虑码间干扰对数据接收电路 100 的影响时，使能信号 EnDfe 为高电平，互补使能信号 EnDfeN 为低电平，此时，第九 PMOS 管 MP9 和第十一 PMOS 管 MP11 导通，第十 PMOS 管 MP10 响应于第一反馈信号 fbp 导通或关断，第十二 PMOS 管 MP12 响应于第二反馈信号 fbn 导通或关断。

- 15 [00117] 参考表 1，若上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 1，上一级数据接收电路 100 输出的第一输出信号 Vout，即下一级数据接收电路 100 的第一反馈信号 fbp 为高电平，上一级数据接收电路 100 输出的第二输出信号 VoutN，即下一级数据接收电路 100 的第二反馈信号 fbn 为低电平，此时，第十 PMOS 管 MP10 的栅极接收第一反馈信号 fbp 以关断，第十二 PMOS 管 MP12 的栅极接收第二反馈信号 fbn 以导通，第一放大模块 101 进行第一比较，通过第一节点 net1 和第二节点 net2 输出第一信号 Sn+和第二信号 Sp+，第一输入单元 112 用于对第一信号 Sn+和第二信号 Sp+进行第三比较，以向第七节点 net7 和第八节点 net8 提供信号，第二输入单元 122 中没有电流流过。

[00118] 当上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 1 时，下一级数据接收电路 100 接收的数据信号 DQ2 分别为以下两种情形：

- 25 [00119] 情形一：参考表 1，下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 0 时，与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较大，存在较大的码间干扰，此时，下一级数据接收电路 100 中的第一放大模块 101 进行第一比较，输出第一信号 Sn+和第二信号 Sp+，使得第一输入单元 112 导通，即下一级数据接收电路 100 中的第二放大模块 102 接收的是第一信号 Sn+和第二信号 Sp+。此时，下一级数据接收电路 100 中，数据信号 DQ2 为逻辑电平 0，数据信号 DQ2 与第一参考信号 VR+之间的电压差大于数据信号 DQ2 与第二参考信号 VR-之间的电压差，若此时可以进行第二比较，则进行第一比较得到的有效的第一信号对中心信号的电平值差异，相较于进行第二比较得到的有效的第二信号对中心信号的电平值差异更大，此时第二放大模块 102 接收有效的第一信号对更有利于输出准确性更高的第一输出信号 Vout 和第二输出信号 VoutN，以达到降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响的目的，且此时不进行第二比较有利于降低数据接收电路 100 的功耗。

- 35 [00120] 情形二：参考表 1，下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 1 时，与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较小，存在较小或者不存在码间干扰，此时，下一级数据接收电路 100 中的第一放大模块 101 进行第一比较，输出第一信号 Sn+和第二信号 Sp+，使得第一输入单元 112 导通，即下一级数据接收电路 100 中的第二放大模块 102 接收的是第一信号 Sn+和第二信号 Sp+。

- 40 [00121] 参考表 1，若上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 0，上一级数据接收电路 100 输出的第一输出信号 Vout，即下一级数据接收电路 100 的第一反馈信号 fbp 为低电平，上一级数据接收电路 100 输出的第二输出信号 VoutN，即下一级数据接收电路 100 的第二反馈信号 fbn 为高电平，此时，第十 PMOS 管 MP10 的栅极接收第一反馈信号 fbp 以导通，第十二 PMOS 管 MP12 的栅极接收第二反馈信号 fbn 以关断，第一放大模块 101 进行第二比较，通过第三节点 net3 和第四节点 net4 输出第三信号 Sn-和第四信号 Sp-，第二输入单元 122 用于对第三信号 Sn-和第四信号 Sp-进行第四比较，以向第七节点 net7 和第八节点 net8 提供信号，第一输入单元 112 中没有电流流过。

[00122] 当上一级数据接收电路 100 接收的数据信号 DQ1 为逻辑电平 0 时，下一级数据接收电路 100 接收的数据信号 DQ2 分别为以下两种情形：

[00123] 情形三：参考表 1，下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 0 时，与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较小，存在较小或者不存在码间干扰，此时，下一级数据接收电路 100 中的第一放大模块 101 进行第二比较，输出第三信号 Sn-和第四信号 Sp-，使得第二输入单元 122 导通，即下一级数据接收电路 100 中的第二放大模块 102 接收的是第三信号 Sn-和第四信号 Sp-。

[00124] 情形四：参考表 1，下一级数据接收电路 100 接收的数据信号 DQ2 为逻辑电平 1 时，与上一级数据接收电路 100 接收的数据信号 DQ1 的电平值差异较大，存在较大的码间干扰，此时，下一级数据接收电路 100 中第一放大模块 101 进行第二比较，输出第三信号 Sn-和第四信号 Sp-，使得第二输入单元 122 导通，即下一级数据接收电路 100 中的第二放大模块 102 接收的是第三信号 Sn-和第四信号 Sp-。此时，下一级数据接收电路 100 中，数据信号 DQ2 为逻辑电平 1，数据信号 DQ2 与第二参考信号 VR-之间的电压差大于数据信号 DQ2 与第一参考信号 VR+之间的电压差，若此时可以进行第一比较，则进行第二比较得到的有效的第二信号对中信号的电平值差异，相较于进行第一比较得到的有效的第一信号对中信号的电平值差异更大，此时第二放大模块 102 接收有效的第二信号对更有利于输出准确性更高的第一输出信号 Vout 和第二输出信号 VoutN，以达到降低接收的数据信号 DQ 的码间干扰对数据接收电路 100 的影响的目的，且此时不进行第一比较有利于降低数据接收电路 100 的功耗。

表一

上一级数据传输电路接收的数据信号 DQ1	下一级数据传输电路接收的数据信号 DQ2	下一级数据传输电路接收的第一反馈信号 fbp	下一级数据传输电路接收的第二反馈信号 fbn	下一级数据传输电路中第二放大模块接收的信号对
1	0	1	0	Sn+、Sp+
1	1	1	0	Sn+、Sp+
0	0	0	1	Sn-、Sp-
0	1	0	1	Sn-、Sp-

[00125] 在无需考虑码间干扰对数据接收电路 100 的影响时，使能信号 EnDfe 为低电平，互补使能信号 EnDfeN 为高电平，此时，第九 PMOS 管 MP9 和第十一 PMOS 管 MP11 均关断，第一放大模块 101 固定进行第一比较，输出第一信号 Sn+和第二信号 Sp+，第一输入单元 112 响应于第一信号对导通或关断，此时第二比较电路 121 输出的第三信号 Sn-和第四信号 Sp-均为逻辑低电平信号，使得响应于第三信号 Sn-和第四信号 Sp-的第二输入单元 122 关断。

[00126] 需要说明的是，上述关于高电平以及低电平的描述中，高电平可以为大于或等于电源电压的电平值，低电平可以为小于或等于接地电压的电平值。而且，高电平和低电平是相对而言的，高电平和低电平所包含的具体电平值范围可以根据具体器件确定，例如，对于 NMOS 管而言，高电平指的是能够使该 NMOS 管导通的栅极电压的电平值范围，低电平指的是能够使该 NMOS 管关断的栅极电压的电平值范围；对于 PMOS 管而言，低电平指的是能够使该 PMOS 管导通的栅极电压的电平值范围，高电平指的是能够使该 PMOS 管关断的栅极电压的电平值范围。此外，高电平可以是前述描述中的逻辑电平 1，低电平可以是前述描述中的逻辑电平 0。

[00127] 综上所述，利用使能信号 EnDfe 和反馈信号 fb 对第一放大模块 101 实现进一步的控制，以选择是否考虑数据接收电路 100 接收的数据的码间干扰对数据接收电路 100 的影响。譬如，在需要降低码间干扰对数据接收电路 100 的影响时，使能信号 EnDfe 处于第一电平值期间，第一放大模块 101 响应于采样时钟信号 clkN 并基于反馈信号 fb 选择进行第一比较还是第二比较，使得输出的第一信号对和第二信号对中的一者有效，另一者无效，且有效的信号对中信号电平值差异更大，以保证第二放大模块 102 接收的是信号电平值差异较大的一对差分信号；在无需考虑码间干扰对数据接收电路 100 的影响的情况下，使能信号 EnDfe 处于第二电平值期间，第一放大模块 101 响应于采样时钟信号 clkN 仅进行第一比较，固定输出有效

的第一信号对,以实现在提高数据接收电路 100 的接收性能的同时,降低数据接收电路 100 的功耗的效果。

[00128] 本公开另一实施例还提供一种数据接收系统,以下将结合附图对本公开另一实施例提供的数据接收系统进行详细说明。图 2 为本公开另一实施例提供的数据接收系统的功能框图。

5 [00129] 参考图 2,数据接收系统包括:多个级联的数据传输电路 120,每一数据传输电路 120 包括如本公开一实施例的数据接收电路 100 以及与数据接收电路 100 连接的锁存电路 110;上一级数据传输电路 120 的输出信号作为下一级数据传输电路 120 的反馈信号 fb;最后一级数据传输电路 120 的输出信号作为第一级数据传输电路 120 的反馈信号 fb。

[00130] 其中,锁存电路 110 与数据接收电路 100 一一对应设置,锁存电路 110 用于将与该锁存电路 110 对应的数据接收电路 100 输出的信号锁存并输出。

10 [00131] 在一些实施例中,数据接收电路 100 响应于采样时钟信号接收数据;且数据接收系统包括 4 个级联的数据接收电路 100,相邻级的数据接收电路 100 的采样时钟信号 clkN 的相位差为 90° 。如此采样时钟信号 clkN 的周期为数据端口接收的数据信号 DQ 的周期的 2 倍,有利于时钟布线并节省功耗。

[00132] 需要说明的是,图 2 中以数据接收系统包括 4 个级联的数据接收电路 100,相邻级的数据接收电路 100 的采样时钟信号的相位差为 90° 为示例,在实际应用中,对数据接收系统中包括的级联的数据接收电路 100 的数量不做限制,相邻级的数据接收电路 100 的采样时钟信号的相位差可以基于级联的数据接收电路 100 的数量来合理设置。

15 [00133] 在一些实施例中,前一级的数据接收电路 100 的第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 作为后一级数据接收电路 100 的反馈信号 fb,如此,数据接收电路 100 的输出直接传输给下一级数据传输电路 120,无需经过锁存电路 110,有利于降低数据的传输延迟;或者,前一级的锁存电路 110 输出的信号作为后一级数据接收电路 100 的所述反馈信号 fb。

[00134] 综上所述,本公开另一实施例提供的数据接收系统可以利用使能信号 EnDfe 和反馈信号 fb 对第一放大模块 101 实现进一步的控制,以选择是否考虑数据接收电路 100 接收的数据的码间干扰对数据接收电路 100 的影响。譬如,在需要降低码间干扰对数据接收电路 100 的影响时,使能信号 EnDfe 处于第一电平值期间,第一放大模块 101 响应于采样时钟信号 clkN 并基于反馈信号 fb 选择进行第一比较还是第二比较,使得输出的第一信号对和第二信号对中的一者有效,另一者无效,且有效的信号对中信号电平值差异更大,以保证第二放大模块 102 接收的是信号电平值差异较大的一对差分信号,以提高第二放大模块 102 输出的第一输出信号 Vout 和第二输出信号 VoutN 的准确性,因而有利于提高数据接收系统的接收性能;在无需考虑码间干扰对数据接收电路 100 的影响的情况下,使能信号 EnDfe 处于第二电平值期间,第一放大模块 101 响应于采样时钟信号 clkN 仅进行第一比较,固定输出有效的第一信号对,以降低数据接收系统的功耗。

20 [00135] 本公开又一实施例还提供一种存储装置,包括:多个数据端口;多个如前述任一项所述的数据接收系统,每一所述数据接收系统与一所述数据端口相对应。如此,在需要降低码间干扰对存储装置的影响时,存储装置中的每一个数据端口均可以通过数据接收系统对接收的数据信号 DQ 进行灵活调整,以及提高对第一输出信号 Vout 以及第二输出信号 VoutN 的调整能力,从而提高存储装置的接收性能;在无需考虑码间干扰对存储装置的影响时,使能信号 EnDfe 处于第二电平值期间,第一放大模块 101 响应于采样时钟信号 clkN 仅进行第一比较,固定输出有效的第一信号对,以降低存储装置的功耗。

30 [00136] 本领域的普通技术人员可以理解,上述各实施方式是实现本公开的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本公开实施例的精神和范围。任何本领域技术人员,在不脱离本公开实施例的精神和范围内,均可作各自更动与修改,因此本公开实施例的保护范围应当以权利要求限定的范围为准。

权 利 要 求 书

1. 一种数据接收电路, 包括:

第一放大模块, 被配置为, 接收使能信号、反馈信号、数据信号、第一参考信号和第二参考信号, 在所述使能信号具有第一电平值期间, 响应于采样时钟信号并基于所述反馈信号, 选择所述数据信号与
5 所述第一参考信号进行第一比较并输出第一信号对作为所述第一比较的结果, 或者, 选择所述数据信号与
所述第二参考信号进行第二比较并输出第二信号对作为所述第二比较的结果; 在所述使能信号具有第二电平值期间, 响应于所述采样时钟信号进行所述第一比较并输出所述第一信号对; 其中, 所述第一信号对包括第一信号以及第二信号, 所述第二信号对包括第三信号以及第四信号;

第二放大模块, 被配置为, 接收所述第一放大模块的输出信号作为输入信号对, 对所述输入信号对的
10 电压差进行放大处理, 并输出第一输出信号和第二输出信号作为所述放大处理的结果。

2. 如权利要求 1 所述的数据接收电路, 其中, 所述第一放大模块包括:

放大单元, 具有分别用于响应于所述采样时钟信号输出所述第一信号、所述第二信号、所述第三信号
以及所述第四信号的第一节点、第二节点、第三节点以及第四节点, 被配置为, 接收所述数据信号、
所述第一参考信号以及所述第二参考信号;

15 决策均衡使能单元, 连接在所述第一节点与所述第二节点之间、以及所述第三节点与所述第四节点之
间, 被配置为, 接收所述使能信号以及所述反馈信号, 在所述使能信号具有所述第一电平值期间基于
所述反馈信号导通所述第一节点与所述第二节点之间的连接路径, 或者, 导通所述第三节点与所述第
四节点之间的连接路径, 在所述使能信号具有所述第二电平值期间, 断开所述第一节点与所述第二节
点之间的连接路径, 且断开所述第三节点与所述第四节点之间的连接路径。

20 3. 如权利要求 2 所述的数据接收电路, 其中, 所述采样时钟信号包括第一采样时钟信号和第二采样时钟
信号; 所述放大单元包括:

第一比较电路, 具有所述第一节点和所述第二节点, 被配置为, 接收所述数据信号以及所述第一参考
信号并响应于所述第一采样时钟信号进行所述第一比较;

时钟产生电路, 被配置为, 接收所述使能信号以及原始采样时钟信号, 并输出所述第二采样时钟信号,
25 其中, 在所述使能信号具有所述第一电平值期间, 所述第二采样时钟信号的相位与所述原始采样时钟
信号的相位相反, 在所述使能信号具有所述第二电平值期间, 所述第二采样时钟信号为逻辑高电平信
号;

第二比较电路, 具有所述第三节点和所述第四节点, 被配置为, 接收所述数据信号以及所述第二参考
信号, 并在所述使能信号具有所述第一电平值期间, 响应于所述第二采样时钟信号进行所述第二比较;
30 在所述使能信号具有所述第二电平值期间导通所述第三节点与地端之间的连接路径, 并导通所述第四
节点与地端之间的连接路径。

4. 如权利要求 2 所述的数据接收电路, 其中, 所述反馈信号包括差分的第一反馈信号和第二反馈信号;
所述决策均衡使能单元包括:

第一使能单元, 被配置为, 响应于所述使能信号以及所述第一反馈信号导通, 以使所述第一节点与所
35 述第二节点连接;

第二使能单元, 被配置为, 响应于所述使能信号以及所述第二反馈信号导通, 以使所述第三节点与所
述第四节点连接;

其中, 在所述使能信号具有第一电平值期间, 所述第一使能单元以及所述第二使能单元择一导通, 在
所述使能信号具有第二电平值期间, 所述第一使能单元以及所述第二使能单元均关断。

40 5. 如权利要求 4 所述的数据接收电路, 其中, 所述第一使能单元包括:
- 18 —

第九 PMOS 管以及第十 PMOS 管,所述第九 PMOS 管的一端连接所述第一节点,栅极接收互补使能信号,所述第九 PMOS 管的另一端连接所述第十 PMOS 管的一端,所述第十 PMOS 管的另一端连接所述第二节点,栅极接收所述第一反馈信号,所述互补使能信号的电平与所述使能信号的电平相反。

6. 如权利要求 5 所述的数据接收电路,其中,所述第一使能单元还包括:

5 第九 NMOS 管以及第十 NMOS 管,所述第九 NMOS 管的一端连接所述第一节点,栅极接收所述使能信号,所述第九 NMOS 管的另一端连接所述第十 NMOS 管的一端,所述第十 NMOS 管的另一端连接所述第二节点,栅极接收第一互补反馈信号,所述第一互补反馈信号与所述第一反馈信号的电平相反。

7. 如权利要求 4 所述的数据接收电路,其中,所述第二使能单元包括:

10 第十一 PMOS 管以及第十二 PMOS 管,所述第十一 PMOS 管的一端连接所述第三节点,栅极接收互补使能信号,所述第十一 PMOS 管的另一端连接所述第十二 PMOS 管的一端,所述第十二 PMOS 管的另一端连接所述第四节点,栅极接收所述第二反馈信号,所述互补使能信号的电平与所述使能信号的电平相反。

8. 如权利要求 7 所述的数据接收电路,其中,所述第二使能单元还包括:

15 第十一 NMOS 管以及第十二 NMOS 管,所述第十一 NMOS 管的一端连接所述第三节点,栅极接收所述使能信号,所述第十一 NMOS 管的另一端连接所述第十二 NMOS 管的一端,所述第十二 NMOS 管的另一端连接所述第四节点,栅极接收第二互补反馈信号,所述第二互补反馈信号与所述第二反馈信号的电平相反。

9. 如权利要求 3 所述的数据接收电路,其中,所述第一比较电路包括:

20 第一电流源,被配置为,连接在电源节点与第五节点之间,响应于第一采样时钟信号向所述第五节点提供电流;

第一比较单元,连接所述第一节点、所述第二节点以及所述第五节点,被配置为,接收所述数据信号以及所述第一参考信号,当所述第一电流源向所述第五节点提供电流时进行所述第一比较,并输出所述第一信号和所述第二信号;

25 第一复位单元,连接所述第一节点以及所述第二节点,被配置为,响应于所述第一采样时钟信号对所述第一节点和所述第二节点进行复位;所述第二比较电路包括:

第二电流源,被配置为,连接在电源节点与第六节点之间,响应于第二采样时钟信号向所述第六节点提供电流;

30 第二比较单元,连接所述第三节点、所述第四节点以及所述第六节点,被配置为,接收所述数据信号以及所述第二参考信号,当所述第二电流源向所述第六节点提供电流时进行所述第二比较,并输出所述第三信号和所述第四信号;

第二复位单元,连接在所述第三节点与所述第四节点之间,被配置为,响应于所述第二采样时钟信号对所述第三节点和所述第四节点进行复位。

10. 如权利要求 9 所述的数据接收电路,其中,所述第一电流源包括:

35 第一 PMOS 管,连接在所述电源节点与所述第五节点之间,所述第一 PMOS 管的栅极接收所述第一采样时钟信号;

所述第二电流源包括:

第二 PMOS 管,连接在所述电源节点与所述第六节点之间,所述第二 PMOS 管的栅极接收所述第二采样时钟信号。

11. 如权利要求 9 所述的数据接收电路,其中,所述第一比较单元包括:

40 第三 PMOS 管,连接在所述第一节点与所述第五节点之间,所述第三 PMOS 管的栅极接收所述数

据信号;

第四 PMOS 管, 连接在所述第二节点与所述第五节点之间, 所述第四 PMOS 管的栅极接收所述第一参考信号;

所述第二比较单元包括:

- 5 第五 PMOS 管, 连接在所述第三节点与所述第六节点之间, 所述第五 PMOS 管的栅极接收所述数据信号;

第六 PMOS 管, 连接在所述第四节点与所述第六节点之间, 所述第六 PMOS 管的栅极接收所述第二参考信号。

12. 如权利要求 9 所述的数据接收电路, 其中, 所述第一复位单元包括:

- 10 第一 NMOS 管, 连接在所述第一节点与地端之间, 栅极接收所述第一采样时钟信号;

第二 NMOS 管, 连接在所述第二节点与所述地端之间, 栅极接收所述第一采样时钟信号;

所述第二复位单元包括:

第三 NMOS 管, 连接在所述第三节点与地端之间, 栅极接收所述第二采样时钟信号;

第四 NMOS 管, 连接在所述第四节点与地端之间, 栅极接收所述第二采样时钟信号。

- 15 13. 如权利要求 3 所述的数据接收电路, 其中, 所述时钟产生电路包括:

第一与非门电路, 所述第一与非门电路的一输入端接收所述原始采样时钟信号, 另一输入端连接电源节点, 输出端输出所述第一采样时钟信号。

14. 如权利要求 3 所述的数据接收电路, 其中, 所述时钟产生电路包括:

- 20 第二与非门电路, 所述第二与非门电路的一输入端接收所述原始采样时钟信号, 另一输入端接收所述使能信号, 输出端输出第二采样时钟信号。

15. 如权利要求 1 所述的数据接收电路, 其中, 所述第二放大模块包括:

第一输入单元, 连接第七节点和第八节点, 被配置为, 接收所述第一信号对并进行第三比较, 并分别向所述第七节点和所述第八节点提供信号作为所述第三比较的结果;

- 25 第二输入单元, 连接所述第七节点和所述第八节点, 被配置为, 接收所述第二信号对并进行第四比较, 并分别向所述第七节点和所述第八节点提供信号作为所述第四比较的结果;

锁存单元, 连接所述第七节点和所述第八节点, 被配置为, 对所述第七节点的信号以及所述第八节点的信号进行放大并锁存, 并分别通过第一输出节点和第二输出节点输出所述第一输出信号和所述第二输出信号。

16. 如权利要求 15 所述的数据接收电路, 其中, 所述第一输入单元包括:

- 30 第五 NMOS 管, 所述第五 NMOS 管的漏极连接所述第七节点, 源极连接地端, 栅极接收所述第一信号;

第六 NMOS 管, 所述第六 NMOS 管的漏极连接所述第八节点, 源极连接地端, 栅极接收所述第二信号;

所述第二输入单元包括:

- 35 第七 NMOS 管, 所述第七 NMOS 管的漏极连接所述第七节点, 源极连接地端, 栅极接收所述第三信号;

第八 NMOS 管, 所述第八 NMOS 管的漏极连接所述第八节点, 源极连接地端, 栅极接收所述第四信号。

17. 如权利要求 15 所述的数据接收电路, 其中, 所述锁存单元包括:
- 第十三 NMOS 管以及第七 PMOS 管, 所述第十三 NMOS 管的栅极以及所述第七 PMOS 管的栅极均连接所述第二输出节点, 所述第十三 NMOS 管的源极连接所述第七节点, 所述第十三 NMOS 管的漏极以及所述第七 PMOS 管的漏极均连接所述第一输出节点, 所述第七 PMOS 管的源极连接电源节点;
- 5 第十四 NMOS 管以及第八 PMOS 管, 所述第十四 NMOS 管的栅极以及所述第八 PMOS 管的栅极均连接所述第一输出节点, 所述第十四 NMOS 管的源极连接所述第八节点, 所述第十四 NMOS 管的漏极以及所述第八 PMOS 管的漏极均连接所述第二输出节点, 所述第八 PMOS 管的源极连接所述电源节点。
18. 如权利要求 17 所述的数据接收电路, 其中, 所述第二放大模块还包括:
- 第三复位单元, 连接在电源节点与所述锁存单元的输出端之间, 被配置为, 对所述锁存单元的输出端
- 10 进行复位。
19. 如权利要求 18 所述的数据接收电路, 其中, 所述第三复位单元包括:
- 第十三 PMOS 管, 连接在所述第一输出节点与电源节点之间, 所述第十三 PMOS 管的栅极接收原始采样时钟信号;
- 第十四 PMOS 管, 连接在所述第二输出节点与所述电源节点之间, 所述第十四 PMOS 管的栅极接收所
- 15 述原始采样时钟信号。
20. 一种数据接收系统, 包括:
- 多个级联的数据传输电路, 每一所述数据传输电路包括如权利要求 1-19 任一项所述的数据接收电路以及与所述数据接收电路连接的锁存电路;
- 上一级所述数据传输电路的输出信号作为下一级所述数据传输电路的所述反馈信号;
- 20 最后一级所述数据传输电路的输出信号作为第一级所述数据传输电路的所述反馈信号。
21. 如权利要求 20 所述的数据接收系统, 其中, 所述数据接收电路响应于采样时钟信号接收数据; 且所述数据接收系统包括 4 个级联的所述数据传输电路, 相邻级的所述数据接收电路的所述采样时钟信号的相位差为 90° 。
22. 如权利要求 20 所述的数据接收系统, 其中, 前一级的所述数据接收电路的所述第二放大模块输出的所述
- 25 所述第一输出信号和所述第二输出信号作为后一级所述数据接收电路的所述反馈信号; 或者, 前一级的所述锁存电路输出的信号作为后一级所述数据接收电路的所述反馈信号。
23. 一种存储装置, 包括:
- 多个数据端口;
- 多个如权利要求 20 至 22 任一项所述的数据接收系统, 每一所述数据接收系统与一所述数据端口相对应。
- 30