

明 細 書

発明の名称：半導体記憶装置およびその製造方法

技術分野

[0001] 本実施形態は半導体記憶装置およびその製造方法に関する。

背景技術

[0002] NAND型フラッシュメモリ等の半導体記憶装置は、回路チップとメモリチップを貼合せた構造を有する場合がある。この場合、メモリチップを介して回路チップに接続されるコンタクトプラグ上に、パッドを形成することが困難な場合がある。

先行技術文献

特許文献

[0003] 特許文献1：米国特許公開第2022/0059481号
特許文献2：米国特許公開第2022/0068858号
特許文献3：米国特許公開第2022/0077090号
特許文献4：米国特許公開第2021/0082877号
特許文献5：米国特許登録第11088113号
特許文献6：米国特許登録第10026769号
特許文献7：米国特許公開第2019/0279952号

発明の概要

発明が解決しようとする課題

[0004] コンタクトプラグ上にパッドを容易に形成可能な半導体製造装置およびその製造方法を提供する。

課題を解決するための手段

[0005] 本実施形態による半導体記憶装置は、トランジスタを含む第1チップと、メモリセルアレイを含む第2チップとを備える。第2チップは、第1チップに貼合されている第1面と、第1面とは反対側にある第2面とを備える。コンタクトは、第1面と第2面との間に延伸しており、メモリセルアレイから

離間して設けられている。第1配線層は、コンタクトの第2面側の第1端の上方に設けられ、コンタクトに電氣的に接続されている。第1導電層は、コンタクトの第1端と第1配線層との間に設けられている。

図面の簡単な説明

- [0006] [図1]半導体記憶装置の構成を示すブロック図。
- [図2]ブロックの構成を示す回路図。
- [図3]第1実施形態によるチップの構成例を示す平面図。
- [図4]半導体記憶装置の構成を示すXZ断面図。
- [図5]メモリセルの構成を示す断面図。
- [図6]第1実施形態によるチップの構成例を示す断面図。
- [図7]パッドの構成例を示す平面図。
- [図8]パッドの他の構成例を示す平面図。
- [図9]第1実施形態による半導体記憶装置の製造方法の一例を示す断面図。
- [図10]図9に続く、半導体記憶装置の製造方法を示す断面図。
- [図11]図10に続く、半導体記憶装置の製造方法を示す断面図。
- [図12]図11に続く、半導体記憶装置の製造方法を示す断面図。
- [図13]図12に続く、半導体記憶装置の製造方法を示す断面図。
- [図14]図13に続く、半導体記憶装置の製造方法を示す断面図。
- [図15]図14に続く、半導体記憶装置の製造方法を示す断面図。
- [図16]第2実施形態による半導体記憶装置の構成例を示す断面図。
- [図17]第2実施形態による半導体記憶装置の製造方法の一例を示す断面図。
- [図18]図17に続く、半導体記憶装置の製造方法の一例を示す断面図。
- [図19]第3実施形態による半導体記憶装置の構成例を示す断面図。
- [図20]第4実施形態による半導体記憶装置の構成例を示す断面図。
- [図21]第4実施形態による半導体記憶装置の構成例を示す平面図。
- [図22]第4実施形態の製造方法の一例を示す断面図。
- [図23]図22に続く、半導体記憶装置の製造方法を示す断面図。
- [図24]図23に続く、半導体記憶装置の製造方法を示す断面図。

[図25]第5実施形態による半導体記憶装置の構成例を示す断面図。

[図26]第5実施形態による半導体記憶装置の製造方法の一例を示す断面図。

[図27]図26に続く、半導体記憶装置の製造方法を示す断面図。

[図28]第6実施形態による半導体記憶装置の構成例を示す断面図。

[図29]第7実施形態による半導体記憶装置の構成を示すXY平面図。

[図30]第7実施形態による半導体記憶装置の構成を示す断面図。

[図31]第7実施形態による半導体記憶装置の製造方法の一例を示す断面図。

[図32]図31に続く、半導体記憶装置の製造方法を示す断面図。

[図33]図32に続く、半導体記憶装置の製造方法を示す断面図。

[図34]図33に続く、半導体記憶装置の製造方法を示す断面図。

[図35]図34に続く、半導体記憶装置の製造方法を示す断面図。

[図36]図35に続く、半導体記憶装置の製造方法を示す断面図。

[図37]図36に続く、半導体記憶装置の製造方法を示す断面図。

[図38]導電層の材料の組み合わせの一例を示す表。

発明を実施するための形態

[0007] 以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。以下の実施形態において、半導体基板の上下方向は、重力加速度に従った上下方向と異なる場合がある。図面は模式的または概念的なものであり、各部分の比率などは、必ずしも現実のものと同じとは限らない。明細書と図面において、既出の図面に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0008] (第1実施形態)

第1実施形態にかかる半導体記憶装置は、複数のチップが接合されて構成されるが、複数のチップの間で導電膜を適切に接続するための工夫が施される。例えば、半導体記憶装置1は、図1に示すように構成される。

[0009] 図1は、半導体記憶装置1の構成を示すブロック図である。半導体記憶装置1は、複数のチップ10、20を有する。チップ20は、メモリセルアレイ21を含み、メモリチップとも呼ばれる。チップ10は、メモリセルアレ

イ 2 1 を制御するための回路を含み、回路チップとも呼ばれる。

[0010] 図 1 では、半導体記憶装置 1 が 1 個のチップ（メモリチップ） 2 0 を含む構成が例示されるが、半導体記憶装置 1 は 2 個以上のメモリチップを含んでもよい。

[0011] 半導体記憶装置 1 は、データを不揮発に記憶する不揮発性メモリであってもよく、メモリカード、SSD（Solid State Drive）等のメモリシステム 1 0 0 3 に適用され得る。メモリシステム 1 0 0 3 は、半導体記憶装置 1 及びメモリコントローラ 1 0 0 2 を有する。

[0012] 半導体記憶装置 1 は、メモリコントローラ 1 0 0 2 から電源 V_{ss} 、電源 V_{cc} 、コマンドラッチイネーブル信号 CLE 、アドレスラッチイネーブル信号 ALE 、ライトイネーブル信号 WE_n 、およびリードイネーブル信号 RE_n 等を受信する。レディビジー信号 RB_n を送信する。また、入出力信号 I/O を送受信する。これらの信号等を介して、半導体記憶装置 1 は、メモリコントローラ 1 0 0 2 により制御される。

[0013] 入出力信号 I/O は、コマンド CMD 、アドレス情報 ADD 、データ信号 DAT を含み得る。電源 V_{ss} は、基準電位（例えば、グランド電位）を有する。電源 V_{cc} は、所定電位（例えば、電源電位）を有する。コマンドラッチイネーブル信号 CLE は、入出力信号 I/O がコマンド CMD であることを示す。アドレスラッチイネーブル信号 ALE は、出力信号 I/O がアドレス情報 ADD であることを示す。ライトイネーブル信号 WE_n は、ライト動作をイネーブルする際に用いられ得る。リードイネーブル信号 RE_n は、リード動作をイネーブルする際に用いられ得る。レディビジー信号 RB_n は、半導体記憶装置 1 がレディー状態・ビジー状態にあることを示す。

[0014] チップ 2 0 は、電源線 2 2, 2 3 を有する。電源 V_{ss} は、電源線 2 2 経由でチップ 1 0 へ伝達される。電源 V_{cc} は、電源線 2 3 経由でチップ 1 0 へ伝達される。

[0015] チップ 2 0 は、メモリセルアレイ 2 1 をさらに含む。メモリセルアレイ 2 1 では、メモリセルトランジスタ（以下、単にメモリセル）が 3 次的に複

数配列される。各メモリセルアレイ 21 は、複数のブロック BK を含む。

[0016] 図 2 は、ブロック BK の構成を示す回路図である。各ブロック BK は、ワード線 WL が共通接続される複数のメモリセルトランジスタ（以下、メモリセルとする）MT を含む。

[0017] ブロック BK は、例えば 4 つのストリングユニット SU0 ～ SU3 を含む。各ストリングユニット SU は、複数のメモリストリング MS を含む。複数のメモリストリング MS は、複数のビット線 BL0 ～ BL (m-1) に対応する (m は、任意の 2 以上の整数)。メモリストリング MS は、対応するビット線 BL に接続される。各メモリストリング MS は、メモリセル MT0 ～ MT3 及び選択トランジスタ ST1, ST2 を含む。

[0018] 各メモリストリング MS において、選択トランジスタ ST1 のドレインは、ビット線 BL に接続される。選択トランジスタ ST1 のソースと、選択トランジスタ ST2 のドレインとの間に、メモリセルトランジスタ MT0 ～ MT3 が直列接続される。選択トランジスタ ST2 のソースは、ソース線 SL に接続される。

[0019] ストリングユニット SU に含まれる各メモリストリング MS の選択トランジスタ ST1 のゲートは、セレクトゲート線 SGD に共通して接続される。ブロック BK に含まれる各メモリストリング MS の選択トランジスタ ST2 のゲートは、セレクトゲート線 SGS に共通して接続される。ブロック BK に含まれる各メモリストリング MS のメモリセルトランジスタ MT のゲートは、ワード線 WL に共通して接続される。

[0020] 1 つのストリングユニット SU 内で、1 つのワード線 WL に接続される複数のメモリセル MT の集合は、セルユニット CU と称される。例えば、メモリセル MT が p ビットデータ (p は 1 以上の整数) を記憶する場合、セルユニット CU の記憶容量は p ページデータとして定義される。

[0021] 各ビット線 BL は、ブロック BK の各ストリングユニット SU の対応するメモリストリング MS の選択トランジスタ ST1 のドレインに接続され、ブロック BK のメモリストリング MS 間で共有される。ソース線 SL は、プロ

ックBKに含まれる各メモリストリングMSの選択トランジスタST2のソースに共通して接続され、ブロックBKのストリングユニットSU間で共有される。ソース線SLは、ブロックBK間で共有されてもよい。

[0022] 図1に示すチップ10（回路チップ）は、ロウデコーダ1012、センスアンプ1013、シーケンサ1014、電圧発生回路1015及び電源回路1016を有する。

[0023] 電源回路1016は、電源線22、23を介して受ける電源Vss、Vccを各部へ供給する。例えば、電源回路1016は、電源Vss、Vccを電圧発生回路1015へ供給する。

[0024] シーケンサ1014は、各部を統括的に制御する。例えば、シーケンサ1014は、コマンドCMDの一つであるライトコマンドに応じて、ライト動作を制御する。シーケンサ1014は、ライト動作の制御において、メモリセルアレイ21におけるアドレス情報ADDに対応するメモリセルMTに、データ信号DATに対応するデータをライトする。また、ライト完了通知をメモリコントローラ1002へ送信する。シーケンサ1014は、コマンドCMDの一つであるリードコマンドに応じて、リード動作を制御する。シーケンサ1014は、リード動作の制御において、メモリセルアレイ21におけるアドレス指定されたメモリセルMTからデータをリードし、リードされたデータに応じたデータ信号DATをメモリコントローラ1002へ返す。

[0025] 電圧発生回路1015は、電源Vss、Vccを用いて、シーケンサ1014の制御に応じた電圧を発生させロウデコーダ1012及びセンスアンプ1013へ供給する。

[0026] ロウデコーダ1012は、アドレス情報ADDをデコードし、デコード結果に応じてメモリセルアレイ21におけるライト・リードすべきメモリセルに対応するワード線WLを選択し、選択ワード線WLに電圧を供給する。

[0027] センスアンプ1013は、アドレス情報ADDをデコードし、デコード結果に応じてメモリセルアレイ21におけるライト・リードすべきメモリセルに対応するビット線BLを選択する。センスアンプ1013は、ライト処理

において、選択されたビット線BLに電圧を供給する。センスアンプ1013は、リード処理において、選択されたビット線BLに電圧を供給し、選択されたビット線BLの電位をセンスする。

[0028] 図1に示す電源線22, 23は、例えば図3及び図4に示すような配線MA1により実現され得る。以下では、基板2の表面に垂直な方向をZ方向とし、Z方向に垂直な面内で互いに直交する2方向をX方向及びY方向とする。

[0029] 図3は、半導体記憶装置1の構成を示すXY平面図である。図4は、半導体記憶装置1の構成を示すXZ断面図である。図4は、図3をA-A線で切った場合の断面を例示する。半導体記憶装置1は、XY平面視で略矩形状を有し、例えばX方向を長手方向とする。半導体記憶装置1は、チップ10とチップ10に積層されたチップ20を備え得る。

[0030] 図3に示すように、平面レイアウトでは、チップ20の中心部に複数のメモリセルアレイ21が設けられており、メモリセルアレイ21の一辺側にコンタクトプラグCCが設けられ、その対辺側に開口部TVから露出されたパッドPD3が設けられている。パッドPD3は、開口部TVから露出された配線MA1である。コンタクトプラグCP1は、パッドPD3の下に配置されており、Z方向から見た平面視において、パッドPD3に重複する。メモリセルアレイ21、パッドPD3、コンタクトプラグCP1、CCを取り囲むようにエッジシールESが設けられている。尚、コンタクトプラグCCは、電源、信号等を伝達するために用いられ、チップ10のいずれかの素子に接続される。エッジシールESは、外部からのクラックや剥がれを抑制するために設けられている。

[0031] 図4に示すように、チップ20における複数のメモリセルアレイ21には、複数の積層体SST1がそれぞれ配される。複数の積層体SST1は、XY方向に2次的に配列されてもよい。各積層体SST1は、XY平面視で略矩形状を有する。各積層体SST1は、メモリセルアレイ21の一部として機能する。複数の配線MA1は、積層体SST1の+Z側に配される。各

配線MA 1は、その大部分が絶縁膜DL 2で覆われているが、－Y側端付近が開口部TVで部分的に露出される。これにより、各配線MA 1は、開口部TVを介してワイヤボンディング実装における後述するワイヤBWが接合され得る。

[0032] 配線MA 1は、チップ20内においてチップ10へ電氣的に接続されるコンタクトプラグ(図4のCP 1)の上方にも設けられている。コンタクトプラグCP 1の上方の配線MA 1は、Z方向からの平面視において、コンタクトプラグCP 1の上方に対応してアイランド状に設けられている。コンタクトプラグCP 1の上方の配線MA 1上の絶縁膜DL 2にも、開口部TVが設けられている。コンタクトプラグCP 1の上方の配線MA 1も、開口部TVによって絶縁膜DL 2から部分的に露出されている。コンタクトプラグCP 1の上方の配線MA 1も開口部TVを介してワイヤボンディング実装における図示しないワイヤ等が接合され得る。

[0033] コンタクトプラグCP 1の上方の配線MA 1は、チップ20内のコンタクトプラグCP 1の配置に対応して設けられる。例えば、図3では、2つの配線MA 1が、チップ20の表面の2つのコーナー部に設けられている。しかし、コンタクトプラグCP 1の上方の配線MA 1の個数、位置は、これに限定されない。

[0034] チップ10、20に共有される構造として、エッジシールESが設けられる。エッジシールESは、Z方向から透視した場合、積層体SST 1をXY方向外側から囲む。これにより、エッジシールESは、メモリセルアレイ21及びそれらを制御するための回路(ロウデコーダ1012、センスアンプ1013、シーケンサ1014、電圧発生回路1015及び電源回路1016など)を外来静電ノイズ、クラックおよび剥離から保護する。

[0035] なお、簡略化のため、エッジシールESの構成の図示は適宜省略される。

[0036] チップ10の+Z側に、チップ20が配される。すなわち、チップ10の+Z側の面に、チップ20が貼合されている。チップ20は面F 1と面F 1の反対側にあるF 2とを有する。チップ20は、面F 1側においてチップ1

0と貼合している。また、図3に示す配線MA1および開口部TVは、チップ20の面F2側に設けられている。

[0037] チップ10は、+Z側に絶縁膜（例えば、シリコンと酸素を含む膜）DL1と電極PD1とを有する。チップ20は、-Z側に絶縁膜（例えば、シリコンと酸素を含む膜）DL2と電極PD2とを有する。チップ10、20の貼合面BF1では、チップ10の絶縁膜DL1とチップ20の絶縁膜DL2とが接合され、チップ10の電極PD1とチップ20の電極PD2とが接合される。

[0038] チップ10は、基板2、トランジスタTr、電極PD1、配線構造WS、絶縁膜DL1を有する。基板2は、チップ10における-Z側に配され、XY方向に板状に延びる。基板2は、半導体基板であってもよく、半導体（例えば、シリコン）を主成分とする材料で形成され得る。基板2は、+Z側の表面2aを有する。トランジスタTrは、メモリセルアレイ21を制御するための回路（ロウデコーダ1012、センスアンプ1013、シーケンサ1014、電圧発生回路1015及び電源回路1016など）の回路素子として機能する。トランジスタTrは、基板2の表面2aにゲート絶縁膜を介して配される導電性のゲート電極、基板2内の表面2a近傍に半導体領域として配されるソース電極・ドレイン電極などを含む。電極PD1は、チップ10、20の貼合面BF1にその表面が露出するように配される。配線構造WSは、主としてZ方向に延びて、トランジスタTrのゲート電極、ソース電極・ドレイン電極などを電極PD1へ接続する。

[0039] チップ20は、積層体SST1、導電層5、複数の柱状体CL、複数のコンタクトプラグCP2、複数のコンタクトプラグCP1、複数のビット線BL、複数の配線MA1、電極PD2、絶縁膜DL2を有する。積層体SST1では、複数の導電層3が絶縁層4を介してZ方向に積層される。複数の導電層3は、-Z側から+Z側へ順に、選択ゲート線SGD、ワード線WL3、ワード線WL2、ワード線WL1、ワード線WL0、選択ゲート線SGSとして機能する。

[0040] 各導電層 3 は、X Y 方向に板状に延びる。各柱状体 C L は、複数の導電層 3 を通って Z 方向に延びる。各柱状体 C L は、積層体 S S T 1 を Z 方向に貫通してもよい。各柱状体 C L は、Z 方向に柱状に延びる。各柱状体 C L は、チャンネル領域として機能する半導体膜 C H (図 5 参照) を含む。半導体膜 C H は、Z 方向に沿った軸を有する柱状に (例えば、柱形状又は筒形状で) 延びる。複数の導電層 3 と複数の柱状体 C L とが交差する複数の交差位置、すなわち複数の導電層 3 と複数の半導体膜 C H とが交差する複数の交差位置は、複数のメモリセル M T として機能する。

[0041] 図 5 (a) は、メモリセル M T の構成を示す X Z 断面図であり、図 4 の C 部分の拡大断面図である。図 5 (b) は、メモリセル M T の構成を示す X Y 断面図であり、図 5 (a) を D-D 線に沿って切った場合の断面を示す。各柱状体 C L は、図 5 (a)、図 5 (b) に示すように、絶縁膜 C R、半導体膜 C H、絶縁膜 T N L、電荷蓄積膜 C T、絶縁膜 B L K 1、絶縁膜 B L K 2 を含む。絶縁膜 C R は、Z 方向に延び、Z 方向に沿った軸を有する柱形状を構成する。絶縁膜 C R は、シリコンと酸素を含む絶縁物で形成される。半導体膜 C H は、絶縁膜 C R を X Y 方向外側から覆うように Z 方向に延び、Z 方向に沿った軸を有する筒形状を構成する。半導体膜 C H は、ポリシリコンを含む半導体で形成され得る。絶縁膜 T N L は、半導体膜 C H を X Y 方向外側から覆うように Z 方向に延び、Z 方向に沿った軸を有する筒形状を構成する。絶縁膜 T N L は、シリコンと酸素を含む絶縁物で形成され得る。電荷蓄積膜 C T は、絶縁膜 T N L を X Y 方向外側から覆うように Z 方向に延び、Z 方向に沿った軸を有する筒形状を構成する。電荷蓄積膜 C T は、シリコンと窒素を含む絶縁物で形成され得る。絶縁膜 B L K 1 は、電荷蓄積膜 C T を X Y 方向外側から覆うように Z 方向に延び、Z 方向に沿った軸を有する筒形状を構成する。絶縁膜 B L K 1 は、シリコンと酸素を含む絶縁物で形成され得る。絶縁膜 B L K 2 は、絶縁膜 B L K 1 を X Y 方向外側から覆うように Z 方向に延び、Z 方向に沿った軸を有する筒形状を構成する。絶縁膜 B L K 2 は、アルミニウムと酸素を含む絶縁物で形成され得る。図 5 (a)、図 5 (b)

に点線で囲って示す部分がメモリセルMTとして機能する。

- [0042] 柱状体CLにおける半導体膜CHは、図4に示すように、先端が導電層5に達する。半導体膜CHは、+Z側端で導電層5に接続され、-Z側端でプラグを介してビット線BLに接続される。導電層5は、導電性を付与された半導体（例えば、ポリシリコン）で形成され得る。導電層5は、ソース線SLにおけるセルソースCSLとして機能する。半導体膜CHは、メモリストリングMSにおけるチャンネル領域として機能する。
- [0043] また、各導電層3は、Y方向幅が互いに均等であってもよい。複数の導電層3は、-Z側から+Z側にかけて、X方向幅が段階的に大きくなっている。複数の導電層3は、-Z側から+Z側にかけて、X方向端が徐々に外側に位置する。これにより、メモリセルアレイ21におけるプラグ接続部に、-Z側から+Z側へ順に、選択ゲート線SGD、複数のワード線WL、選択ゲート線SGSが階段状に引き出された階段構造が構成される。
- [0044] 複数のコンタクトプラグCP2は、複数の導電層3に対応する。各コンタクトプラグCP2は、Z方向における電極PD2及び対応する導電層3の間に配され、-Z側端が電極PD2に電氣的に接続され、Z方向に延び、+Z側端が対応する導電層3に電氣的に接続される。これにより、コンタクトプラグCP2は、電極PD2及び対応する導電層3を電氣的に接続する。
- [0045] 複数のコンタクトプラグCP1は、面F1と面F2との間にZ方向に延伸しており、メモリセルアレイを構成する積層体SST1からは離間して設けられている。コンタクトプラグCP1は、複数の電極PD2に対応しており、電極PD2と導電層5との間に接続されている。即ち、各コンタクトプラグCP1は、-Z側端が電極PD2に電氣的に接続され、+Z側端が導電層5に電氣的に接続される。電極PD2は、貼合面BF1を介してチップ10のPD1に接続されており、さらにチップ10の基板2またはいずれかのトランジスタに電氣的に接続されている。導電層5は、チップ20の面F2側において、配線MA1に接続されており、開口部TVを介してボンディングされたワイヤ（図示せず）に電氣的に接続されている。これにより、外部装

置は、ワイヤおよびコンタクトプラグCP1等を介してチップ10の回路（例えば、CMOS（Complementary Metal Oxide Semiconductor）回路）に電源を供給したり、コマンドを入力したり、データを受け取ったりすることができる。

- [0046] 複数のビット線BLは、積層体SST1の-Z側に配される。複数のビット線BLは、互いにX方向に配列される。各ビット線BLは、Y方向に延びる。複数のビット線BLは、複数の柱状体CLに対応する。各ビット線BLは、対応する柱状体CLの-Z側端に電氣的に接続さる。ビット線BLは、電極PD2に電氣的に接続される。これにより、ビット線BLが電極PD2、電極PD1、配線構造WS経由でチップ10のトランジスタTrに接続され得る。
- [0047] 複数の配線MA1は、積層体SST1の+Z側に配される。積層体SST1上の複数の配線MA1は、X方向に互いに並ぶ。積層体SST1上の各配線MA1は、Y方向に延びる。各配線MA1は、Z方向から透視した場合、積層体SST1を横切るようにY方向に延びる。各配線MA1は、電源線22、23として機能し、伝達すべき電力量と延びる長さとはに応じて、幅及び厚さが決められ得る。
- [0048] また、配線MA1は、コンタクトプラグCP1の面F2側の端部の上方にも設けられている。Z方向から見た平面視において、コンタクトプラグCP1上の配線MA1は、コンタクトプラグCP1に重複しており、コンタクトプラグCP1の面F2側の端部を被覆している。
- [0049] 配線MA1には、例えば、アルミニウム等の低抵抗金属材料が用いられる。
- [0050] 導電層5は、チップ20の面F2側に配置されており、積層体SST1の+Z側に配される。積層体SST1上の導電層5は、積層体SST1の複数の柱状体CLおよび複数のMA1に共通に設けられており、積層体SST1に対応してXY面内に広がっている。導電層5は、積層体SST1と配線MA1との間に設けられており、積層体SST1と配線MA1との間を電氣的

に接続する。導電層5は、セルソースCSLとして機能し、各柱状体CLに対してソース電圧を供給することができる。

[0051] また、導電層5は、コンタクトプラグCP1の面F2側の端部上にも設けられている。Z方向から見た平面視において、コンタクトプラグCP1上の導電層5は、コンタクトプラグCP1および配線MA1に重複しており、コンタクトプラグCP1の面F2側の端部と配線MA1との間に設けられている。

[0052] 導電層5には、例えば、N型不純物（例えば、リン、ヒ素）を導入した単結晶半導体、ポリシリコン、チタン、窒化チタン、タングステン等の導電材料が用いられる。導電層5に用いる半導体材料には、例えばシリコンを用い得る。

[0053] 電極PD2は、その表面がチップ10、20の貼合面BF1に露出するように配される。これにより、電極PD2は貼合面BF1においてチップ10の電極PD1に接合する。

[0054] 図6は、第1実施形態によるチップ20の構成例を示す断面図である。図6には、メモリセルアレイ21の領域R1、コンタクトプラグCCの領域Rcc、コンタクトプラグCP1の領域R1およびエッジシールESの領域Resを並べて表示している。

[0055] メモリセルアレイ21、パッドPD3、コンタクトプラグCP1、CC、エッジシールES上には、配線MA1および導電層5がそれぞれ設けられている。配線MA1は、メモリセルアレイ21、パッドPD3、コンタクトプラグCP1、エッジシールESにおいて、それぞれ互いに電氣的に分離されている。導電層5も、メモリセルアレイ21、パッドPD3、コンタクトプラグCP1、エッジシールESにおいて、それぞれ互いに電氣的に分離されている。エッジシールESは、電氣的には浮遊状態でよいが、静電気の回避のために電源線22と接続してもよい。

[0056] メモリセルアレイ21の領域R2に設けられた導電層5および配線MA1は、互いに電氣的に接続されており、セルソースCSLとして機能する。コ

ンタクトプラグC Cの領域R c cに設けられた導電層5および配線M A 1は、互いに電氣的に接続されており、コンタクトプラグC Cに接続される配線として機能する。コンタクトプラグC P 1の領域R 1に設けられた導電層5および配線M A 1は、互いに電氣的に接続されており、コンタクトプラグC P 1に接続されたパッドP D 3として機能する。パッドP D 3上には、ワイヤB Wがボンディングされる。エッジシールE Sの領域R e sに設けられた導電層5および配線M A 1は、互いに電氣的に接続されており、エッジシールE Sに接続された配線として機能する。尚、第2実施形態では、導電層5は、導電層5 a、5 bの積層構造になっている。

[0057] 配線M A 1には、例えば、アルミニウム等の金属材料が用いられている。導電層5には、例えば、単結晶半導体、ポリシリコン、チタン、窒化チタン、タングステン等の導電性材料が用いられている。例えば、導電層5 aには、ドーパドポリシリコンが用いられ、導電層5 bには、チタン、窒化チタン、タングステンの積層膜が用いられる。

[0058] 図7は、パッドP D 3の構成例を示す平面図である。開口部T Vを介して配線M A 1がパッドP D 3として露出されている。パッドP D 3には、ワイヤB Wがボンディングされている。

[0059] Z方向から見た平面視において、パッドP D 3の領域には、配線M A 1が設けられ、配線M A 1の下には、コンタクトプラグC P 1が設けられている。即ち、パッドP D 3の領域にコンタクトプラグC P 1が重複して設けられている。これにより、チップ20のレイアウト面積を小さくすることができる。

[0060] また、Z方向から見た平面視において、ワイヤB Wの接続部は、コンタクトプラグC P 1に重複している。しかし、配線M A 1がコンタクトプラグC P 1の上にあるため、ワイヤボンディングの衝撃は、配線M A 1および導電層5によって緩和される。よって、ワイヤボンディングによるコンタクトプラグC P 1へのダメージは抑制され得る。

[0061] 図8は、パッドP D 3の他の構成例を示す平面図である。図17では、Z

方向から見た平面視において、コンタクトプラグCP1は、パッドPD3の領域内に設けられているが、ワイヤBWの接続部とは重複していない。即ち、コンタクトプラグCP1は、パッドPD3の直下には設けられておらず、ワイヤBWの接続部の周囲にあるパッドPD3のコーナー部分に配置されている。ワイヤBWは、コンタクトプラグCP1の直上から外れたパッドPD3の中心部にボンディングされている。これにより、ワイヤボンディングの衝撃は、コンタクトプラグCP1に直接印加されないため、コンタクトプラグCP1のダメージはさらに抑制することができる。

[0062] このように、本実施形態では、導電層5が配線MA1とコンタクトプラグCP1との間に設けられていることによって、コンタクトプラグCP1の端部の突出が、ボンディングパッドとしての配線MA1の表面には現れない。これにより、配線MA1がコンタクトプラグCP1の上方に設けられているにもかかわらず、配線MA1の表面が略平坦になり、ワイヤボンディングし易い構造となる。その結果、ワイヤとコンタクトプラグCP1との間の接続不良が抑制され得る。また、導電層5と配線MA1との境界の平坦性が良いため、配線MA1を成膜する際のカバレッジが良く、信頼性の高い半導体記憶装置が得られる。

[0063] 次に、第1実施形態による半導体記憶装置1の製造方法について説明する。

[0064] 図9～図15は、第1実施形態による半導体記憶装置1の製造方法の一例を示す断面図である。

[0065] 第1実施形態によれば、基板50上に導電層5a（例えば、ドーパドポリシリコン）を堆積する。導電層5aの面F2側に、積層体SST1を形成する。ここで積層体SST1のうち、絶縁膜DL2、スリットSLT、柱状体CL、コンタクトプラグCP1、CCおよびエッジシールESを図示し、その他の構成の図示を省略する。

[0066] 第1実施形態は、積層体SST1形成工程において、スリットSLT、柱状体CL、コンタクトプラグCP1、CCおよびエッジシールESを形成す

るための溝または穴を形成するために、積層体SST1をエッチングする必要がある。導電層5aをエッチングストッパとして用いて、スリットSLT、柱状体CL、コンタクトプラグCP1、CCおよびエッジシールESを形成するための、溝または穴を形成する。従って、スリットSLT、柱状体CL、コンタクトプラグCP1、CCおよびエッジシールESの端部Esl、Ecl、E1、Ecc、Ees（以下、まとめて端部E1等ともいう）は、導電層5a内に突き出ている。

[0067] このように形成されたチップ20をチップ20に貼合する。図9は、チップ10に貼合されたチップ20の面F2側の部分を示している。

[0068] 次に、図10に示すように、CMP法を用いて基板50を除去し、さらに、導電層5aをエッチバックして、コンタクトプラグCP1、CC、柱状体CLおよびエッジシールESの端部E1等を露出させる。

[0069] 次に、図11に示すように、柱状体CLの端部Eclを若干エッチバックする。このとき、柱状体CLでは、図5の絶縁膜CRをエッチバックして、半導体膜CHの側面を露出させることが好ましい。

[0070] 次に、図12に示すように、導電層5a上に導電層5bを形成する。導電層5bは、例えば、チタンおよび窒化チタンの積層膜をバリアメタルとして含むタングステン膜を用い得る。この場合、導電層5bは、チタン(Ti)、窒化チタン(TiN)、タングステン(W)の積層膜(Ti/TiN/W)となる。導電層5bは、コンタクトプラグCP1の端部E1、コンタクトプラグCCの端部Ecc、柱状体CLの端部EclおよびエッジシールESの端部Ees等に電氣的に接続される。柱状体CLでは、導電層5bは、絶縁膜CRをエッチバックして露出された半導体膜CHの側面や端部Eclに確実に接続され得る。

[0071] 次に、図13に示すように、リソグラフィ技術およびエッチング技術を用いて、導電層5a、5b（以下、導電層5とも言う）を加工する。これにより、領域R2、Rcc、R1、Resのそれぞれにおける導電層5が電氣的に分離される。

- [0072] 次に、図14に示すように、絶縁膜DL2の材料を導電層5上に形成する。絶縁膜DL2は、領域R2、Rcc、R1、Resの導電層5間に埋め込まれ、それらを電氣的に絶縁する。絶縁膜DL2には、例えば、シリコンと酸素を含む絶縁材料が用いられる。次に、リソグラフィ技術およびエッチング技術を用いて、導電層5上の絶縁膜DL2を加工する。これにより、導電層5のコンタクトプラグCC、CP1およびエッジシールESの上方部分を露出させる。
- [0073] 次に、図15に示すように、配線MA1の材料を絶縁膜DL2および導電層5上に形成する。配線MA1は、例えば、アルミニウム等の金属材料を、スパッタ技術を用いて成膜し得る。配線MA1の材料は、コンタクトプラグCC、CP1およびエッジシールESのそれぞれの導電層5の上方部分に形成される。次に、リソグラフィ技術およびエッチング技術を用いて、配線MA1の材料を加工する。これにより、コンタクトプラグCC、CP1およびエッジシールES上のそれぞれの配線MA1が電氣的に分離される。
- [0074] その後、絶縁膜DL2の材料を配線MA1上にさらに形成し、リソグラフィ技術およびエッチング技術を用いて、コンタクトプラグCP1上の絶縁膜DL2を除去して開口部TVを形成する。これにより、図6に示すパッドPD3が形成される。パッドPD3にワイヤBWをボンディングすることによって、図6に示す半導体記憶装置1が完成する。
- [0075] 第1実施形態によれば、導電層5がコンタクトプラグCC、CP1、スリットSLT、エッジシールESの端部E1を被覆している。導電層5の上部の導電層5bは、例えば、タングステン等の金属材料を含むので、シリコンと酸素を含む絶縁膜DL2を加工してもあまりエッチングされない。従って、面F2側の導電層5の表面は、略平坦な状態を維持することができる。これにより、導電層5上の配線MA1も略平坦となり、コンタクトプラグCP1の直上にボンディングパッドを容易に形成することができる。これにより、図7および図8に示すように、Z方向から見た平面視において、パッドPD3の領域にコンタクトプラグCP1を重複させることができる。その結果

、半導体記憶装置 1 の微細化につながる。

[0076] また、第 1 実施形態では、領域 R 2、R c c、R 1、R e s のそれぞれにおいて、導電層 5 は、互いに電氣的に分離されているものの、同じ工程で形成され、同じ層に同じ材料（例えば、タングステン等）で形成されている。配線 M A 1 も、領域 R 2、R c c、R 1、R e s のそれぞれにおいて、互いに電氣的に分離されているものの、同じ工程で形成され、同じ層に同じ材料（例えば、アルミニウム等）で形成されている。よって、領域 R 2、R c c、R 1、R e s において、別々に導電層 5 および配線 M A 1 を形成する必要がなく、製造工程の短縮につながる。

[0077] （第 2 実施形態）

図 1 6 は、第 2 実施形態による半導体記憶装置 1 の構成例を示す断面図である。第 2 実施形態では、導電層 5 a がメモリセルアレイ 2 1 の領域 R 2 にのみ設けられており、その他のコンタクトプラグ C C、C P 1、エッジシール E S の領域 R c c、R 1、R e s には設けられていない。第 2 実施形態のその他の構成は、第 1 実施形態の構成と同様でよい。

[0078] 領域 R c c、R 1、R e s に導電層 5 a が設けられていなくても、導電層 5 b が略平坦に形成されていれば、第 2 実施形態は、第 1 実施形態と同様の効果を得ることができる。

[0079] 図 1 7 および図 1 8 は、第 2 実施形態による半導体記憶装置 1 の製造方法の一例を示す断面図である。図 9 ～図 1 1 を参照して説明した工程を経た後、図 1 7 に示すように、リソグラフィ技術およびエッチング技術を用いて、導電層 5 a を加工する。これにより、領域 R c c、R 1、R e s の導電層 5 a を除去し、導電層 5 a をメモリセルアレイ 2 1 の領域 R 2 のみに残置させる。

[0080] 次に、図 1 8 に示すように、導電層 5 a およびコンタクトプラグ C C、C P 1 およびエッジシール E S 上に導電層 5 b を形成する。

[0081] その後、図 1 3 ～図 1 5 を参照して説明した工程を経ることによって、図 1 6 に示す半導体記憶装置 1 が完成する。

[0082] 第2実施形態によれば、メモリセルアレイ21の領域R2の導電層5を導電層5a、5bの積層膜とし、それ以外の領域Rcc、R1、Resの導電層5を導電層5bとする。このように、メモリセルアレイ21の領域R2と他の領域Rcc、R1、Resとで導電層5の材料を変更してもよい。

[0083] (第3実施形態)

図19は、第3実施形態による半導体記憶装置1の構成例を示す断面図である。第3実施形態では、例えば、ポリシリコンを用いた導電層5aが設けられておらず、タングステン等の金属材料を用いた導電層5bが領域R2、Rcc、R1、Resに設けられている。導電層5bは、領域R2、Rcc、R1、Resにおい、互いに電氣的に分離されているものの、同じ工程で形成され、同じ層に同じ材料で形成されている。導電層5bには、例えば、チタン(Ti)、窒化チタン(TiN)およびタングステン(W)の積層膜(Ti/TiN/W)が用いられる。領域R1に設けられた導電層5bは、コンタクトプラグCP1と接する。領域Rccに設けられた導電層5bは、コンタクトプラグCCと接する。領域R2に設けられた導電層5bは、柱状体CLと接する。領域Resに設けられた導電層5bは、エッジシールESに接する。第4実施形態のその他の構成は、第3実施形態の構成と同様でよい。

[0084] 導電層5aが設けられていなくても、導電層5bが略平坦に形成されていれば、第3実施形態は、第2実施形態と同様の効果を得ることができる。

[0085] 第3実施形態の製造方法は、第2実施形態の製造方法から容易に理解できるので、その図示を省略する。例えば、導電層5aは、コンタクトプラグCP1、CC等の形成工程におけるエッチングストップとして機能した後、図17に示す工程において領域R2、Rcc、R1、Resの全てにおいて除去される。その後、図18を参照して説明した工程を経ることによって、図19に示す半導体記憶装置1が完成する。

[0086] (第4実施形態)

図20は、第4実施形態による半導体記憶装置1の構成例を示す断面図で

ある。図21は、第4実施形態による半導体記憶装置1の構成例を示す平面図である。

[0087] 第4実施形態では、メモリセルアレイ21の領域R2では、例えば、ポリシリコンを用いた導電層5aが設けられており、金属材料を用いた導電層5bが設けられていない。一方、コンタクトプラグCCの領域Rcc、コンタクトプラグCP1およびパッドPD3の領域R2、エッジシールESの領域Resでは、例えば、タングステン等の金属材料を用いた導電層5bが設けられており、導電層5aは設けられていない。領域R2の導電層5aは、領域Rcc、R1、Resの導電層5bと電氣的に分離されている。領域R1に設けられた導電層5bは、コンタクトプラグCP1と接する。領域Rccに設けられた導電層5bは、コンタクトプラグCCと接する。領域R2に設けられた導電層5aは、柱状体CLと接する。領域Resに設けられた導電層5bは、エッジシールESに接する。第4実施形態のその他の構成は、第3実施形態の構成と同様でよい。

[0088] メモリセルアレイ21の領域R2と領域Rcc、R2、Resとにおいて、異なる導電層5a、5bが設けられていても、導電層5bが略平坦に形成されていれば、第4実施形態は、第3実施形態と同様の効果を得ることができる。

[0089] 図22～図24は、第4実施形態の製造方法の一例を示す断面図である。図9を参照して説明した工程を経た後、基板50を除去する。

[0090] 次に、図22に示すように、導電層5a上にマスク材HMを形成する。次に、リソグラフィ技術およびエッチング技術を用いて、領域R2のマスク材HMを残置させ、それ以外の領域Rcc、R1、Resのマスク材HMを除去する。さらに、マスク材HMをマスクとして用いて、導電層5aを加工する。これにより、図23に示すように、領域Rcc、R1、Resの導電層5aを除去し、導電層5aをメモリセルアレイ21の領域R2に残置させる。このとき、コンタクトプラグCC、CP1およびエッジシールESの端部Ecc、E1、Eesは、絶縁膜DL2から突出していてもよい。

[0091] 次に、図24に示すように、導電層5bの材料を領域R2、Rcc、R1、Resに堆積する。これにより、領域Rcc、R1、Resにおいて、コンタクトプラグCC、CP1およびエッジシールESの端部Ecc、E1、Eesは、導電層5bによって被覆され埋め込まれる。これにより、導電層5bの面F2側の表面は略平坦となっている。

[0092] その後、図13～図15を参照して説明した工程を経ることによって、図20に示す半導体記憶装置1が完成する。

[0093] (第5実施形態)

図25は、第5実施形態による半導体記憶装置1の構成例を示す断面図である。第5実施形態では、領域R1において、コンタクトプラグCP1とパッドPD3（配線MA1）との間に絶縁膜DL2が設けられている。絶縁膜DL2は、コンタクトプラグCP1の端部E1の上方に設けられ、導電層5とパッドPD3との間に設けられている。絶縁膜DL2の両側にコンタクトCNTが設けられており、パッドPD3は、コンタクトCNTを介して導電層5に電氣的に接続される。

[0094] 絶縁膜DL2は、ワイヤBWの接続部の下方に設けられているので、ワイヤBWのボンディングの衝撃をさらに緩和することができる。よって、ワイヤボンディングによるコンタクトプラグCP1へのダメージはさらに抑制され得る。第5実施形態のその他の構成は、第1実施形態の構成と同様でよい。従って、第5実施形態は、第1実施形態と同様の効果を得ることができる。

[0095] 第5実施形態は、第2～第4実施形態のいずれかと組み合わせてもよい。これにより、第5実施形態は、第2～第4実施形態のいずれかの効果も得ることができる。

[0096] 図26および図27は、第5実施形態による半導体記憶装置1の製造方法の一例を示す断面図である。図9～図13を参照して説明した工程を経た後、図14を参照して説明した絶縁膜DL2の形成工程において、領域R1のコンタクトプラグCP1の上方にも絶縁膜DL2を残置させる。これにより

、図 26 に示す構造が得られる。領域 R1 のコンタクトプラグ CP1 の両側には、コンタクト CNT 用のコンタクトホール CNTH が形成される。

[0097] 次に、図 27 に示すように、配線 MA1 の材料を絶縁膜 DL2 および導電層 5 上に形成する。配線 MA1 の材料は、領域 R2、Rcc、R1、Res のそれぞれの導電層 5 上に形成される。次に、リソグラフィ技術およびエッチング技術を用いて、配線 MA1 の材料を加工する。これにより、メモリセルアレイ 21、コンタクトプラグ CC、CP1 およびエッジシール ES 上のそれぞれの配線 MA1 が電氣的に分離される。また、領域 R1 において、配線 MA1 の材料がコンタクトホール CNTH 内に埋め込まれ、コンタクト CNT が絶縁膜 DL2 の両側に形成される。コンタクト CNT は、導電層 5 に接続される。

[0098] その後、絶縁膜 DL2 の材料を配線 MA1 上にさらに形成し、リソグラフィ技術およびエッチング技術を用いて、コンタクトプラグ CP1 上の絶縁膜 DL2 を除去して開口部 TV を形成し、パッド PD3 を形成する。パッド PD3 にワイヤ BW をボンディングすることによって、図 25 に示す半導体記憶装置 1 が完成する。

[0099] (第 6 実施形態)

図 28 は、第 6 実施形態による半導体記憶装置 1 の構成例を示す断面図である。第 6 実施形態では、導電層 5 が、導電層 5a、5b、5c の積層膜となっている。導電層 5c は、導電層 5a と導電層 5b との間に設けられ、例えば、ポリシリコンを含む。第 6 実施形態のその他の構成は、第 1 実施形態の構成と同様でよい。従って、第 6 実施形態は、第 1 実施形態と同様の効果を得ることができる。

[0100] 第 6 実施形態の製造方法は、第 1 実施形態において、導電層 5c を形成した後、導電層 5b を形成し、導電層 5b と同様に導電層 5c を加工すればよい。

[0101] (第 7 実施形態)

図 29 は、第 7 実施形態による半導体記憶装置 1 の構成例を示す XY 平面

図である。半導体記憶装置 1 は、チップ 10 とチップ 10 に積層されたチップ 20 を備え得る。チップ 20 における複数のメモリセルアレイ 21 には、複数の積層体 SST1 がそれぞれ配される。複数の積層体 SST1 は、XY 方向に 2 次元的に配列されてもよい。各積層体 SST1 は、XY 平面視で略矩形状を有し、例えば X 方向を長手方向とする。各積層体 SST1 は、メモリセルアレイ 21 の一部として機能する。複数の配線 MA1 は、積層体 SST1 の +Z 側に配される。複数の配線 MA1 は、X 方向に互いに並ぶ。各配線 MA1 は、Y 方向に延びる。各配線 MA1 は、Z 方向から透視した場合、積層体 SST1 を横切るように Y 方向に延びる。各配線 MA1 は、電源線 22, 23 として機能し、伝達すべき電力量と延びる長さとは応じた、幅及び厚さを有する。各配線 MA1 は、その大部分が絶縁膜 DL2 で覆われているが、-Y 側端付近が開口部 TV で部分的に露出される。これにより、各配線 MA1 は、開口部 TV を介してワイヤボンディング実装における後述するワイヤ BW が接合され得る。なお、図 29 を A-A 線で切った場合の断面は、例えば図 4 の様になる。

[0102] 図 30 は、第 7 実施形態による半導体記憶装置 1 の構成例を示す断面図である。図 30 では、便宜的に、コンタクトプラグ CP1 の領域 R1 とメモリセルアレイ 21 の領域 R2 とを並べて表示している。また、領域 R1、R2 の構成を区別するために、コンタクトプラグ CP1 の領域 R1 における導電層 5、配線 MA1 および開口部 TV は、それぞれ導電層 5__1、配線 MA1__1 および開口部 TV__1 と表示し、メモリセルアレイ 21 の領域 R2 における導電層 5、配線 MA1 および開口部 TV は、それぞれ導電層 5__2、配線 MA1__2 および開口部 TV__2 と表示する。

[0103] コンタクトプラグ CP1 の領域 R1 では、コンタクトプラグ CP1 が面 F1 と面 F2 との間において Z 方向に延伸しており、電極 PD2 と導電層 5__1 との間に設けられている。コンタクトプラグ CP1 の面 F2 側の端部 E1 は、導電層 5__1 内にあり、配線 MA1__1 までには達していない。配線 MA1__1 は、導電層 5__1 上に設けられており、コンタクトプラグ CP1 の

上方（＋Z方向の直上）に設けられている。配線MA 1 __ 1は、導電層5 __ 1を介してコンタクトプラグCP 1に電氣的に接続されている。コンタクトプラグCP 1の端部E 1は、配線MA 1 __ 1には達していないので、配線MA 1 __ 1は、略平坦な導電層5 __ 1の表面上に形成され得る。従って、配線MA 1 __ 1の表面も略平坦になっており、配線MA 1 __ 1は、ワイヤボンディングし易いパッドとして機能することができる。絶縁膜DL 2は、配線MA 1 __ 1、MA 1 __ 2を被覆し、配線MA 1 __ 1、MA 1 __ 2のそれぞれの一部をボンディングパッドとして露出する。開口部TV __ 1は、絶縁膜DL 2から配線MA 1 __ 1の一部を露出させており、配線MA 1 __ 1の一部をボンディングパッドとして機能させることができる。

[0104] メモリセルアレイ2 1の領域R 2では、メモリセルアレイ2 1が面F 1と面F 2との間に設けられている。メモリセルアレイ2 1の面F 2側の端部E 2は、導電層5 __ 2内にあり、配線MA 1 __ 2までには達していない。配線MA 1 __ 2は、導電層5 __ 2上に設けられており、メモリセルアレイ2 1の上方（＋Z方向の直上）に設けられている。配線MA 1 __ 2は、導電層5 __ 2を介してメモリセルアレイ2 1に電氣的に接続されている。開口部TV __ 2は、絶縁膜DL 2から配線MA 1 __ 2の一部を露出させており、配線MA 1 __ 2の一部をボンディングパッドとして機能させることができる。

[0105] 導電層5 __ 1および導電層5 __ 2は、同層に設けられており、同一材料を含む。よって、導電層5 __ 1および導電層5 __ 2は、Z方向の高さもほぼ同じであり、加工もし易い。例えば、導電層5 __ 1、5 __ 2は、N型不純物が導入された単結晶シリコンを用いてよい。この場合、導電層5 __ 1、5 __ 2は、シリコン基板にN型不純物（例えば、リン、ヒ素）を導入し、絶縁分離部ST Iで互いに電氣的に分離されたシリコン基板の半導体領域でよい。導電層5 __ 1、5 __ 2は、絶縁分離部ST Iで電氣的に分離されており、それぞれ導電層として機能することができる。また、導電層5 __ 1、5 __ 2は、コンタクトプラグCP 1または柱状体CLの形成工程においてエッチングストoppaとして機能することができる。

- [0106] また、配線MA 1 __ 1 および配線MA 1 __ 2 は、同層に設けられており、同一材料を含む。よって、配線MA 1 __ 1 および配線MA 1 __ 2 は、Z方向の高さもほぼ同じであり、加工もしやすい。例えば、配線MA 1 __ 1、MA 1 __ 2 は、アルミニウム等の低抵抗金属材料を含む。配線MA 1 __ 1、MA 1 __ 2 は、絶縁膜DL 2 で電氣的に分離されており、それぞれボンディングパッドとして機能することができる。配線MA 1 __ 1 および配線MA 1 __ 2 の高さがほぼ同じであるので、配線MA 1 __ 1 および配線MA 1 __ 2 のボンディングパッドの表面のZ方向の高さもほぼ同じである。従って、ワイヤボンディングも容易化される。
- [0107] このように、第7実施形態では、導電層5 __ 1 が配線MA 1 __ 1 とコンタクトプラグCP 1 との間に設けられていることによって、コンタクトプラグCP 1 の端部E 1 の突出が、ボンディングパッドとしての配線MA 1 __ 1 の表面には現れない。これにより、配線MA 1 __ 1 がコンタクトプラグCP 1 の上方に設けられているにもかかわらず、配線MA 1 __ 1 の表面が略平坦になり、ワイヤボンディングし易い構造となる。その結果、ワイヤとコンタクトプラグCP 1 との間の接続不良が抑制され得る。
- [0108] また、第7実施形態は、配線MA 1 __ 1 をコンタクトプラグCP 1 の上方に重畳させて配置できるので、チップ10のサイズを小さくすることができる。
- [0109] 次に、第7実施形態の半導体記憶装置1の製造方法について説明する。
- [0110] 図31～図37は、第7実施形態による半導体記憶装置1の製造方法の一例を示す断面図である。図31～図33は、メモリセルアレイ21を有するチップ20の製造工程を示す。
- [0111] まず、図31に示すように、イオンインプラント技術等を用いて、基板50の面F 1側の表面領域にN型不純物（例えば、リン、ヒ素）を導入する。基板50は、例えば、単結晶シリコン基板である。N型不純物を導入することによって、基板50の表面にN型不純物を有する単結晶シリコン層が形成される。この単結晶シリコン層は、比較的高いN型不純物濃度を有する。こ

の単結晶シリコン層は、後に導電層 5__1、5__2 となる。

[0112] 次に、リソグラフィ技術およびエッチング技術を用いて、この N 型不純物を有する単結晶シリコン層（以下、N⁺単結晶シリコン層ともいう）を加工し、絶縁分離部 S T I を形成するためのトレンチを形成する。そのトレンチ内に絶縁材料を埋め込むことによって絶縁分離部 S T I が N⁺単結晶シリコン層内に形成され、N⁺単結晶シリコン層を分離する。絶縁分離部 S T I は、N⁺単結晶シリコン層を、コンタクトプラグ C P 1 を形成する予定の領域 R 1 とメモリセルアレイ 2 1 を形成する予定の領域 R 2 とにおいて分離する。絶縁分離部 S T I には、例えば、シリコンと酸素を含む膜等の絶縁材料が用いられる。これにより、N⁺単結晶シリコン層がコンタクトプラグ C P 1 を形成する予定の領域 R 1 と領域 R 1 から離間しメモリセルアレイ 2 1 を形成する予定の領域 R 2 とにそれぞれ形成される。

[0113] 次に、図 3 2 に示すように、シリコンと酸素を含む膜、シリコンと窒素を含む膜、シリコンと酸素を含む膜を含む犠牲層 S A C を基板 5 0 上に形成する。犠牲層 S A C は、後の工程で、柱状体 C L の半導体膜 C H に接続されるセルソースの材料（例えば、ポリシリコン）に置換される。さらに、犠牲層 S A C 上にセルソースの材料（例えば、ポリシリコン）を形成する。これにより、図 3 2 に示す構造が得られる。

[0114] 次に、メモリセルアレイ 2 1 の積層体 S S T 1 を形成する。尚、メモリセルアレイ 2 1 の形成工程の図示については適宜省略している。

[0115] 基板 5 0 の面 F 1 側の犠牲層 S A C 上に絶縁層 4（図 4 参照）と犠牲膜（図示せず）とを交互に積層して積層体 S S T 1 を形成する。この段階では、導電層 3（図 4 参照）はまだ形成されておらず、積層体 S S T 1 は、絶縁層 4 と犠牲膜との積層体となっている。犠牲膜には、例えば、絶縁層 4 に対して選択的に除去可能なシリコンと窒素を含む膜が用いられている。次に、積層体 S S T 1 を貫通するメモリホールを形成し、メモリホール内に図 5 を参照して説明した柱状体 C L を形成する。

[0116] 次に、リソグラフィ技術およびエッチング技術を用いて積層体 S S T 1 を

階段状に加工する。次に、階段状の各ステップの表面に達するコンタクトプラグCP2を形成する。

[0117] 次に、積層体SST1をZ方向に貫通するスリットSLTを形成し、このスリットSLTを介して犠牲層SACを除去する。次に、柱状体CLの半導体膜CHの周囲にある絶縁膜BLK2、絶縁膜BLK1、電荷蓄積膜CTおよび絶縁膜TNLを除去する。犠牲層SACを除去した後の空間領域に導電膜40の材料（例えば、ドーパドポリシリコン）を埋め込み、犠牲層SACを導電膜40の材料に置換する。これにより、図33に示す導電膜40が形成される（DSC工程）。導電膜40は、柱状体CLの下端部において柱状体CLの半導体膜CHに直接接触している。

[0118] 次に、スリットSLTを介して、積層体SST1の犠牲膜を導電層3に置換する。これにより、積層体SST1は、導電層3と絶縁層4とを交互に積層した積層体となる。また、導電層3は、各柱状体CLの周りに設けられ、メモリセルのゲート電極として機能する。また、導電層3は、対応するコンタクトプラグCP2に接続され、各コンタクトプラグCP2からゲート電圧を受けることができる。

[0119] スリットSLTは、絶縁膜でその全体を埋め込んでもよい。あるいは、スリットSLTは、その内壁に絶縁膜を薄く形成した後、その絶縁膜の内側に導電体を埋め込むことによって、積層体SST1から絶縁された状態で導電層5__2に電氣的に接続される配線として構成してもよい。メモリセルアレイ21の積層体SST1は、このように形成される。なお、柱状体CLおよびスリットSLTの端部E2は、導電層5__2に達する。しかし、導電層5__2がN⁺単結晶シリコン層を含むので、導電層5__2を突き抜けず、導電層5__2内に留まっている。

[0120] 次に、領域R1上の絶縁膜DL2に導電層5__1に達するコンタクトホールを形成し、その内部に導電材料（例えば、銅、タングステン等の金属材料）が埋め込まれる。これにより、絶縁膜DL2の表面からZ方向に延び、導電層5__1に達するコンタクトプラグCP1が形成される。コンタクトプラ

グCP1の端部E1は、導電層5__1に達する。しかし、導電層5__2がN⁺単結晶シリコン層を含むので、導電層5__1を突き抜けることなく、導電層5__1内に留まっている。

[0121] 次に、コンタクトプラグCP1上に、電極PD2を形成する。電極PD2には、例えば、銅、タングステン等の金属材料が用いられる。これにより、図33に示すチップ20の構造が得られる。

[0122] 次に、図34に示すように、チップ20の面F1をチップ10に貼合する。これにより、電極PD2がチップ10のパッドに接合される。尚、図34～図37では、チップ10の内部構成の図示を省略する。チップ10の構成は、図4を参照して説明した通りである。これにより、コンタクトプラグCP1は、導電層5__1とチップ10の素子との間を電氣的に接続することができる。

[0123] 次に、図35に示すように、CMP (Chemical Mechanical Polishing) 法等を用いて、チップ20の面F2側において絶縁分離部ST1が露出されるまで基板50を研磨する。これにより、導電層5__1、5__2以外の基板50が除去される。このとき、絶縁分離部ST1は、CMP工程のストッパとして機能する。導電層5__1、5__2は、残置され、絶縁分離部ST1によって電氣的に分離された状態で面F2側に露出される。このとき、コンタクトプラグCP1の端部E1は、導電層5__1を突き抜けることなく、導電層5__1内に留まっているので、導電層5__1の面F2側の表面は略平坦である。また、柱状体CLおよびスリットSLTの端部も、導電層5__2を突き抜けることなく、導電層5__2内に留まっているので、導電層5__2の面F2側の表面も略平坦である。

[0124] 次に、図36に示すように、配線MA1__1、MA1__2の材料（例えば、アルミニウム等の金属材料）を導電層5__1、5__2上に形成する。次に、リソグラフィ技術およびエッチング技術を用いて、配線MA1__1、MA1__2を加工する。これにより、領域R1、R2の導電層5__1、5__2のそれぞれの上に配線MA1__1、MA1__2が互いに分離された状態で形成

される。導電層5__1、5__2の表面は略平坦であるので、配線MA 1__1、MA 1__2の表面も略平坦となる。尚、図3に示したように、導電層5__1は、コンタクトプラグCP 1のある領域R 1にアイランド状に設けられる。導電層5__2は、積層体SST 1のある領域R 2にストライプ状に設けられる。

[0125] 次に、図37に示すように、配線MA 1__1、MA 1__2および導電層5__1、5__2上に絶縁膜DL 2が形成される。この絶縁膜DL 2は、例えば、シリコンと酸素を含む膜でよい。

[0126] 次に、リソグラフィ技術およびエッチング技術を用いて、配線MA 1__1、MA 1__2上の絶縁膜DL 2の一部を除去する。これにより、配線MA 1__1、MA 1__2のそれぞれの表面に開口部TV__1、TV__2が形成される。即ち、コンタクトプラグCP 1の直直上方（+Z方向）には、導電層5__1、配線MA 1__1および開口部TV__1が設けられている。開口部TV__1で露出された配線MA 1__1は、ボンディングパッドとして機能する。積層体SST 1の上方（+Z方向）には、導電層5__2、配線MA 1__2および開口部TV__2が設けられている。開口部TV__2で露出された配線MA 1__2は、ボンディングパッドとして機能する。

[0127] その後、ワイヤボンディング工程等を経て、本実施形態による半導体記憶装置1が完成する。

[0128] このように第7実施形態によれば、コンタクトプラグCP 1の形成やチップ10への貼合よりも前に、基板50で形成される導電層5__1（例えば、N⁺単結晶シリコン層）が形成されている。導電層5__1は、コンタクトプラグCP 1の端部E 1を被覆し、面F 2側の導電層5__1の表面が略平坦となる。これにより、導電層5__1上の配線MA 1__1も略平坦となり、コンタクトプラグCP 1の上方にボンディングパッドを容易に形成することができる。

[0129] 導電層5__2（例えば、N⁺単結晶シリコン層）も、導電層5__1と同様に、柱状体CLおよびスリットSLTの端部E 2を受容し、導電層5__2の表

面を略平坦にする。これにより、導電層5__2上の配線MA 1__2も略平坦となり、積層体S S T 1の上方にボンディングパッドを容易に形成することができる。

[0130] もし、絶縁分離部S T Iで予め分離された導電層5__1、5__2が設けられていない場合、導電膜4 0がコンタクトプラグC P 1の端部E 1に設けられる。ポリシリコン等で形成された導電膜4 0は、チップ2 0をチップ1 0に貼合した後に、セルソースC S Lとして加工される。この場合、セルソースC S Lの加工およびボンディングパッド用の開口部T Vの形成において、コンタクトプラグC P 1の端部E 1が凸状に露出され、コンタクトプラグC P 1上に配線MAをカバレッジ良く形成することができない。この場合、コンタクトプラグC P 1のボンディングパッドは、配線MAとは別に形成する必要があった。

[0131] これに対し、第7実施形態によれば、導電層5__1がコンタクトプラグC P 1の端部E 1を被覆している。導電層5__1は、導電層5__2から絶縁分離部S T Iですでに分離されているので、チップ2 0をチップ1 0に貼合した後に導電層5__1自体の加工は不要である。尚且つ、導電層5__1は、例えば、単結晶シリコン層を含むので、シリコンと酸素を含む絶縁膜D L 2に開口部T V__1を形成してもあまりエッチングされない。従って、面F 2側の導電層5__1の表面は、略平坦な状態を維持することができる。これにより、導電層5__1上の配線MA 1__1も略平坦となり、コンタクトプラグC P 1の直上にボンディングパッドを容易に形成することができる。これにより、半導体記憶装置1の微細化につながる。

[0132] また、第7実施形態では、導電層5__1、5__2は、互いに電氣的に分離されているものの、同じ工程で形成され、同じ層に同じ材料（例えば、N+単結晶シリコン）で形成されている。配線MA 1__1、MA 1__2も、互いに電氣的に分離されているものの、同じ工程で形成され、同じ層に同じ材料（例えば、アルミニウム等の金属材料）で形成されている。よって、領域R 1、R 2において、別々に導電層5__1、5__2、配線MA 1__1、MA 1__

2 および開口部TV__1、TV__2を形成する必要がなく、製造工程の短縮につながる。

[0133] また、第7実施形態では、柱状体CLおよびスリットSLTの形成前に、セルソースCSLとして機能する導電層5__2が基板50に接続された状態で形成される。従って、柱状体CLのメモリホールやスリットSLTの形成工程で発生する電荷は、導電層5__2から基板50へ逃がすことができる。これにより、従来、アーキング対策のために設けられていた、導電膜40と基板50との間を接続する導電体は省略することができる。

[0134] (導電層5の材料)

導電層5の材料は、領域R2と領域Rcc、R1、Resとで様々な組み合わせが考えられる。図38は、領域R2における導電層5の材料と領域Rcc、R1、Resにおける導電層5の材料の組み合わせの一例を示す表である。

[0135] 図38のTi/TiN/W膜は、チタン(Ti)、窒化チタン(TiN)およびタングステン(W)の積層膜を示す。チタン(Ti)および窒化チタン(TiN)は、タングステン(W)の下地(バリアメタル)として用いられる。例えば、図19の導電層5bは、Ti/TiN/W膜を含む。導電層5bは、チタン(Ti)、窒化チタン(TiN)およびタングステン(W)のいずれかの単層膜であってもよい。

[0136] Ti(poly)/TiN/W膜は、コンタクトプラグCP1等の形成時にストップとして用いられるポリシリコン膜とその上に積層されたチタン(Ti)、窒化チタン(TiN)およびタングステン(W)の積層膜を示す。例えば、図6の導電層5は、ポリシリコンを含む導電層5aと、Ti/TiN/W膜を含む導電層5bとを含む積層膜である。

[0137] poly/Ti/TiN/W膜は、ストップとして用いられるポリシリコン膜と、その上に積層されたポリシリコン膜と、Ti/TiN/W膜との積層膜を示す。例えば、図28の導電層5は、ポリシリコンを含む導電層5aと、その上に積層されたポリシリコンを含む導電層5cと、Ti/TiN/

W膜を含む導電層5bとを含む積層膜である。

[0138] poly膜は、メモリセルアレイ21のセルソースCSLとして機能する導電層5がポリシリコンを含む。例えば、図29の領域R2では、導電層5aは、ポリシリコンを含む。領域Rcc、R1、Resでは、導電層5bは、Ti/TiN/W膜を含む。poly膜は、上記DSC工程で置換された導電膜40でもよい。

[0139] これらの膜を領域R2と領域Rcc、R1、Resとで組み合わせることによって、導電層5を構成することができる。

[0140] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

請求の範囲

- [請求項1] トランジスタを含む第1チップと、
メモリセルアレイを含む第2チップと、
を備え、
前記第2チップは、
前記第1チップに貼合されている第1面と、
前記第1面とは反対側にある第2面と、
前記第1面と前記第2面との間に延伸しており、前記メモリセルアレイから離間して設けられたコンタクトと、
前記コンタクトの前記第2面側の第1端の上方に設けられ、前記コンタクトに電氣的に接続された第1配線層と、
前記コンタクトの前記第1端と前記第1配線層との間に設けられた第1導電層とを備える、半導体記憶装置。
- [請求項2] 前記第2チップは、
前記メモリセルアレイと前記第2面との間に設けられ、前記メモリセルアレイに電氣的に接続された第2配線層をさらに備え、
前記第2配線層は、前記第1配線層と同層に設けられ、該第1配線層と同一材料を含む、請求項1に記載の半導体記憶装置。
- [請求項3] 前記第2チップは、
前記メモリセルアレイと前記第2配線層との間に設けられ、前記メモリセルアレイに電氣的に接続された第2導電層をさらに備え、
前記第2導電層は、前記第1導電層と同層に設けられ、該第1導電層と同一材料を含む、請求項2に記載の半導体記憶装置。
- [請求項4] 前記第2チップは、
前記第1および第2配線層を被覆し、該第1配線層の一部を第1パッドとして露出し、該第2配線層の一部を第2パッドとして露出する第1絶縁層をさらに備える、請求項2または請求項3に記載の半導体記憶装置。

- [請求項5] 前記第2チップは、
前記第2配線層を被覆し、該第2配線層の一部を第2パッドとして
露出する第1絶縁層をさらに備える、請求項2または請求項3に記載
の半導体記憶装置。
- [請求項6] 前記第1面に垂直な方向から見たときに、前記コンタクトは、前記
第1パッドに接続されるワイヤの接続部と重複している、請求項2乃至
請求項5のいずれか1項に記載の半導体記憶装置。
- [請求項7] 前記第1面に垂直な方向から見たときに、前記コンタクトは、前記
第1パッドに接続されるワイヤの接続部の周囲にある、請求項2乃至
請求項5のいずれか1項に記載の半導体記憶装置。
- [請求項8] 前記第1導電層には、不純物を含むポリシリコン、チタン、窒化チ
タン、タングステンのいずれかを含む、請求項1乃至請求項7のいづ
れか1項に記載の半導体記憶装置。
- [請求項9] 前記第2導電層には、不純物を含むポリシリコン、チタン、窒化チ
タン、タングステンのいずれかを含む、請求項1乃至請求項8のいづ
れか1項に記載の半導体記憶装置。
- [請求項10] 前記第1導電層の材料は、前記第2導電層の材料と異なる、請求項
1乃至請求項9のいずれか1項に記載の半導体記憶装置。
- [請求項11] 前記コンタクトの上方において前記第1導電層と前記第1配線層と
の間に設けられた第2絶縁膜をさらに備える、請求項1乃至請求項1
0のいずれか1項に記載の半導体記憶装置。
- [請求項12] 前記第1導電層には、不純物を含む単結晶シリコンを含む、請求項
1、請求項3～9のいずれか一項に記載の半導体記憶装置。
- [請求項13] 前記第1端は、前記第1導電層内にある、請求項12に記載の装置
。
- [請求項14] トランジスタを含む第1チップとメモリセルアレイを含む第2チッ
プとを含む半導体記憶装置の製造方法であって、
基板を用いてコンタクトと前記メモリセルアレイを含む前記第2チ

ップを形成し、

前記基板とは反対側の前記第2チップの第1面に前記第1チップを貼合し、

前記第1面とは反対側の前記第2チップの第2面において前記基板を除去し、

前記第2チップの前記第2面側の前記コンタクトおよび前記メモリセルアレイのそれぞれの上に互いに電氣的に絶縁された第1および第2導電層を形成し、

前記第1および第2導電層のそれぞれの上に電氣的に絶縁された第1および第2配線層を形成することを具備し、

前記第2チップの形成は、

前記基板の第1領域上に前記コンタクトを形成し、

前記第1領域から離間した前記基板の前記第2領域上に前記メモリセルアレイを形成することを含む、半導体記憶装置の製造方法。

[請求項15]

前記コンタクトおよび前記メモリセルアレイの形成前に、

前記基板の前記第1および第2領域上に材料膜を形成することをさらに備え、

前記コンタクトおよび前記メモリセルアレイの形成において、前記材料膜をエッチングストップとして用いて前記コンタクトおよび前記メモリセルアレイを形成し、

前記第1および第2導電層の形成において、前記第1および第2導電層は、前記材料膜上に形成される、請求項14に記載の製造方法。

[請求項16]

前記第1導電層には、不純物を含むポリシリコン、チタン、窒化チタン、タングステンのいずれかを含む単層または積層膜が用いられている、請求項14に記載の方法。

[請求項17]

前記第2導電層には、不純物を含むポリシリコン、チタン、窒化チタン、タングステンのいずれかを含む単層または積層膜が用いられている、請求項14に記載の製造方法。

- [請求項18] トランジスタを含む第1チップとメモリセルアレイを含む第2チップとを含む半導体記憶装置の製造方法であって、
- 第1および第2半導体領域を含む基板を用いて前記第2チップを形成し、
- 前記基板とは反対側の前記第2チップの第1面側に前記第1チップを貼合し、
- 前記第1面とは反対側の前記第2チップの第2面側において、前記第1および第2半導体領域以外の前記基板を除去し、
- 前記第1および第2半導体領域のそれぞれの上に第1および第2配線層を形成することを具備し、
- 前記第2チップの形成は、
- 前記基板に不純物を導入しかつ前記基板に絶縁分離部を形成することによって、コンタクトを形成する予定の前記第1半導体領域と前記第1半導体領域から離間し前記メモリセルアレイを形成する予定の前記第2半導体領域とを形成し、
- 前記第2半導体領域に接続される前記メモリセルアレイを該第2半導体領域上に形成し、前記第1半導体領域に達する前記コンタクトを該第1半導体領域上に形成することを含む、半導体記憶装置の製造方法。
- [請求項19] 前記第1および第2配線層上に絶縁膜を形成し、
- 前記絶縁膜の一部を開口することによって前記第1配線層の一部を露出させて第1パッドとし、前記第2配線層の一部を露出させて第2パッドとする、請求項18に記載の製造方法。
- [請求項20] 前記第1および第2半導体領域には、不純物を含む単結晶シリコンが用いられている、請求項18に記載の製造方法。