

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
WO 2026/016725 A1

(43) 国际公布日
2026 年 1 月 22 日 (22.01.2026)

WIPO | PCT

(51) 国际专利分类号:
H01L 21/60 (2006.01)

(21) 国际申请号: PCT/CN2025/102110

(22) 国际申请日: 2025 年 6 月 19 日 (19.06.2025)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202410944600.7 2024 年 7 月 15 日 (15.07.2024) CN

(71) 申请人: 深圳瑞纳电子技术发展有限公司(SHENZHEN RUINA ELECTRONIC TECHNOLOGY DEVELOPMENT CO., LTD.) [CN/CN]; 中国广东省深圳市福田区福保街道石厦北一街蓝色海云居 14B 518017 (CN)。

(72) 发明人: 黄河 (HUANG, Herb He); 中国广东省深圳市福田区福保街道石厦北一街蓝色海云居 14B 518017 (CN)。

(74) 代理人: 北京思创大成知识产权代理有限公司 (BEIJING SICHUANG DACHENG INTELLECTUAL PROPERTY); 中国北京市昌平区龙域北街 8 号金域国际中心 B 座 408 室 100085 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: WAFER-LEVEL CHIP MANUFACTURING METHOD

(54) 发明名称: 晶圆级芯片制造方法

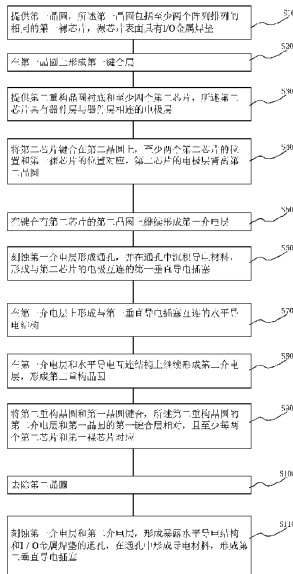


图 1

(57) Abstract: Disclosed in the present invention is a wafer-level chip manufacturing method, comprising: providing a first wafer; forming a first bonding layer on the first wafer; providing a second wafer and at least four second chips; bonding the second chips on the second wafer; continuing to form a first dielectric layer on the second wafer where the second chips are bonded; etching the first dielectric layer to form through holes, and depositing a conductive material in the through holes to form first vertical conductive plugs interconnected with electrodes of the second chips; forming, on the first dielectric layer, horizontal conductive structures interconnected

[见续页]

WO 2026/016725 A1

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UY, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

with the first vertical conductive plugs; continuing to form a second dielectric layer on the first dielectric layer and the horizontal
conductive structures so as to form a second reconstructed wafer; bonding the second reconstructed wafer and the first wafer; removing
the second wafer; and etching the first dielectric layer and the second dielectric layer. The integration level of system in package is
improved, and a better line width and a higher yield are achieved.

(57) 摘要: 本发明公开了一种晶圆级芯片制造方法, 包括: 提供第一晶圆; 在第一晶圆上形成第一键合层;
提供第二晶圆和至少四个第二芯片; 将第二芯片键合在第二晶圆上; 在键合有第二芯片的第二晶圆上继续
形成第一介电层; 刻蚀第一介电层形成通孔, 并在通孔中沉积导电材料, 形成与第二芯片的电极互连的第
一垂直导电插塞; 在第一介电层上形成与第一垂直导电插塞互连的水平导电结构; 在第一介电层和水平导
电互连结构上继续形成第二介电层, 形成第二重构晶圆; 将第二重构晶圆和第一晶圆键合; 去除第二晶圆;
刻蚀第一介电层和第二介电层。提高了系统级封装集成度, 实现更好的线宽和更高的良率。